

**ZÁPADOČESKÁ UNIVERZITA V PLZNI  
FAKULTA ELEKTROTECHNICKÁ**

**Katedra aplikované elektroniky a telekomunikací**

# **BAKALÁŘSKÁ PRÁCE**

**Přehled rekonfigurovatelných obvodů**

**ZÁPADOČESKÁ UNIVERZITA V PLZNI**  
**Fakulta elektrotechnická**  
Akademický rok: **2013/2014**

**ZADÁNÍ BAKALÁŘSKÉ PRÁCE**  
(PROJEKTU, UMĚLECKÉHO DÍLA, UMĚLECKÉHO VÝKONU)

Jméno a příjmení: **Jindřich HESS**  
Osobní číslo: **E09B0269P**  
Studijní program: **B2612 Elektrotechnika a informatika**  
Studijní obor: **Elektronika a telekomunikace**  
Název tématu: **Přehled rekonfigurovatelných obvodů**  
Zadávací katedra: **Katedra aplikované elektroniky a telekomunikací**

**Z á s a d y p r o v y p r a c o v á n í :**

1. Proveďte analýzu rekonfigurovatelných obvodů (analogových i číslicových) dostupných na současném trhu.
2. Jednotlivé obvody mezi sebou porovnejte. Zaměřte se především na možnost dynamické a částečné rekonfigurace.
3. Uveďte příklady praktických aplikací, které jsou založeny na využití těchto obvodů.

Rozsah grafických prací: **podle doporučení vedoucího**

Rozsah pracovní zprávy: **20 - 30 stran**

Forma zpracování bakalářské práce: **tištěná/elektronická**

Seznam odborné literatury:

**Student si vhodnou literaturu vyhledá v dostupných pramenech podle doporučení vedoucího práce.**

Vedoucí bakalářské práce:

**Ing. Petr Burian**

Regionální inovační centrum elektrotechniky

Datum zadání bakalářské práce: **14. října 2013**

Termín odevzdání bakalářské práce: **9. června 2014**

  
Doc. Ing. Jiří Hammerbauer, Ph.D.  
děkan



  
Doc. Dr. Ing. Vjačeslav Georgiev  
vedoucí katedry

V Plzni dne 14. října 2013

## **Abstrakt**

Předkládaná bakalářská práce je zaměřena na přehled rekonfigurovatelných obvodů. V první části jsou krátce shrnuty první programovatelné obvody – paměti a jednoduchá programovatelná logická zařízení. Poté je popsána stručná teorie ke složitějším rekonfigurovatelným obvodům, kterými jsou číslicové obvody CPLD a FPGA. Je zde také úvod k analogovým obvodům. Druhá část popisuje analýzu trhu s číslicovými rekonfigurovatelnými obvody FPGA, a v poslední řadě jsou na konci i dva příklady analogových rekonfigurovatelných obvodů.

## **Klíčová slova**

Rekonfigurovatelné obvody, obvod, FPGA, FPAA, logika, aplikace, GreenPAK, Cyclone, Stratix

## **Abstract**

The thesis is focused on reconfigurable device overview. The first section briefly summarizes the first programmable circuits – memory circuits and simple programmable logic devices. After that there is described a short theory to more complex reconfigurable devices, which are digital devices CPLD and FPGA. There is also the introduction to analog devices. The second section describes the market analysis of digital reconfigurable devices FPGA, and at the end there are two examples of analog reconfigurable devices.

## **Key words**

Reconfigurable devices, circuit, FPGA, FPAA, logic, application, GreenPAK, Cyclone, Stratix

## Prohlášení

Prohlašuji, že jsem tuto bakalářskou práci vypracoval samostatně, s použitím odborné literatury a pramenů uvedených v seznamu, který je součástí této diplomové práce.

Dále prohlašuji, že veškerý software, použitý při řešení této bakalářské práce, je legální.

.....

podpis

V Plzni dne 9.6.2014

Jindřich Hess

# Obsah

<b>OBSAH</b> .....	<b>7</b>
<b>SEZNAM OBRÁZKŮ</b> .....	<b>8</b>
<b>SEZNAM TABULEK</b> .....	<b>9</b>
<b>SEZNAM SYMBOLŮ A ZKRATEK</b> .....	<b>10</b>
<b>ÚVOD</b> .....	<b>12</b>
<b>1. ČÍSLICOVÉ PROGRAMOVATELNÉ OBVODY – TEORETICKÁ ČÁST</b> .....	<b>13</b>
1.1 PRVNÍ PROGRAMOVATELNÉ OBVODY .....	13
1.1.1 Paměti PROM.....	13
1.1.2 Paměti EPROM.....	13
1.2 JEDNODUCHÁ PROGRAMOVATELNÁ LOGICKÁ ZAŘÍZENÍ - SPLD.....	14
1.2.1 Obvody PLA.....	14
1.2.2 Obvody PAL.....	14
1.2.3 Obvody GAL.....	14
1.3 OBVODY CPLD .....	15
1.4 OBVODY FPGA .....	16
1.4.1 Architektura .....	16
1.4.2 Programování - konfigurace.....	18
1.4.3 Využití - Aplikace .....	18
<b>2 ANALOGOVÉ PROGRAMOVATELNÉ OBVODY – TEORETICKÁ ČÁST</b> .....	<b>19</b>
2.1 OBVODY FPAA .....	19
2.1.1 Architektura .....	19
2.1.2 Využití – aplikace.....	20
<b>3 ANALÝZA TRHU</b> .....	<b>20</b>
3.1 MINI REKONFIGUROVATELNÉ OBVODY – SILEGO .....	20
3.1.1 Obvody řady GreenPAK (GPAK) .....	21
3.2 OBVODY FPGA S ČÁSTEČNOU REKONFIGURACÍ.....	27
3.2.1 FPGA od firmy Altera.....	28
3.2.2 FPGA od firmy Xilinx .....	31
3.2.3 Další číslicové rekonfigurovatelné obvody .....	35
3.3 ANALOGOVÉ REKONFIGUROVATELNÉ OBVODY FIRMY ANADIGM.....	35
3.3.1 dpASP – obvod AN231E04 .....	36
3.3.2 FPAA – obvod AN131E04.....	37
<b>ZÁVĚR</b> .....	<b>38</b>
<b>SEZNAM LITERATURY A INFORMAČNÍCH ZDROJŮ</b> .....	<b>39</b>
<b>PŘÍLOHY</b> .....	<b>1</b>

## Seznam obrázků

OBR. 1.1 TYPICKÁ STRUKTURA MAKROBUŇKY [PŘEVZATO Z 9]	15
OBR. 1.2 TYPICKÁ STRUKTURA OBVODU CPLD [PŘEVZATO Z 6]	16
OBR. 1.3 TYPICKÁ STRUKTURA FPGA [PŘEVZATO Z 6]	17
OBR. 1.4 TYPICKÁ STRUKTURA CLB [PŘEVZATO Z 13]	17
OBR. 2.1 ZÁKLADNÍ STRUKTURA FPAA [PŘEVZATO Z 1]	20
OBR. 3.1 POHLED NA OBVOD GREENPAK [PŘEVZATO Z 10]	23
OBR. 3.2 KONFIGURACE PINŮ OBVODU GREENPAK [PŘEVZATO Z 10]	23
OBR. 3.3 KONFIGURACE PINŮ OBVODU GREENPAK2 [PŘEVZATO Z 10]	25
OBR. 3.4 OBVOD GREENPAK3 S VÝVOJOVÝM KITEM [PŘEVZATO Z 10]	27
OBR. 3.5 TABULKA VARIANT OBVODU CYCLONE V [PŘEVZATO Z 3]	28
OBR. 3.6 PŘEHLED ZAŘÍZENÍ ZYNQ-7000 [PŘEVZATO Z 2]	35



## Seznam tabulek

TAB. 3.1 VLASTNOSTI OBVODU GREENPAK .....	21
TAB. 3.2 VLASTNOSTI OBVODU GREENPAK2 .....	23
TAB. 3.3 VLASTNOSTI GREENPAK3.....	26
TAB. 3.4 KLÍČOVÉ VÝHODY OBVODŮ CYCLONE V .....	28
TAB. 3.5 VARIANTY OBVODŮ STRATIX V .....	29
TAB. 3.6 VÝHODY STRATIX V .....	30
TAB. 3.7 PŘEHLED KLÍČOVÝCH VLASTNOSTÍ VIRTEX7 .....	31
TAB. 3.8 VLASTNOSTI ZYNQ-7000 .....	33
TAB. 3.9 VLASTNOSTI AN231E04.....	36

## Seznam symbolů a zkratek

ACMP .....	Analog Comparator
ASIC .....	Application-Specific Integrated Circuit
CAB .....	Configurable Analog Block
CLB .....	Configurable Logic Block
CMIC .....	Configurable Mixed-signal IC
CPLD .....	Complex Programmable Logic Device
DCMP .....	Digital Comparator
DFF .....	D Flip-Flop
EDA .....	Electronic Design Automation
FPAA .....	Field Programmable Analog Array
FPGA .....	Field Programmable Gate Array
GAL .....	Generic Array Logic
HDL .....	Hardware Description Language
HPS .....	Hard Processor System
I/O .....	Input/Output
IC .....	Integrated Circuit
IP .....	Intellectual Property
LUT .....	Look-Up Table
NRE .....	Non-Recurring Engineering
OLMC .....	Output Logic Macro Cell
P/V .....	Přijímač/Vysílač
PAL .....	Programmable Array Logic
PC .....	Personal Computer
PCI .....	Peripheral Component Interconnect
PLA .....	Programmable Logic Array
PLL .....	Phase-Locked Loop
POR .....	Power-On Reset
POS .....	Point Of Sale
PROM .....	Programmable Read Only Memory
PWM .....	Pulse-Width Modulation
RAM .....	Random Access Memory

RC OSC .....	Resistor-Capacitor Oscillator
S/H .....	Sample and Hold
S2P .....	Seriál to Parallel
SAR ADC .....	Successive Approximation Register Analog to Digital Converter
SOC .....	System-On-a-Chip
SPI .....	Serial Peripheral Interface
SPLD .....	Simple Programmable Logic Array
USB .....	Universal Serial Bus

## Úvod

Předkládaná práce se zabývá přehledem rekonfigurovatelných obvodů. Tato práce vznikla z důvodu velkého počtu rekonfigurovatelných obvodů. Jsou zde vybrány nejnovější a nejpoužívanější rekonfigurovatelné obvody, především jsou to číslicové obvody FPGA s částečnou dynamickou rekonfigurací.

V první části po přehledu paměťových obvodů je přehled historických, dnes již nepoužívaných, programovatelných obvodů, známých jako SPLD. Na obvody SPLD navazuje krátká teorie obvodů CPLD a delší teoretický rozbor obvodů FPGA. Po těchto obvodech jsou stručně popsány analogové rekonfigurovatelné obvody FPAA.

Druhá část práce se zabývá analýzou trhu, kde jsou popsány nejnovější a nejpoužívanější rekonfigurovatelné obvody na trhu.

# 1. Číslicové programovatelné obvody – teoretická část

Číslicové rekonfigurovatelné obvody jsou velmi rozsáhlou kapitolou a mají dnes velmi široké využití. V následujících kapitolách jsou krátce shrnuty první programovatelné obvody (paměti), SPLD a CPLD. Více pozornosti je věnováno složitějším a v dnešní době využívanějším obvodům FPGA.

## 1.1 První programovatelné obvody

### 1.1.1 Paměti PROM

Jako první programovatelné obvody mohou být považovány paměti PROM (Programmable Read Only Memory), které byly vynalezeny v šedesátých letech 20. století. Paměti PROM mají pevnou matici AND a programovatelnou matici OR. AND matice funguje jako adresný dekodér kódu 1 z 8 a jeden sloupec v matici OR je jedna paměťová buňka o délce 4 bity. Pro popis obsahu paměti PROM se využívá forma tabulky. Při zápisu do tabulky je ke každé adrese přiřazen obsah paměťové buňky. Paměti PROM umožňují realizaci libovolné B-funkce a je možné je naprogramovat pouze jednou.

### 1.1.2 Paměti EPROM

Paměti EPROM (Erasable PROM) jsou mazatelné PROM paměti. Jejich významnou výhodou je tudíž možnost přeprogramování – změna obsahu paměti. Paměti PROM mohou být rozděleny na dva základní druhy mazatelných pamětí, na EEPROM a Flash paměti.

#### 1.1.2.1 EEPROM

Paměti EEPROM (Electrically EPROM) jsou elektricky mazatelné paměti. Každá paměťová buňka paměti EEPROM může být čtena nebo do ní může být zapisováno. Prakticky nelze paměť EEPROM vymazat, ale lze do ní zapsat samé nuly, postupně do všech paměťových buněk. Paměti EEPROM pracují jako energeticky nezávislé RAM paměti.

#### 1.1.2.2 Flash

Na rozdíl od pamětí EEPROM lze paměti Flash vymazat, mazání vymaže definovaný blok paměti Flash (většinou se tento blok rovná celé paměti Flash). Do paměti Flash se data zapisují klasickým programováním.

## 1.2 Jednoduchá programovatelná logická zařízení - SPLD

SPLD (Simple Programmable Logic Device) jsou obvody, které mají pevně daný počet vstupních a výstupních pinů, na které jsou napojeny vnitřní logické obvody (hradlová pole, makrobuňky apod.). Tyto obvody nemají při výrobě pevnou logiku a je nutné je naprogramovat – konfigurovat propojkami „spojením vodičů“. SPLD obvody umožňují naprogramovat jednoduché logické funkce a dnes jsou již zastaralé. Počet hradel v SPLD je přibližně v řádu stovek.

### 1.2.1 Obvody PLA

Obvody PLA (Programmable Logic Array) mají programovatelnou matici AND i matici OR. V součinnové matici AND se ze vstupních signálů vytváří součinnové termy v přímém a negovaném tvaru. A v součtové matici OR se potom provede součet jednotlivých součinnových termů, který je poté přiveden na výstup.

### 1.2.2 Obvody PAL

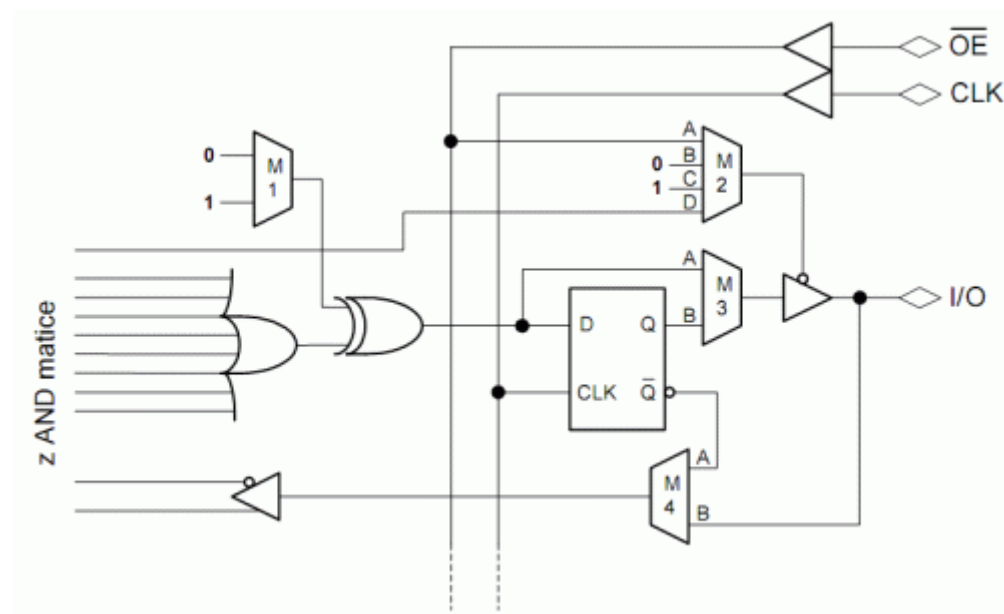
Obvody PAL (Programmable Array Logic) jsou tvořeny poli tranzistorových buněk, mají programovatelnou matici AND a pevnou matici OR. Nahrazením programovatelné matice OR pevnou maticí došlo ke zmenšení a zrychlení obvodů PAL vůči obvodům PLA. Obvody PAL jsou vybaveny bezpečnostní propojkou Security Fuse. Původní obvody PAL byly jednou programovatelné, dnes už se objevují reprogramovatelné a z velké části jsou nahrazovány obvody GAL.

### 1.2.3 Obvody GAL

Obvody GAL (Generic Array Logic) jsou inovací obvodů PAL. Byly vynalezeny firmou Lattice Semiconductors v roce 1985. Jsou založeny na podobném principu jako obvody PAL, ale jsou mazatelné a reprogramovatelné. Na výstupu z pevné matice OR je umístěna OLMC (Output Logic Macro Cell) buňka, která je konfigurovatelná jako klasický kombinační obvod nebo obvod s paměťovým elementem (v roce 1983 byla zavedena firmou AMD OLMC buňka i u obvodů PAL, konkrétně u obvodu PAL22V10). Konfigurace se provádí pomocí programovatelných propojek. Jako paměťový element se obvykle používá D klopný obvod. Obvody GAL jsou vybaveny bezpečnostním bitem Security Fuse, který zabraňuje neautorizovanému čtení obvodu. Po aplikaci bezpečnostního bitu je možné číst pouze

Elektronický podpis (Electronic Signature). Elektronický podpis slouží k identifikaci obsahu obvodu, může to být číslo obsahu obvodu, číslo revize obsahu, skladové číslo apod.

Na obrázku je znázorněna typická struktura makrobuňky.

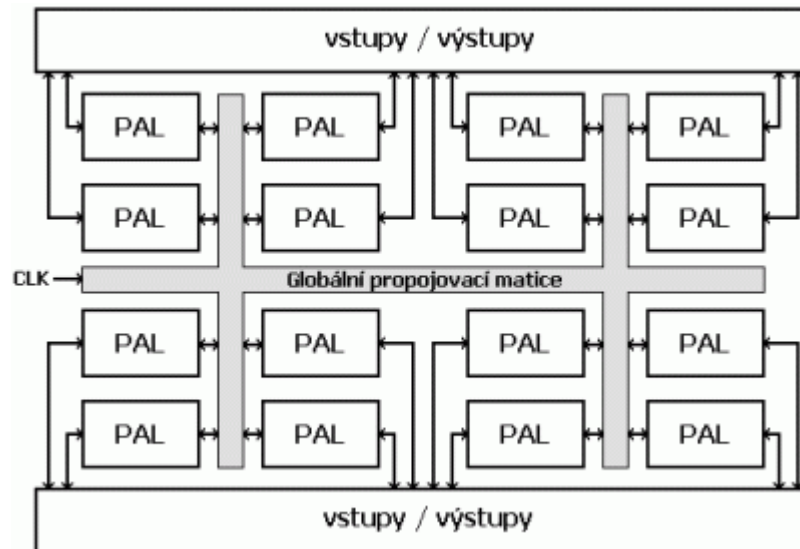


Obr. 1.1 Typická struktura makrobuňky [převzato z 9]

### 1.3 Obvody CPLD

Obvody CPLD (Complex Programmable Logic Device) jsou svojí složitostí zapojení mezi obvody SPLD a FPGA. Tyto obvody mají na svých výstupech složitější makrobuňky, než mají obvody PAL nebo GAL. CPLD obvody jsou založeny na principu „Moře hradel“, počet hradel v těchto obvodech bývá od tisíců až po desetitisíce.

Na obrázku je znázorněna typická struktura obvodu CPLD. Z obrázku je patrné, že obvod CPLD je skutečně vytvořen jako komplex obvodů PAL, které jsou připojeny na vstupně/výstupní piny, a jsou vzájemně propojeny globální propojovací maticí. Kromě několika speciálních pinů (například pro hodinové signály na globální propojovací matici) mohou být vstupně/výstupní piny nastaveny jako vstupy, výstupy nebo obousměrné I/O.



Obr. 1.2 Typická struktura obvodu CPLD [převzato z 6]

Pro trvalé uložení konfigurace zapojení jsou obvody CPLD většinou vybaveny interní pamětí EEPROM nebo Flash. Někdy jsou CPLD obvody využívány k načtení konfigurace pro obvody FPGA z energeticky nezávislé paměti.

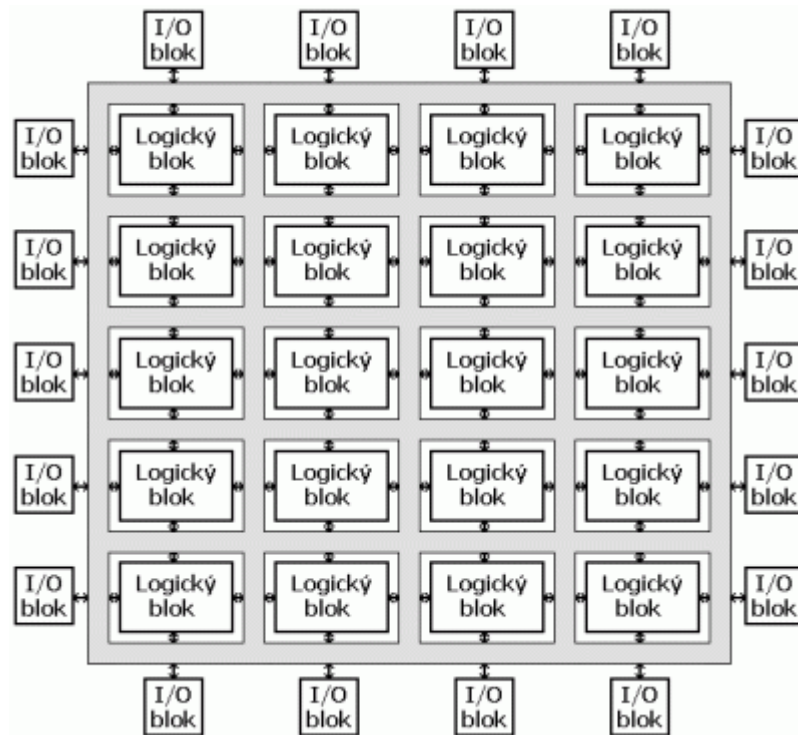
## 1.4 Obvody FPGA

Obvody FPGA (Field Programmable Gate Array) jsou v dnešní době nejsložitějšími a nejvyužívanějšími rekonfiguračními obvody.

### 1.4.1 Architektura

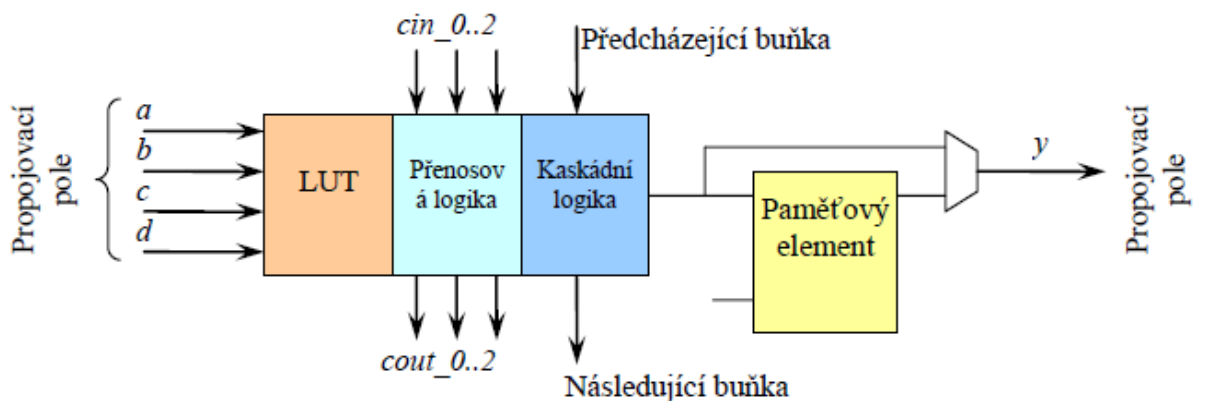
Tyto obvody jsou tvořeny „logickými bloky“ CLB (configurable logic block), které zahrnují kombinační logiku i paměťové obvody (D nebo T klopné obvody). Kombinační logika je realizována pomocí LUT (Look-Up Table) tabulek. Na obrázku je znázorněna základní typická struktura obvodu FPGA, kde je k jednotlivým logickým blokům připojena globální propojovací matice, na kterou jsou zároveň připojeny vstupně/výstupní piny. Sousedící CLB jsou spojeny přímo pro menší zpoždění signálů, a globální matice je k nim připojena shora. Obvody FPGA mají od desítek tisíců až po stovky tisíců hradel. V dnešní době mají některé obvody i milion až dva miliony hradel.





Obr. 1.3 Typická struktura FPGA [převzato z 6]

CLB jsou složeny z LUT tabulky, přenosové logiky, kaskádní logiky a paměťového obvodu. Struktura CLB je znázorněna na obrázku.



Obr. 1.4 Typická struktura CLB [převzato z 13]

Přenosová logika umožňuje vytvářet iterační obvody, hlavně binární aritmetický součet nebo rozdíl. Signály pro přenosové a kaskádní sítě se propojují mimo propojovací síť, přímo mezi buňkami. Tímto je dosaženo menšího zpoždění signálů.

Kaskádní logika je určena pro realizaci součinu nebo součtu mnoha libovolných B-funkcí. Kaskádní zapojení se vytváří pomocí multiplexerů, kterými je vytvořen součin nebo součet.

FPGA obvody obsahují mimo klasické CLB ještě další speciální bloky jako jsou hardwarové násobičky, dualportové paměti RAM, PLL obvody apod.

Na rozdíl od obvodů CPLD nemají obvody FPGA interní paměť EEPROM pro uložení konfigurace, mají pouze integrovanou paměť RAM. Proto tyto obvody využívají externí paměť EEPROM, ze které si po zapnutí napájení načtou uloženou konfiguraci.

### 1.4.2 Programování - konfigurace

Pro naprogramování obvodu FPGA je nutné poskytnout schéma zapojení (v případě malých struktur) nebo napsaný program konfigurace v jazyce HDL (Hardware Description Language) v případě velkých struktur. Nejběžnějšími jazyky HDL jsou VHDL a Verilog, ale vznikají i jiné alternativní jazyky.

Po poskytnutí programu v HDL se použije nástroj EDA (Electronic Design Automation) pro generaci netlistu. Netlist je poté aplikován na konkrétní architekturu FPGA použitím procesu place-and-route (rozmístění součástek a bloků FPGA a jejich pospojování vodiči), který je v značkovém softwaru od výrobce FPGA. Uživatel provede validaci zapojení prostřednictvím časovací analýzy, simulace nebo jiné ověřovací metody. Jakmile je validační proces hotov, je vytvořen binární soubor, který (re)konfiguruje obvod FPGA. Tento soubor je přenesen do FPGA (případně CPLD) prostřednictvím sériového rozhraní (JTAG) nebo do externího paměťového zařízení, například do EEPROM.

### 1.4.3 Využití - Aplikace

Obvody FPGA mají v dnešní době velmi široké využití. Tradičně jsou především zaměřeny na oblast vertikálních aplikací, kde je malá produkce. Pro prémiové společnosti je výhodnější využít obvody FPGA, než platit za vývojové prostředky k vytvoření ASIC (Application-specific integrated circuit) obvodů pro úzce zaměřené aplikace.

FPGA jsou využívány například v: mediálních oblastech od vysílání po zpracování zvuku a obrazu, armádních aplikacích (komunikace, ovládání raket, vesmírné aplikace...), ve spotřební elektronice (digitální displeje, kamery, multifunkční tiskárny...), síťových aplikacích (servery, routery, switche, zabezpečení...), průmyslu, lékařství, drátových a bezdrátových komunikacích, apod.

## 2 Analogové programovatelné obvody – teoretická část

### 2.1 Obvody FPAA

#### 2.1.1 Architektura

Obvody FPAA (Field Programmable Analog Array) jsou na rozdíl od obvodů FPGA více zaměřeny na konkrétní aplikace než na obecné použití. Je to také dáno tím, že tyto obvody mohou být v napěťovém nebo proudovém režimu.

FPAA se skládají z konfigurovatelných analogových bloků CAB (Configurable Analog Blocks), které standardně obsahují operační zesilovač, programovatelné řady kapacitorů anebo i programovatelné řady rezistorů. CAB mohou tedy například fungovat jako sčítačky nebo integrátory.

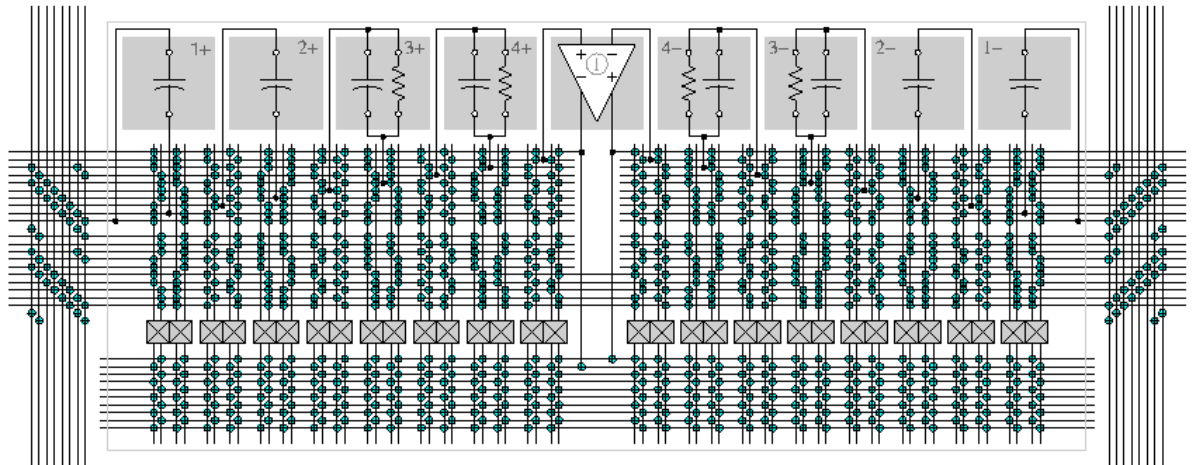
FPAA obvykle fungují v jednom ze dvou časových režimů:

*Zařízení v režimu diskrétního času* ovládá systémové vzorkovací hodiny. V koncepci přepínaného-kapacitoru všechny bloky vzorkují svůj vstupní signál pomocí obvodu „vzorkuj a drž“ – S/H (sample and hold), který je složen z polovodičového přepínače a kapacitoru. Takto navzorkovaný signál je přiveden do oddílu operačních zesilovačů a dál může být směrován k dalším blokům. Tato koncepce vyžaduje složitější konstrukci polovodičů. Alternativou je koncepce přepínaného-proudu, která nabízí snazší konstrukci a nevyžaduje vstupní kapacitor, ale může být méně přesná a dál může směřovat signál pouze do jednoho následujícího bloku. Oba typy zařízení diskrétního času musí být kompenzovány kvůli spínacímu rušení, vyhlazovány v systému vzorkovací frekvence, a omezeny v šířce vzorkovací frekvence, během návrhové fáze.

*Zařízení v režimu spojitého času* pracuje spíše jako řada tranzistorů nebo operačních zesilovačů, které mohou fungovat v plné šířce pásma. Komponenty jsou propojeny

v částečném uspořádání napříč konfigurovatelnou řadou přepínačů. Během návrhu obvodu je nutné počítat s parazitními induktancemi, kapacitancemi a rušením.

Na obrázku je zobrazena základní struktura FPAA.



Obr. 2.1 Základní struktura FPAA [převzato z 1]

### 2.1.2 Využití – aplikace

Obvody FPAA mohou být využívány pro různé funkční jednotky, obvody nebo základní prvky obvodů. Tyto obvody mohou najít efektivní využití v aplikacích, kde je důležité nízké napájecí napětí, kde jsou požadovány nízké náklady na vývoj, nižší cena součástek, a možnost efektivního elektronického počítačem podporovaného projektování (CAD). Mezi takovéto aplikace patří například: samostatně se rozvíjející obvody, neurální sítě, úprava a regenerace signálu, filtry, fuzzy ovládání, vysokofrekvenční aplikace apod.

## 3 Analýza trhu

### 3.1 Mini rekonfigurovatelné obvody – Silego

Společnost Silego, která byla založena v roce 2001, se zabývá výrobou a prodejem CMIC (Configurable Mixed-signal IC Products) produktů. Tyto produkty integrují analogové součástky střední přesnosti, diskretní číslicovou logiku, a pasivní součástky do vysoce konfigurovatelných, malých integrovaných obvodů. CMIC produkty poskytují zákazníkům výhody systému se sníženým počtem součástek, nižší spotřebou elektrické energie, menšími rozměry desky a nižšími cenami součástek. CMIC poskytují všestrannost FPGA a jsou cenově srovnatelné s ASIC obvody bez zvyšování cen NRE (Non-Recurring Engineering).

### 3.1.1 Obvody řady GreenPAK (GPAK)

Obvody GreenPAK jsou jednou programovatelné matice pro smíšené signály (Programmable Mixed-signal Matrix, logické a analogové signály). GreenPAK jsou přizpůsobené GreenPAK návrhářskému softwaru a GreenPAK vývojovému kitu, který se dá připojit k PC přes USB. Software je intuitivní a konfigurace nevyžaduje žádný programovací jazyk nebo compiler, což umožňuje návrháři nakonfigurovat, naprogramovat, a otestovat svůj GreenPAK během několika minut.

#### 3.1.1.1 GreenPAK (GPAK)

Obvod GreenPAK (označení: SLG46200) je prvním obvodem z řady GreenPAK, je to 2x2 mm velká jednou programovatelná Mixed-signal Matrix (matice). Tento obvod je navržen tak, aby mohl samostatně fungovat jako integrovaný obvod schopný vykonávat jakoukoliv funkci (aplikaci), kterou vykonávají 4 bitové a 8 bitové mikrokontroléry. Obvod GreenPAK v propojení s dalšími obvody od firmy Silego GreenCLK (časovací obvod) a GreenFET (obvod sloužící k sekvencování napájení) umožňuje odstranit 20% až 30% všech součástek na větších výpočetních a komunikačních deskách.

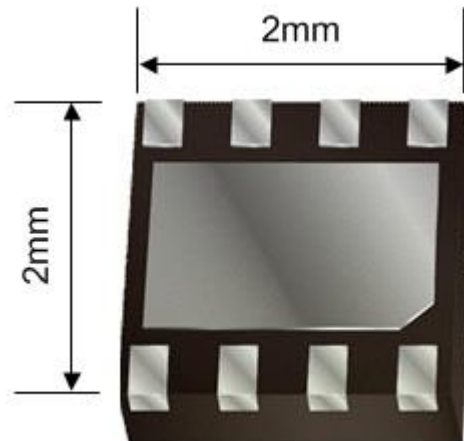
Tab. 3.1 Vlastnosti obvodu GreenPAK

Pouzdro TDFN-8
Napájení 3,3 V
Pracovní rozsah teplot: od -40°C do 85°C
Pulzně šířkový modulátor (PWM)
8 bitový Successive Approximation Register Analog to Digital Converter (SAR ADC)
Převodník ze sériového přenosu na paralelní (S2P)
Zařízení pro reset po náběhu napájení (POR)

Referenční napětí (Vref)
RC Oscilátor (RC OSC)
3 Čítací/Zpožd'ovací Generátory (CNT/DLY)
3 D Flip-Flop/Latches (DFF)
2 Číslicové komparátory (DCMP)
2 Analogové komparátory (ACMP)
7 Kombinačních Look-UP Tabulek (LUT)
Konfigurovatelné vstupně/výstupní piny (Open Drain, Push-Pull, Schmitt Trigger Input, Low Voltage Digital Input and Analog I/O)

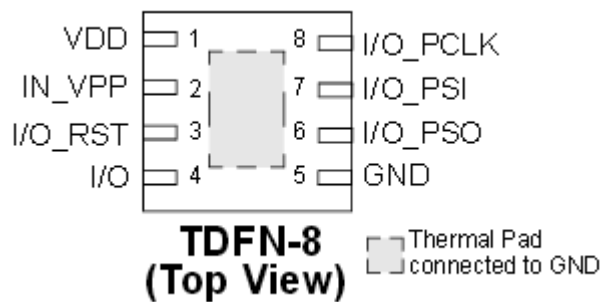
Tyto funkce mohou být navrženy s použitím SLG46200: generátory pro reset po náběhu napájení, prvky pro zpožd'ování signálu, detektory pro hladinu napětí, obvody pro posun hladiny napětí, ovládání nabíjení baterií, ovládání LED, ovládání větráků, optické kodéry, posuny úrovní, ovladač halového efektu, odstraňování závad signálu, a mnoho dalších funkcí.

Na obrázku je zobrazen pohled na zapouzdřený obvod GreenPAK.



Obr. 3.1 Pohled na obvod GreenPAK [převzato z 10]

Na obrázku je zobrazena konfigurace pinů obvodu GreenPAK.



Obr. 3.2 Konfigurace pinů obvodu GreenPAK [převzato z 10]

### 3.1.1.2 GreenPAK2 (GPAK2)

Obvod GreenPAK2 (SLG46400) je druhou generací řady GreenPAK. Jedná se o vylepšenou verzi obvodu, který je velký 2,5x2,5 mm.

Tab. 3.2 Vlastnosti obvodu GreenPAK2

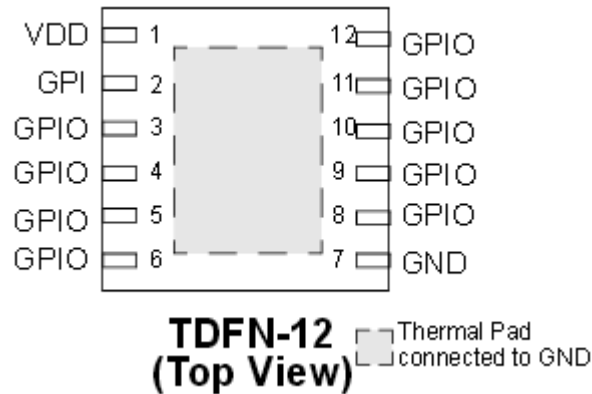
Pouzdro TDFN-12

Napájení 1,8 V až 5 V
Pracovní rozsah teplot: od -40°C do 85°C
8 bitový SAR ADC
POR
Vref
RC OSC
4 CNT/DLYs
4 DFFs
3 DCMPs nebo PWMs
2 ACMPs
11 LUTs
Slave SPI
Konfigurovatelné I/O piny
Zpoždění (20ns/40ns/60ns/80ns)
Pipe Delay



Funkce, které mohou být navrženy s použitím obvodu SLG46400 jsou prakticky stejné jako u obvodu SLG46200.

Na obrázku je znázorněna konfigurace pinů obvodu GreenPAK2.



Obr. 3.3 Konfigurace pinů obvodu GreenPAK2 [převzato z 10]

### 3.1.1.3 GreenPAK3 (GPAK3)

Obvody GreenPAK3 jsou vysoce všestranné Mixed-signal Matrix(es) s energeticky nezávislými paměťmi navrženými tak, aby snadno integrovaly běžné diskrétní integrované obvody a pasivní součástky do jediného malého zařízení o velikosti 1,6 x 1,6 mm. GreenPAK3 umožňují návrhářům implementovat širokou škálu funkcí smíšených signálů a tím snížení spotřeby energie, ceny součástek, zmenšení desky, a zmenšení složitosti směrování (k dalším blokům). Vyšší přesnost, zredukovaný RC oscilátor a napěťová referenční přesnost umožňují obvodům GreenPAK3 adresovat dokonce náročnější aplikace.

Vyvíjení projektů s obvody GreenPAK3 je snadné při použití GreenPAK3 vývojového hardwaru a jednoduchého grafického uživatelského prostředí GreenPAK3 Designer. Toto umožňuje uživatelům snadno a rychle implementovat nové návrhy, a reagovat na měnící se požadavky.

Obvody GreenPAK3 jsou dostupné ve třech variantách: SLG46110V, SLG46721V a SLG46722V.

Tab. 3.3 Vlastnosti GreenPAK3

Pouzdra STQFN-(12,20,20)
Ochrana zpětného čtení (Read Lock)
Napájení 1,8 V až 5 V
Pracovní rozsah teplot: od -40°C do 85°C
Více účelové I/O (GPIO)
ACMP
Redukovaná napěťová reference (VREF)
LUT: 2 bitové, 3 bitové a 4 bitové
Kombinační funkční makrobuňka: Volitelné CNT/DLY / 4 bitová LUT, volitelné DFF / 2 nebo 3 bitová LUT, volitelné Pipe Delay / 3 bitová LUT
CNT/DLY
DFF
3 výstupové Pipe Delay
Programovatelné zpoždění
Logické funkce – Inverory / Poruchové filtry

## Redukovaný RC oscilátor (RC OSC)

Cílové uživatelské aplikace: nositelné doplňky, tablety, smartphony, notebooky, počítače a počítačové periférie

Cílové komerční a průmyslové aplikace: zařízení Point of Sale (POS, EPOS), servery, Embedded počítače, počítačové referenční návrhy, a vybavení pro datové komunikace

Na obrázku je zobrazen pohled na zapouzdřený obvod GreenPAK3 s vývojovým kitem.



Obr. 3.4 Obvod GreenPAK3 s vývojovým kitem [převzato z 10]

### 3.2 Obvody FPGA s částečnou rekonfigurací

Částečná rekonfigurace je vlastnost rekonfigurovatelných obvodů, při které je možné nechat část obvodu nakonfigurovanou na nějakou funkci a jinou část obvodu rekonfigurovat na jinou funkci. Rozlišujeme dva základní typy částečné rekonfigurace: Statická a Dynamická

Statická rekonfigurace funguje tak, že se přeruší vykonávaná činnost obvodu, obvod bude v Shutdown módu, a poté dojde k částečné rekonfiguraci části obvodu, zatímco zbytek obvodu bude stále konfigurován na původní funkci.

Dynamická rekonfigurace, známá také jako aktivní částečná rekonfigurace, umožňuje změnu konfigurace části obvodu, zatímco zbytek FPGA obvodu stále běží.

### 3.2.1 FPGA od firmy Altera

#### 3.2.1.1 Cyclone V

Obvody Cyclone V poskytují průmyslově nejnižší cenu systému a příkon, a tím jsou ideální pro vrcholné aplikace. Tyto obvody jsou schopny ušetřit až o 40% více příkonu v porovnání s předchozí generací Cyclone IV. Nabízejí účinné schopnosti logické integrace, varianty integrovaných přijímačů/vysílačů, a varianty SoC (System-on-a-Chip) FPGA s hard procesor systémem (HPS) založeným na ARM procesorech.

Obvody Cyclone V jsou dostupné v šesti cílových variantách:

Features	Lowest cost and power	3.125G transceivers	6.144G transceivers
	Optimized for lowest system cost and power for a wide spectrum of general logic and DSP applications	Optimized for lowest cost and power for 614 Mbps to 3.125 Gbps transceiver applications	FPGA industry's lowest cost and power for 6.144 Gbps transceiver applications <sup>(1)</sup>
<b>FPGA</b>	<b>E Variant</b>	<b>GX Variant</b>	<b>GT Variant</b>
<b>Integrated ARM Cortex™-A9 MPCore™ Processor System</b>	<b>SE Variant</b>	<b>SX Variant</b>	<b>ST Variant</b>

Obr. 3.5 Tabulka variant obvodu Cyclone V [převzato z 3]

Tab. 3.4 Klíčové výhody obvodů Cyclone V

Výhody	Podporující vlastnost
Nejnižší spotřeba elektrické energie	Zabudované 28nm nízko-příkonové (28LP) procesní technologie TSMC, velké množství hard intellectual property (IP) bloků

	Až 40% nižší spotřeba než u Cyclone IV
Vylepšená logická integrace a diferenciální schopnosti	8 vstupový adaptivní logický modul (ALM) Až 13,59 megabitů (Mb) zabudované paměti
Rozšířená šířka pásma	3,125 gb/s a 6,144 gb/s přijímačů/vysílačů Kontroléry pevné paměti
HPS s integrovaným procesorem ARM Cortex-A9 MPCore	Pevná integrace dvou jádrového procesoru ARM Cortex-A9 MPCore, hard IP, a FPGA v jediném Cyclone V SoC
Nejnižší cena systému	Vyžaduje k správné funkci pouze 2 V Dostupný v drátové vazbě za nízkou cenu Má inovativní vlastnosti jako je Konfigurace podle protokolu (CvP) a částečná dynamická rekonfigurace každého kanálu

### 3.2.1.2 Stratix V

Obvody Stratix V přinášejí průmyslově největší šířku pásma, nejvyšší úroveň systémové integrace, a maximální všestrannost se sníženou cenou a nejnižším příkonem pro špičkové aplikace.

Tab. 3.5 Varianty obvodů Stratix V

Varianta	Popis
----------	-------

Stratix V GT FPGA	Optimalizovaný pro aplikace s 28,05 Gb/s přijímači/vysílači, které vyžadují nejvyšší šířku pásma a výkon, jakou jsou 40G/100G/400G aplikace
Stratix V GX FPGA	Optimalizovaný pro aplikace s vysokým výkonem, velkou šířkou pásma s integrovanými přijímači/vysílači, které podporují backplane, chip-to-chip, a chip-to-module operace až do 14,1 Gb/s
Stratix V GS FPGA	Optimalizovaný pro aplikace s vysokým výkonem, proměnnou přesností číslicového signálového zpracování (DSP) s integrovanými přijímači/vysílači, které podporují backplane, chip-to-chip, a chip-to-module operace až do 14,1 Gb/s
Stratix V E FPGA	Optimalizované pro prototypování ASIC s 952K logickými elementy na struktuře nejvyššího výkonu číslicové struktury

Tab. 3.6 Výhody Stratix V

Výhody	Podporující vlastnost
Docílení pokroku s šířkou pásma u příkonově účinných přijímačů/vysílačů	
Dosažení větší integrace na jediném čipu a snížení ceny	Především částečná rekonfigurace, která umožňuje zmenšení rozměrů FPGA, šetří místo na desce, cenu a příkon

	Miniaturní fázové závěsy (fPLLs), které poskytují zvýšenou časovací flexibilitu a nahrazují deskové napětím ovládané krystalové oscilátory (VCXOs)
Dosažení maximální všestrannosti návrhů	Uživatelsky příjemná kvalitní částečná rekonfigurace, která umožňuje změnu základní funkce za běhu FPGA  Dynamicky rekonfigurovatelné přijímače/vysílače, které umožňují snadno podporovat několik protokolů najednou, rychlost dat, a nastavení PMA
Snížení příkonu systému (o 30% oproti předchozí generaci Stratix IV)	Programovatelná technologie napájení, která maximalizuje výkon jádra, zatímco zároveň snižuje příkon  Částečná rekonfigurace

### 3.2.2 FPGA od firmy Xilinx

#### 3.2.2.1 Virtex7

Virtex7 je nejnovějším obvodem z řady Virtex firmy Xilinx. Architektura obvodu Virtex7 výrazně zkracuje vývojové časy a umožňuje návrhářům soustředit se na odlišování produktů.

**Tab. 3.7** Přehled klíčových vlastností Virtex7

SSI technologie poskytuje 2 miliony logických buněk, 85 Mb blokové RAM, a 3600
--

DSP48E1 slices
Proces 28 nm high-k kovového hradla (HKMG) HPL snižuje příkon jádra o 50%
Napájení jádra je 0,9 V
12,5 Gb/s GTX přijímače/vysílače (P/V) pro širokou podporu hlavních sériových protokolů
13,1 Gb/s GTH přijímače/vysílače podporují horních 25% pro FEC standardy pro vlastní rozhraní a plnou 10GBASE-KR shodu
28,05 Gb/s GTZ přijímače/vysílače podporují novou generaci optických aplikací
Zisk jisté shody s populárními standardy jako jsou 10/40/100G Ethernet, PCI Express, OC-48, apod.
Dvojnásobné zvýšení výkonu: paralelnost architektury FPGA umožňuje více práce s každým hodinovým cyklem k dosažení vyššího výkonu při nižším příkonu  - Až 56 12,5 Gb/s P/V; 96 13,1 Gb/s P/V; 16 28 Gb/s P/V; kapacitu až dvou milionů logických buněk umožněnou SSI technologií; až 85 Mb RAM pro větší šířku pásma datového buffering; až 5,3 TMACS výkonu signálového procesingu umožněným 3600 DSP48E1 slices
Implementace 1,6 Gb/s LVDS rozhraní s rozšířenou SelectIO technologií, která snižuje I/O příkon až o 50%
Vybudování až osmi 72 bitových rozhraní pro DDR3 paměti (až 1866 Mb/s)
Rozhraní starších zařízení s 3,3 V schopnými I/O
Splňování nejpřísnějších požadavků na časování s účinnými clock management tiles (CMT), které kombinují PLL a mixed-mode clock manager (MMCM) kvůli vysoké přesnosti a



kolísavému časování
Pátá generace částečné rekonfigurace umožňuje cenově efektivní řešení v menších obvodech FPGA a ve vylepšeních flexibilního pole kvůli podpoře vývojových standardů

### 3.2.2.2 Zynq-7000 Křemíková zařízení

Řada zařízení Zynq-7000 kombinuje softwarovou programovatelnost procesoru s hardwarovou programovatelností FPGA, výsledkem je bezkonkurenčnost v úrovních výkonu systému, flexibility, a škálovatelnosti, zatímco poskytuje systému benefity ve formě snížení příkonu a ceny. Navzdory tradičním řešením SoC zpracování, umožňuje flexibilní programová logika zařízení Zynq-7000 optimalizaci a diferenciovatelnost, a to dovoluje návrhářům přidat periférie a akcelerátory pro adaptaci k širokému základu aplikací.

Tab. 3.8 Vlastnosti Zynq-7000

ARM dvou-jádrový Cortex-A9 MPCore procesor
Pevný procesní systém, který může pracovat nezávisle na programovatelné logice
Procesor bootuje při resetu stejně jako každý jiné zařízení založené na procesoru nebo ASSP
Procesor se chová jako „systém master“ a kontroluje konfiguraci programovatelné logiky, a tím umožňuje plnou nebo částečnou rekonfiguraci programovatelné logiky během vykonávání operace
Standardní vývojové proudy poskytují známé programovací prostředí pro vývojáře softwaru
Úzká integrace mezi procesním systémem a programovatelnou logikou umožňuje návrhovým týmům vytvořit vlastní ASSP
Snadné přidání periférií a akcelerátorů využívá široce pojatý průmyslový standard AMBA,

<p>který souvisí se splněním specifických požadavků na vlastnosti aplikací, výkon a latenci.</p>
<p>Zynq-7000 dosahují mimořádného výkonu jako samostatný procesor a FPGA nebo jako měkké jádro v FPGA</p>
<p>Umožňují ko-procesním motorům implementovat využívání vyšší hladiny syntézy bez hluboké odbornosti FPGA</p>
<p>Poskytují softwarovou programovatelnost a hardwarovou programovatelnost</p>
<p>Softwarové aktualizace a hardwarové customizace, ať už statické či dynamické částečné rekonfigurace nebo plné rekonfigurace programovatelné logiky, mohou být dosaženy pod kontrolou ARM procesního systému</p>
<p>Rekonfigurační přirozenost programovatelné logiky pojímá modifikace v pozdější fázi k adresování měnících se požadavků trhu, zatímco polní schopnost zdokonalení umožňuje setrvat delší dobu na trhu</p>
<p>Řešení jednoho čipu: úplný procesní systém a programovatelná logika</p>
<p>Vývoj softwaru a hardwaru v monolitické architektuře</p>
<p>Uspadnění vývoje deskového návrhu</p>
<p>Umožnění redukce systémových součástí a snížení rizika skrz zjednodušení složitosti návrhu</p>
<p>Redukce součástek</p>
<p>Redukce napájecích zdrojů a požadavků na napájení</p>
<p>Zjednodušený návrh pro opětovné použití návrhu platformy</p>

Řada Zynq-7000 má několik variant zařízení. Každé zařízení je navrženo tak, aby splňovalo unikátní požadavky všech různých druhů aplikací. V tabulce na obrázku níže je stručný přehled zařízení a jejich odpovídajících parametrů.

	Z-7010	Z-7015	Z-7020	Z-7030	Z-7045	Z-7100
Processor Core	Dual ARM® Cortex™-A9 MPCore™ with CoreSight™					
Processor Extensions	NEON™ & Single / Double Precision Floating Point for each processor					
L1 Cache	32 KB Instruction, 32 KB Data per processor					
L2 Cache	512 KB					
On-Chip Memory	256 KB					
Memory Interfaces	DDR3, DDR3L, DDR2, LPDDR2, 2x Quad-SPI, NAND, NOR					
Peripherals	2x USB 2.0 (OTG), 2x Tri-mode Gigabit Ethernet, 2x SD/SDIO					
Logic Cells	28K Logic Cells	74K Logic Cells	85K Logic Cells	125K Logic Cells	350K Logic Cells	444K Logic Cells
BlockRAM (Mb)	240 KB	380 KB	560 KB	1,060 KB	2,180 KB	3,020 KB
DSP Slices	80	160	220	400	900	2,020
Transceiver Count		4 (6.25 Gb/s)		up to 4 (12.5 Gb/s)	up to 16 (12.5 Gb/s)	up to 16 (10.3125 Gb/s)

Obr. 3.6 Přehled zařízení Zynq-7000 [převzato z 2]

### 3.2.3 Další číslicové rekonfigurovatelné obvody

Altera – CPLD: MAX 3000A, MAX II (G, Z), MAX V, MAX 10 FPGA

Altera – FPGA: řada Cyclone I – IV; řada Stratix I – IV, Stratix 10; Arria GX, Arria II, Arria V, Arria 10

Xilinx – FPGA: řada Spartan; řada Virtex; Artrix-7Q a Kintex-7Q; EasyPath, EasyPath-6, EasyPath-7

### 3.3 Analogové rekonfigurovatelné obvody firmy Anadigm

Analogové rekonfigurovatelné obvody mohou být staticky rekonfigurovatelné (FPAA – Field Programmable Analog Array) nebo dynamicky rekonfigurovatelné (dpASP – Dynamically Reconfigurable Analog Signal Processor).

### 3.3.1 dpASP – obvod AN231E04

Obvod AN231E04 je rodičovské zařízení pro obvody 3. generace řady obvodů Anadigm. Tento obvod pracuje od napájení 3,3 V, spotřebovává méně proudu a navíc má dvojnásobnou šířku pásma než jeho předchůdce AN220E04.

Tab. 3.9 Vlastnosti AN231E04

Nulování offsetu, interní rutina, která začíná konfiguračním příkazem z hostitelského mikroprocesoru, offset je možné nulovat kdykoliv.
Všechny vnitřní vstupní napěťové offsety operačního zesilovače mohou být zredukovány z několika málo milivoltů na méně než 250 mikrovoltů, rutina dočasně přeruší jakékoliv signálové cesty na časový úsek 70 ms (předpokládaná frekvence 16 MHz ACLK); Defaultně je toto automatické nulování přidáno do všech primárních konfigurací.
Complexní I/O buňky zaměstnávají nevyužitý diferenciální zesilovač, který může uživatel využít s použitím externí součástky k provedení celé řady funkcí, například: buffering, posun hladiny, filtrování vstupních i výstupních signálů, alternativně může být použita tato I/O buňka jako S/H, zisk, přemostění nebo číslicový I/O.
Rozměry a příkon byly výrazně zmenšeny, nyní je spotřeba zařízení typicky 125 mW, a zařízení je zapouzdřeno v QFN pouzdře o rozměrech 7 x 7 x 0,85 mm.
Další vlastnosti dynamické kontroly byly přidány k umožnění snadné kontroly aktualizace obvodu (rekonfigurace) a monitorování za použití číslicových pinů.
Díky dynamické rekonfigurovatelnosti je možné naprogramovat AN231E04 k implementaci mnoha analogových funkcí a/nebo k adaptaci za běhu k udržení přesnosti provádění operace, navzdory degradaci systému a jeho stárnutí.
S analogovými funkcemi definovanými softwarem, může být analogový subsystém kontrolován za použití C-kódu, který je automaticky generován AnadigmDesignérem2.

Dynamická rekonfigurace umožňuje funkce, které nikdy předtím nebyly možné.

Použití: Analogové zpracování signálů, RFID IF (filtrování základního pásma), kontrola softwaru analogových periférií v reálném čase, inteligentní senzory, adaptivní filtrování a kontrola, adaptivní DSP front-end, adaptivní průmyslová kontrola a automatizace, samo-kalibrační systémy, kompenzace stárnutí systémových součástí, dynamická rekalibrace dálkových systémů, úprava nízkofrekvenčních signálů, zpracovávání vlastních analogových signálů

### **3.3.2 FPAA – obvod AN131E04**

Obvod AN131E04 je první staticky programovatelný integrovaný obvod z 3. generace produktové řady a sdílí stejné vlastnosti řízené trhem jako jeho dynamicky programovatelný rodič. Obvod AN131E04 pracuje od napájecího napětí 3,3 V, spotřebovává menší proud a má dvojnásobnou šířku pásma než jeho předchůdce.

Tento obvod má prakticky stejné vlastnosti jako jeho dynamický rodič AN231E04.

## Závěr

V teoretické části práce jsou shrnuty základní principy a úvod k programovatelným a rekonfigurovatelným obvodům. Není zacházeno do detailů, aby práce neztrácela přehled.

V druhé části je provedena analýza trhu s rekonfigurovatelnými obvody. Pro stručný přehled jsou vybrány nejnovější a nejpoužívanější rekonfigurovatelné obvody, ke kterým jsou dostupné datasheety z webových stránek výrobců. Lepšího shrnutí vlastností je dosaženo z datasheetů od firmy Altera, kde jsou výstižně uvedeny charakteristické vlastnosti a více je zde zmíněna částečná dynamická rekonfigurace.

Konkrétní aktuální specifická aplikace použití dynamické částečné rekonfigurace za chodu zařízení v této práci není uvedena. Je nalezen pouze článek o vesmírných aplikacích, kde jsou využity obvody firmy Xilinx, konkrétně obvody řady Virtex IV a V, které jsou z komerčních rekonfigurovatelných obvodů (založeny na SRAM FPGA obvodech) nejodolnější proti radiaci.

## Seznam literatury a informačních zdrojů

- [1] A Field-Programmable Analog Array. *Opencircuit Design* [online]. 1998, 2005 [cit. 2014-06-09]. Dostupné z: <http://opencircuitdesign.com/~tim/research/fpaa/fpaa.html>
- [2] All Programmable FPGAs. *Xilinx: All Programmable* [online]. 1984, 2014 [cit. 2014-06-09]. Dostupné z: <http://www.xilinx.com/products/silicon-devices/fpga/>
- [3] Altera: Measurable Advantage. *Altera* [online]. 1995, 2014 [cit. 2014-06-09]. Dostupné z: <http://www.altera.com/devices/fpga/fpga-index.html>
- [4] *Anadigm* [online]. 2000, 2014 [cit. 2014-06-09]. Dostupné z: <http://www.anadigm.com/>
- [5] Complex Programmable Logic Device. *Only-VLSI* [online]. 2007, 2009 [cit. 2014-06-09]. Dostupné z: <http://only-vlsi.blogspot.cz/2008/05/complex-programmable-logic-device.html>
- [6] CPLD a FPGA 1.díl - popis obvodů. *Pandatron.cz: Elektrotechnický magazín* [online]. 2000, 2013 [cit. 2014-06-09]. Dostupné z: [http://pandatron.cz/?481&cpld\\_a\\_fpga\\_1.dil\\_-\\_predstaveni\\_obvodu](http://pandatron.cz/?481&cpld_a_fpga_1.dil_-_predstaveni_obvodu)
- [7] *Dynamic partial FPGA reconfiguration in space applications*. 2012.
- [8] *FPGACenter.com* [online]. 2010, 2013 [cit. 2014-06-09]. Dostupné z: <http://www.fpgacenter.com/>
- [9] KOLÁR, Jan. *Metody částečné rekonfigurace programovatelných struktur*. Brno, 2009. Diplomová. VYSOKÉ UCENÍ TECHNICKÉ V BRNE. Vedoucí práce Ing. Sobeslav Valach.
- [10] *Silego: Technology* [online]. 2004, 2013 [cit. 2014-06-09]. Dostupné z: <http://www.silego.com/>

[11] Silego Unveils Tiny GPAK3 Mixed-Signal FPGAs. *EETimes* [online]. 2013, 2014 [cit. 2014-06-09]. Dostupné z: [http://www.eetimes.com/document.asp?doc\\_id=1321003](http://www.eetimes.com/document.asp?doc_id=1321003)

[12] Silego's GreenPAK – Design and program a custom chip in minutes. *EETimes* [online]. 2013, 2014 [cit. 2014-06-09]. Dostupné z: [http://www.eetimes.com/document.asp?doc\\_id=1279013](http://www.eetimes.com/document.asp?doc_id=1279013)

[13] ZDRÁLEK, Jan. *PROGRAMOVATELNÉ LOGICKÉ PRVKY*. Ostrava, 2007.



## **Přílohy**

—