



Fakulta elektrotechnická
Katedra aplikované elektroniky a telekomunikací

DIPLOMOVÁ PRÁCE

Univerzální řídicí modul s využitím procesoru pro bezpečnostní aplikace (SIL3)

Autor práce: Bc. Aleš Ruda
Vedoucí práce: Ing. Petr Krist, Ph.D.

Plzeň 2014

ZÁPADOČESKÁ UNIVERZITA V PLZNI

Fakulta elektrotechnická

Akademický rok: 2013/2014

ZADÁNÍ DIPLOMOVÉ PRÁCE

(PROJEKTU, UMĚLECKÉHO DÍLA, UMĚLECKÉHO VÝKONU)

Jméno a příjmení: **Bc. Aleš RUDA**
Osobní číslo: **E12N0054P**
Studijní program: **N2612 Elektrotechnika a informatika**
Studijní obor: **Elektronika a aplikovaná informatika**
Název tématu: **Univerzální řídicí modul s využitím procesoru pro bezpečnostní aplikace (SIL3)**
Zadávací katedra: **Katedra aplikované elektroniky a telekomunikací**

Zásady pro vypracování:

Navrhněte a realizujte univerzální jednodeskový řídicí modul na platformě mikrokontroléru splňující požadavky SIL3 s jádrem ARM. Při návrhu maximálně využijte jak většinu integrovaných periférií mikrokontroléru, tak případných externích rozšíření, aby výsledný modul disponoval dostatečnými systémovými prostředky - paměť RAM, FLASH, standardními logickými vstupy a výstupy, analogovými vstupy a výstupy a sadou komunikačních rozhraní CAN ISO 11898 2.0A a 2.0B, USB 2.0 a Ethernet IEEE 802.3i - 10Base-T a IEEE 802.3u - 100Base-TX.

1. Vytvořte seznam procesorů splňující požadavky bezpečnostních aplikací SIL3 a vyšší s jádrem ARM.
2. Z výše vytvořeného seznamu vyberte nejvhodnější odpovídajícím požadavkům aplikací ZAT a.s. . Požadavky na integrované periférie a systémové prostředky a SW prostředky zadá konzultant. Předpokládá se minimální rozsah periférií obdobný mikrokontrolérům rodiny STM32F40x s jádrem ARM Cortex-M4 + FPU.
3. Obvodový návrh a konstrukční provedení návrhu modulu proveďte na základě blíže specifikovaných požadavků a pravidel firmy ZAT a.s. Při návrhu využijte vývojové prostředky kompatibilní ve firmě ZAT a.s.
4. Při návrhu zohledněte cílové nasazení modulu v průmyslovém prostředí - tzn. nezbytná galvanická oddělení jednotlivých technologických a komunikačních signálů, potřebné izolační bariéry, odolnost modulu z hlediska EMC kompatibility a zvýšená mechanická odolnost.

Rozsah grafických prací: **podle doporučení vedoucího**

Rozsah pracovní zprávy: **30 - 40 stran**

Forma zpracování diplomové práce: **tištěná/elektronická**

Seznam odborné literatury:

Student si vhodnou literaturu vyhledá v dostupných pramenech podle doporučení vedoucího práce.

Vedoucí diplomové práce: **Ing. Petr Krist, Ph.D.**

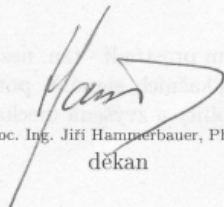
Katedra aplikované elektroniky a telekomunikací

Konzultant diplomové práce: **Ing. Petr Wolmut**

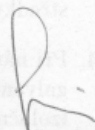
ZAT a.s. Plzeň

Datum zadání diplomové práce: **14. října 2013**

Termín odevzdání diplomové práce: **12. května 2014**


Doc. Ing. Jiri Hammerbauer, Ph.D.
děkan




Doc. Dr. Ing. Vjačeslav Georgiev
vedoucí katedry

V Plzni dne 14. října 2013

Abstrakt

Tato práce obeznámí čtenáře o mikrokontrolérech splňující bezpečnostní úroveň SIL3, a co to bezpečnostní úroveň SIL3 znamená. Dále je v práci popsán návrh řídicího modulu s tímto procesorem a programovatelným polem FPGA podle podmínek, které zadala firma ZAT a.s. Celkový návrh je proveden ve vývojovém programu PADS od firmy Mentor Graphics.

Klíčová slova

Řídicí modul, SIL3, mikrokontrolér, PADS

Abstract

Ruda, Aleš. *General Purposed Control Board with Safety Related Processor (SIL3)* [*Univerzální řídicí modul s využitím procesoru pro bezpečnostní aplikace (SIL3)*]. Pilsen, 2014. Master thesis (in Czech). University of West Bohemia. Faculty of Electrical Engineering. Department of Applied Electronics and Telecommunications. Supervisor: Petr Krist

This thesis informed the readers about a microcontrollers meeting the safety level SIL3 and what it means the SIL3 safety level. Further, the work describes the design of a control module with this processor and a field programmable FPGA under a conditions which the company commissioned ZAT a.s. The overall design is made in the development program PADS from Mentor Graphics.

Keywords

Control board, SIL3, microcontroller, PADS

Prohlášení

Předkládám tímto k posouzení a obhajobě diplomovou práci, zpracovanou na závěr studia na Fakultě elektrotechnické Západočeské univerzity v Plzni.

Prohlašuji, že jsem svou závěrečnou práci vypracoval samostatně pod vedením vedoucího diplomové práce a s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce. Jako autor uvedené diplomové práce dále prohlašuji, že v souvislosti s vytvořením této závěrečné práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a jsem si plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení § 270 trestního zákona č. 40/2009 Sb.

Také prohlašuji, že veškerý software, použitý při řešení této diplomové práce, je legální.

V Plzni dne 11. května 2014

Bc. Aleš Ruda

.....

Podpis

Obsah

Seznam obrázků	vi
Seznam tabulek	vii
Seznam symbolů a zkratk	viii
1 Úvod	1
2 Vyhovující mikrokontroléry	2
2.1 Co je SIL?	2
2.2 Mikrokontroléry splňující SIL3	2
2.2.1 Freescale	2
2.2.2 STMicroelectronics	4
2.2.3 Texas Instruments	4
2.2.4 Vzájemné porovnání	6
3 Návrh řídicího modulu	7
3.1 Blokové schéma	8
3.1.1 Mikrokontrolér RM48L952	10
3.1.2 FPGA	11
3.1.3 SSIO	11
3.1.4 Digitální vstupy	11
3.1.5 Digitální výstupy	11
3.1.6 Svorkovnice	12
3.2 Návrh DPS	12
3.2.1 Pads	12
3.2.2 Rozložení vrstev	12
3.3 EMK odolnost	12
4 Závěr	14
Reference, použitá literatura	15
Přílohy	16

A Schémata zapojení	16
B Deska plošného spoje a rozmístění součástek	29
C Popis konektorů	38
Disk CD	

Seznam obrázků

2.1	Architektura mikrokontrolérů MPC564xL, zdroj obrázku [1]	3
2.2	Architektura mikrokontrolérů TMS470M, zdroj obrázku [3]	4
2.3	Architektura mikrokontrolérů TMS570LS, zdroj obrázku [3]	5
2.4	Architektura mikrokontrolérů RM48x, zdroj obrázku [3]	6
3.1	Blokové schéma řídicího modulu	9
3.2	Implementace 2 jader	10
3.3	Vrstvy na DPS	13
A.1	Processor, JTAG, reset	16
A.2	FPGA	17
A.3	Odpory k FPGA	18
A.4	Napájení a USB	19
A.5	Baterie, paměť, RTC	20
A.6	Led diody	21
A.7	SSIO pull-up	22
A.8	SSIO - izolační část	23
A.9	Digitální vstupy 0- 7	24
A.10	Digitální vstupy 8 - 15	25
A.11	Digitální výstupy 0 - 7	26
A.12	Digitální výstupy 8 - 15	27
A.13	Konektory	28
B.1	Vrstva TOP	30
B.2	Vrstva VCC	31
B.3	Vrstva Inner 3	32
B.4	Vrstva Inner 4	33
B.5	Vrstva GND	34
B.6	Vrstva BOTTOM	35
B.7	Všechny vrstvy	36
B.8	Rozmístění součástek na DPS	37

Seznam tabulek

2.1	Porovnání různých rodin mikrokontrolérů	6
C.1	Popis konektoru X1	39
C.2	Popis konektoru X2	40

Seznam symbolů a zkratek

SIL	Safety Integrity Level, Úroveň integrity bezpečnosti
ECC	Error checking and correcting, Kontrola a oprava chyb
MPU	Memory protection unit, Jednotka na ochranu paměti
FPU	Floating point unit, Jednotka na počítání s plovoucí řádkou
RCCU	Redundancy Control and Checker Unit, Ovládací a kontrolní jednotka redundance
EMIF	External memory interface, Rozhraní pro připojení externích pamětí
CAN	Controller Area Network, Typ sériové sběrnice
SPI	Serial Peripheral Interface, Sériové periferní rozhraní
UART	Universal Asynchronous Receiver/Transmitter, Univerzální asynchronní přijímač/vysílač
USB	Universal Serial Bus, Univerzální sériová sběrnice
LIN	Local Interconnect Network, typ sériové sběrnice
RTC	Real time clock, Obvod reálného času
SSIO	Komunikace vyvinutá firmou ZAT a.s.
BGA	Ball grid array, Typ pouzdra integrovaného obvodu pro povrchovou montáž
RICS	Reduced Instruction Set Computing, Architektura procesorů
MibSPI	Multibuffered serial peripheral interfaces, Rychlá komunikace po SPI

1

Úvod

V této práci je popsán návrh řídicího modulu pro firmu ZAT a.s. splňující podmínky zadané jmenovanou firmou. V průběhu zpracování práce vznikla mírná odchylka od původního zadání ze strany ZAT a.s. V první části je vytvořen seznam bezpečnostních mikrokontrolérů pohybující se na trhu v době vypracování práce. Je vybrán mikrokontrolér, který nejvíce vyhovuje zadaným požadavkům. Je proveden návrh řídicího modulu s ohledem na zvýšenou mechanickou odolnost a na elektromagnetickou kompatibilitu.

2

Vyhovující mikrokontroléry

V úvodu této kapitoly je čtenář seznámen s pojmem SIL a s mikrokontroléry, které této bezpečnostní podmínce vyhovují a jsou roztrženy podle výrobce. V závěru kapitoly je uvedena přehledová tabulka k porovnání těchto mikrokontrolérů.

2.1 Co je SIL?

Funkční bezpečnost (Functional Safety) popisuje chování bezpečnostních zařízení v případě vyskytnutí vnitřní poruchy. Není rozdíl, jestli se jedná o poruchu programu (software) nebo o poruchu zařízení (hardware). Tímto je myšleno, že vnitřní chyby v bezpečnostních zařízeních by měly být detekovány samotným zařízením a měly by být signalizovány. Úroveň bezpečnosti rizik (Safety Integrity Level = SIL) popisuje různé úrovně funkční bezpečnosti na bezpečnostní zařízení. Norma platná v České republice ČSN EN 61508 rozděluje SIL na 4 úrovně. SIL1 je nejméně spolehlivá a SIL4 je nejspolehlivější. Zařízení pro detekci plynů jsou nejtypičtějším představitelem úrovně SIL1. Bezpečnostní úroveň SIL2 lze dosáhnout zařízením, které je vybaveno vlastním testovacím zařízením pro hardware, je snížena potřeba údržby a specifickými požadavky na software a dokumentaci. Hlavní požadavek pro úroveň SIL3 je: jedna porucha nesmí způsobit nebezpečný stav. Krok ze SIL2 na SIL3 je dosažen redundancí a přidáním specifickými požadavky na software. Úroveň SIL4 někdy vyžaduje i trojí redundanci.

2.2 Mikrokontroléry splňující SIL3

Zde jsou uvedeny rodiny mikrokontrolérů od různých výrobců, které splňují bezpečnostní podmínky SIL3.

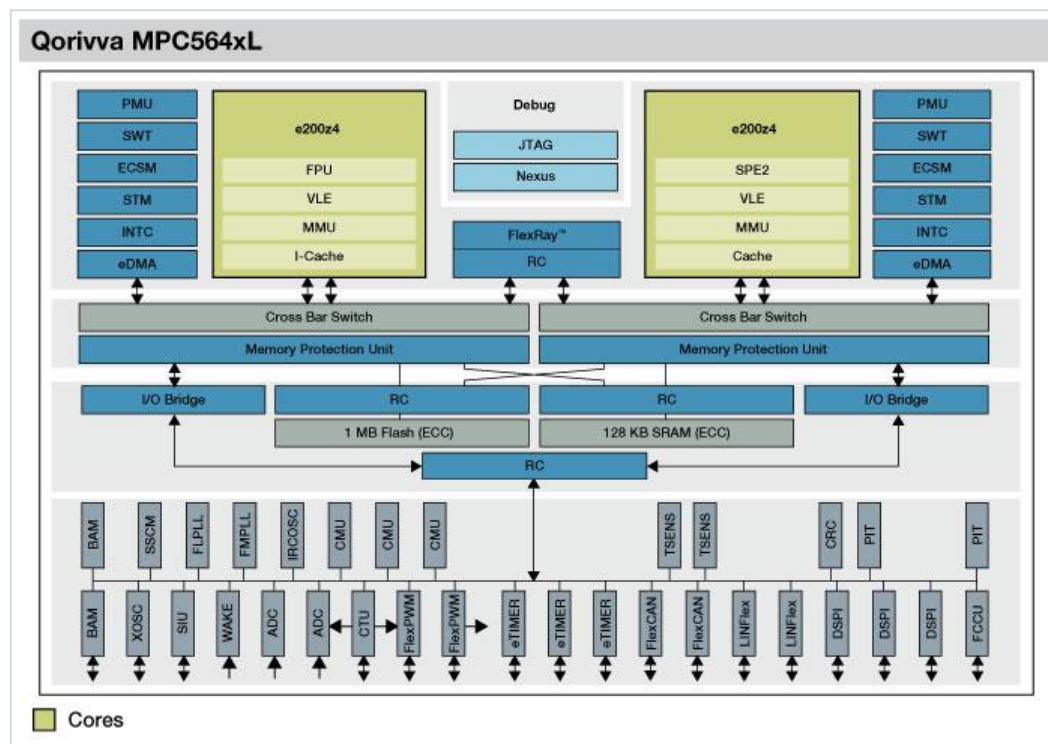
2.2.1 Freescale

Od výrobce Freescale je v nabídce 1 rodina mikrokontrolérů splňující SIL3. Mikrokontroléry jsou označeny označením MPC564xL a nesou jméno Qorivva. Jedná se o 32 bitové

mikrokontroléry s 2 jádry typu e200. Jedná se o jádra Harvardské architektury s 5-ti stupňovou zřetězenou strukturou (pipeline). Tyto mikrokontroléry jsou vybaveny sériovými rozhraní LIN, SPI, CAN, FlexRay. Velikost interní flash paměti je 1000kB a interní ram paměť o velikosti 128kB. Dále jsou vybaveny bezpečnostními prvky pro SIL3 např.

- sběr poruch a řídicí jednotka (FCCU)
- kontrola redundance a kontrolní jednotka (RCCU)
- nemaskovatelné přerušení (NMI)
- jednotka na ochrana paměti (MPU)
- jednotka na řízení napájení (PMU)
- a další

Na obrázku 2.1 je zobrazeno blokové uspořádání těchto mikrokontrolérů.



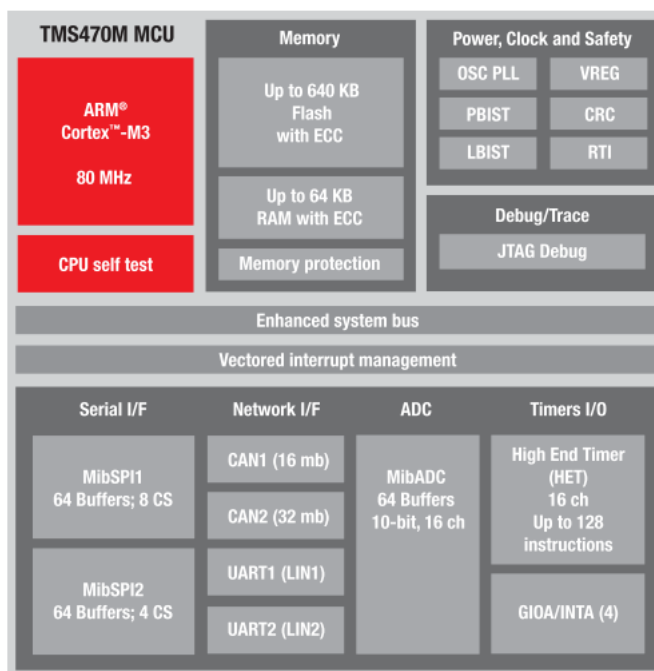
Obr. 2.1: Architektura mikrokontrolérů MPC564xL, zdroj obrázku [1]

2.2.2 STMicroelectronics

Další výrobce, který nabízí mikrokontroléry splňující požadavky SIL3, je STMicroelectronics. Zde se jedná o rodiny s označením SPC564L a SPC56EL. Zde se opět jedná o 32 bitové mikrokontroléry, s jádrem typu e200. Tyto mikrokontroléry jsou si velice podobné mikrokontrolérům rodiny MPC564xL od výrobce Freescale. Rodina SPC564L je vybavena dvěma těmito jádry, kdežto rodina SPC56EL pouze jedním.

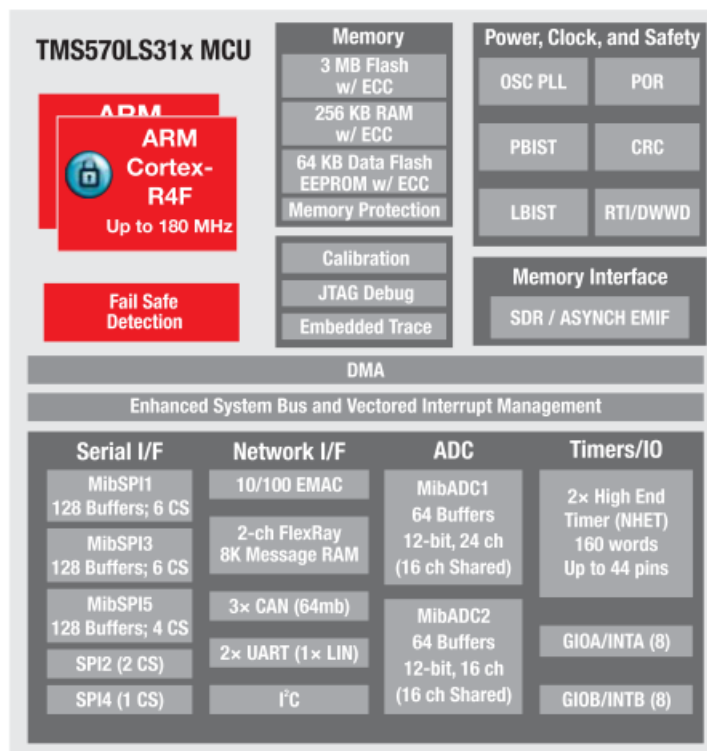
2.2.3 Texas Instruments

Další část kapitoly je věnována výrobci Texas Instruments. Tento výrobce nabízí 3 rodiny, které splňují bezpečnostní označení SIL3. Jedná se o rodiny TMS470M, TMS570LS a RM48x. Rodina TMS470M je vybavena jedním 32 bitovým jádrem ARM Cortex-M3 běžící až na 80MHz. Podle typu mikrokontroléru z této rodiny, může interní flash paměť dosahovat až 640kB a 64kB ram paměti s ECC ochranou(error check and correction). Má v sobě aplikované bezpečnostní ochrany jako jsou již zmíněné ECC, CRC, MPU a další. Tato rodina mikrokontrolérů je vybavena sériovými rozhraními 2x CAN, 2x SPI a 2x LIN/UART. Na obrázku 2.2 je zobrazena architektura této rodiny.



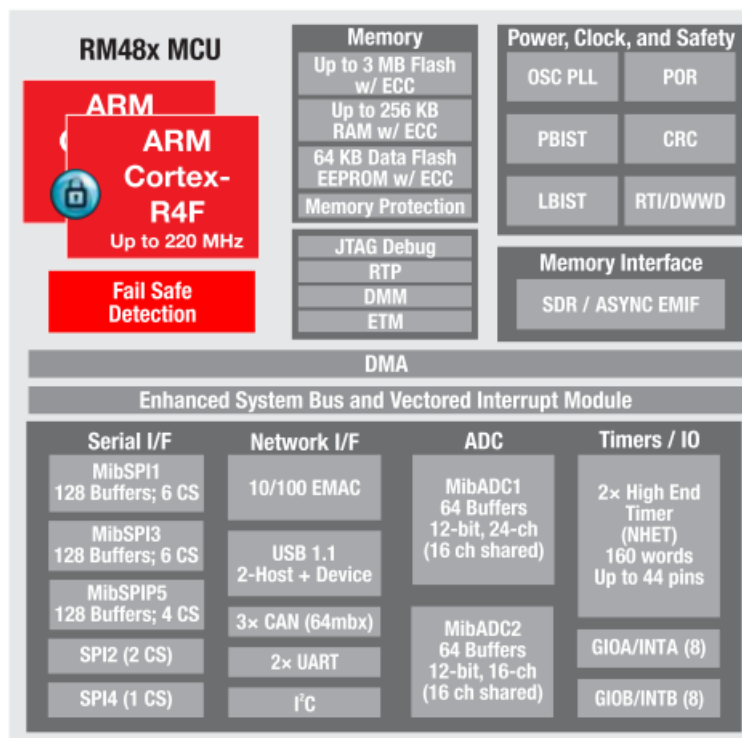
Obr. 2.2: Architektura mikrokontrolérů TMS470M, zdroj obrázku [3]

Rodina TMS570LS obsahuje dvě 32 bitová jádra ARM Cortex-R4F, které jsou schopné pracovat až na 180MHz. Interní paměť členů z této rodiny může dosahovat až 3MB flash a 256kB ram. Jsou vybaveny rozhraním EMIF pro připojení externí paralelních pamětí. Členové disponují komunikačními kanály typu CAN, LIN, SPI, FlexRay a Ethernet. Na obrázku 2.3 je znázorněna architektura této rodiny.



Obr. 2.3: Architektura mikrokontrolérů TMS570LS, zdroj obrázku [3]

Jako poslední rodina od tohoto výrobce je RM48x s názvem Hercules. Tato rodina je taktéž vybavena dvěma 32 bitovými jádry ARM Cortex-R4F, schopné pracovat až na kmitočtu 220MHz. Rozsah interních pamětí je stejný jako o rodiny TMS570, a to 3MB flash a 256KB ram. Taktéž je zde možnost připojení externí paměti přes rozhraní EMIF. Komunikační kanály u členů této rodiny jsou Ethernet, USB, CAN, UART, SPI, I²C. I u této rodiny jsou aplikovány různé ochrany. Architektura této rodiny je znázorněna na obrázku 2.4



Obr. 2.4: Architektura mikrokontrolérů RM48x, zdroj obrázku [3]

2.2.4 Vzájemné porovnání

Na závěr této kapitoly je uvedena přehledová tabulka 2.1, ve které jsou uvedeny vybrané vlastnosti, které jsou potřeba pro rozhodnutí o výběru mikrokontroléru pro navrhovaný řídicí modul.

Výrobce	FreeScale	STMicroelectronics		Texas Instruments		
rodina	MPC564xL	SPC564L	SPC56EL	TMS470M	TMS570LS	RM48x
jádro	e200	e200	e200	Cortex-M3	Cortex-R4F	Cortex-R4F
f [MHz]	<120	<120	<120	<80	<180	<220
FPU	ANO	ANO	ANO	ANO	ANO	ANO
CAN	ANO	ANO	ANO	ANO	ANO	ANO
Ethernet	NE	NE	NE	NE	ANO	ANO
USB	NE	NE	NE	NE	NE	ANO
JTAG	ANO	ANO	ANO	ANO	ANO	ANO

Tab. 2.1: Porovnání různých rodin mikrokontrolérů

Z uvedené tabulky je vidět, že nejlépe se hodící rodina mikrokontrolérů je od firmy Texas Instruments, rodina RM48x.

3

Návrh řídicího modulu

V předchozí kapitole je vybrán výrobce a rodina mikrokontroléru, který je použit v řídicím modulu. Z této rodiny je možnost použít více členů, ale po dohodě s firmou ZAT a.s. je vybrán nejvyšší mikrokontrolér z této řady. Je označen RM48L952 a je použito pouzdro BGA z důvodu, že mikrokontrolér v tomto pouzdru obsahuje více GPIO a rozhraní EMIF. Dále od firmy ZAT a.s. je zadáno, jaké periferie a vlastnosti má obsahovat navrhovaný řídicí modul. Hlavními obvody řídicího modulu je mikrokontrolér a programovatelné pole FPGA. Připojeno k mikrokontroléru:

- EEPROM paměť AT24C256BN připojené přes I²C
- FLASH paměť AT25DE321 připojené přes SPI
- RAM paměť IS62WV51216
- externí RTC
- uživatelské LED diody 8x
- CPU error LED 1x
- uživatelský konektor 8x
- USB 2.0, galvanicky oddělené
- UART
- JTAG

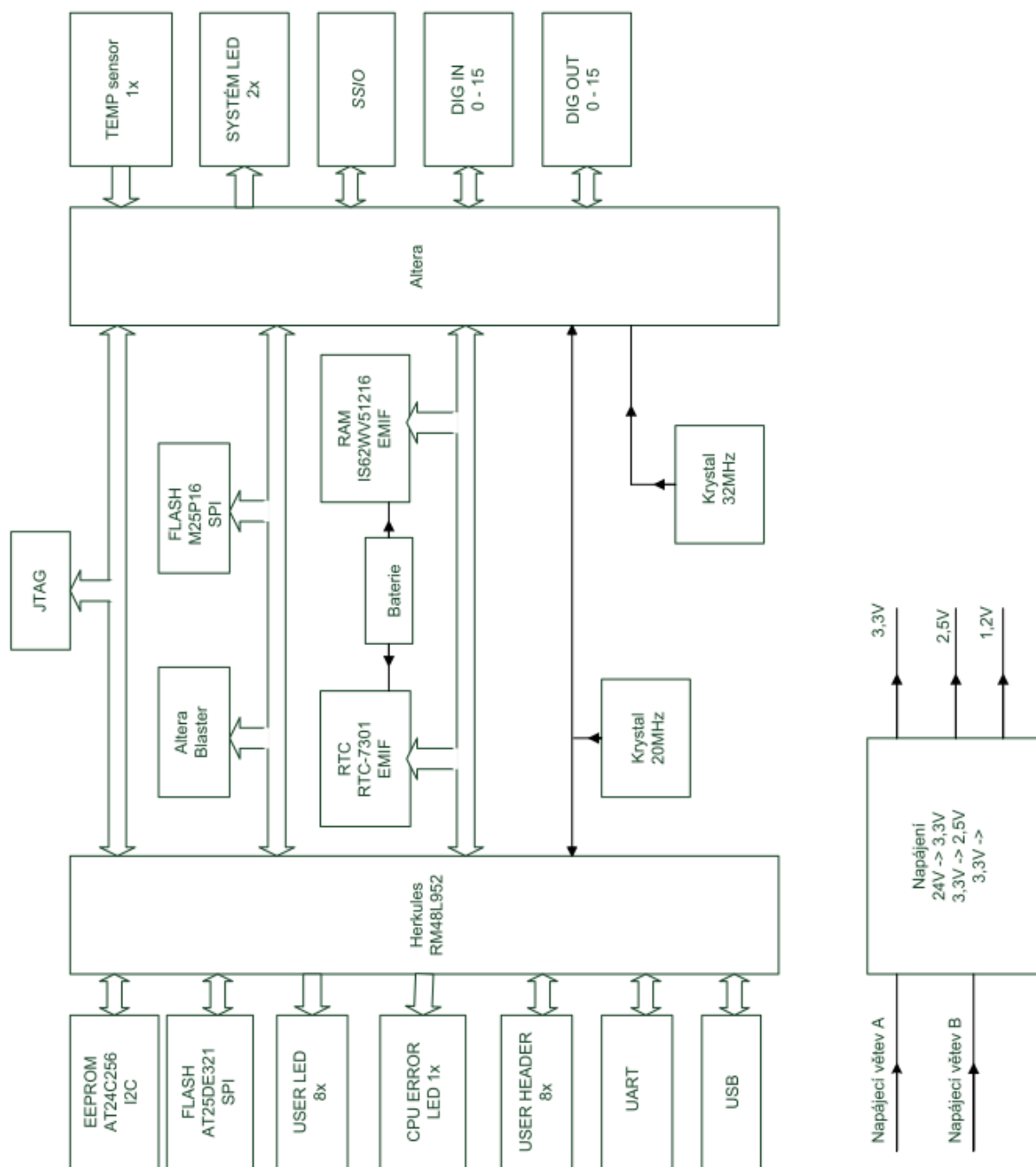
Připojeno k FPGA:

- teplotní senzor AD7814ART
- systémové LED diody 2x
- SSIO komunikace

- 16 digitálních vstupů, galvanicky oddělené
- 16 digitálních výstupů, galvanicky oddělené

3.1 Blokové schéma

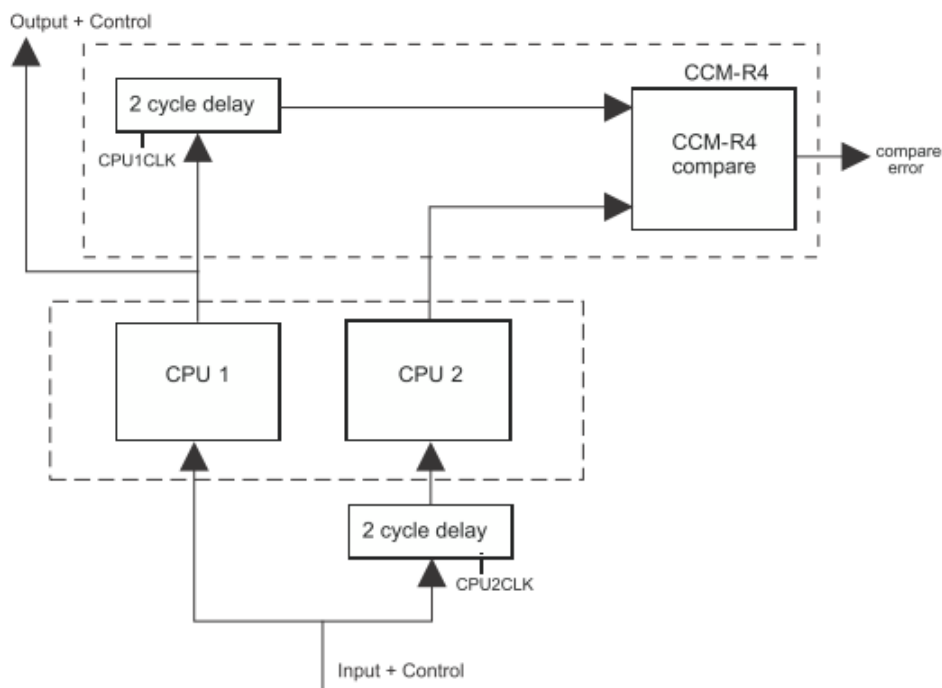
Hlavní část tvoří zmíněný mikrokontrolér RM48L952 a programovatelné pole od Altery EP3C25Q240. Na obrázku 3.1 je zobrazeno blokové schéma celého řídicího modulu. Celý řídicí modul je napájen dvěma 24V stejnosměrnými nezávislými větvemi. Na modulu je použit DC/DC konvertor, který snižuje napětí na 3,3V, které je rozvedeno po celé desce. Jsou zde použity ještě 2 DC/DC konvertory, které napětí 3,3V snižují na napětí 2,5V pro FPGA a 1,2V pro mikrokontrolér. K mikrokontroléru jsou externě připojeny rozšiřující paměti EEPROM, FLASH a RAM. Dále je připojen externí RTC, protože mikrokontrolér jím není vybaven. RTC je mimo jiné napájen ještě ze zálohovací baterie, která napájí i paměť RAM. Mikrokontrolér je připojen přes komunikační rozhraní EMIF k FPGA. K FPGA je připojen teplotní senzor a 2 systémové ledky, které indikují stav. K FPGA je dále připojeno komunikační rozhraní SSIO, které je firemním standardem zadavatelské firmy ZAT a.s. K FPGA je ještě připojeno 16 digitálních vstupů a 16 digitálních výstupů, které jsou galvanicky oddělené od programovatelného pole i mezi sebou navzájem. Výsledný modul je vybaven JTAG rozhraním, přes který je možno mikrokontrolér i FPGA naprogramovat. Dále je modul vybaven Altera Blastrem, pomocí kterého je taktéž možno obvod naprogramovat.



Obr. 3.1: Blokové schéma řídicího modulu

3.1.1 Mikrokontrolér RM48L952

Tento mikrokontrolér je 32-bitový RICS kontrolér se 2 jádry. Efektivnost tohoto procesoru je 1,6DMIPS/MHz. Frekvence interních hodin může dosahovat až 220MHz. Obsahuje 8 stupňovou zřetězenou strukturu a je vybaven FPU pro single- i double-precision formát. Ke své funkčnosti potřebuje 2 stupně napájení. Jeden je 3,3V a je určeno pro napájení IO obvodů a tato hladina může být využita i pro napájení analogové části obvodů. Druhá hladina je 1,2V, kterou se napájí jádro mikrokontroléru. Mikrokontrolér obsahuje 3MB flash paměť, 256KB ram paměť a 64KB flash paměť pro emulaci EEPROM paměti. Všechny tyto paměti mají ECC kontrolu dat. Dále je možno připojit externí paralelní 16 bitovou paměť pomocí rozhraní EMIF. Mezi komunikační rozhraní tohoto mikrokontroléru lze řídit 10/100 Mbps Ethernet MAC, USB rozhraní, 3x CAN řadič, LIN řadič, 3x MibSPI, 2x SPI a I²C. V navrhovaném řídicím modulu není Ethernet ani CAN použit. Obě dvě jádra vykonávají stejný program. Aby bylo zajištěno, že při výkonu instrukcí nevznikne stejná chyba, jádra nevykonávají stejnou instrukce ve stejnou dobu. Jedno jádro má zavedeno zpoždění o 2 takty před úkonem, druhé jádro až po výpočtu. Za oběma jádry se výsledky porovnají a vyhodnocují. Tato vlastnost je zobrazena na obrázku 3.2



Obr. 3.2: Implementace 2 jader

Schéma zapojení mikrokontroléru je uvedeno v příloze A.1. Mikrokontrolér je připojen na externí krystal o frekvenci 20MHz. Je k němu připojena uživatelská svorka, která je přes pull-up odpory vyzvednuta do logické 1 a slouží k ladění programu. Jsou zde připojeny i LED diody, které jsou vyvedeny na čelní panel řídicího modulu. K mikrokontroléru je připojena ram paměť U15 o velikosti 1MB přes rozhraní EMIF. Dále je připojena flash paměť U14 o kapacitě 32Mb a je připojena přes vysokorychlostní SPI rozhraní (MibSPI). Poslední externí paměť je je typu EEPROM s kapacitou 256Kb připojenou přes I²C rozhraní. K mikrokontroléru je dále připojen UART, jehož svorka není po zasunutí do vany přístupná. Slouží k ladění programu. K mikrokontroléru je připojeno USB rozhraní, které je vyvedeno na čelní panel.

3.1.2 FPGA

Jako programovatelné pole je zvoleno FPGA od výrobce Altera. Přesně je vybrán EP3C25Q240. Toto programovatelné pole je vybráno z důvodu, že už bylo v aplikacích firmy ZAT a.s. použito. Zapojení je uvedeno v příloze A.2. Pro omezení proudu do vstupů FPGA jsou použity omezovací odpory znázorněné v příloze A.3. Pro naprogramování FPGA je možnost použít JTAG rozhraní nebo rozhraní Altera BLASTER. K programovatelnému poli je připojena rozšiřující flash paměť M25P16 přes rozhraní SPI a externí ram paměť AS62WV51216 přes rozhraní EMIF. K programovatelnému poli jsou připojeny 2 krystaly o frekvenci 20MHz a 32MHz. Altera obsluhuje všechny digitální vstupy i výstupy, komunikaci SSIO a taplotní senzor AD7814ART. Altera ovládá 2 systémové LED diody, které signalizují stav řídicího modulu.

3.1.3 SSIO

Jedná se o komunikaci mezi jednotlivými řídicími moduly, které pracují nezávisle na sobě. Schéma je v příloze A.7 A.8. Tato komunikace je připojena k FPGA a je galvanicky oddělena. Pro oddělení napájení je použit DC/DC konvertor U23. Výstupní piny jsou vyvedeny na zadní konektor X2. Pro větší spolehlivost je komunikace zdvojená.

3.1.4 Digitální vstupy

Digitální vstupy jsou uvedeny v příloze A.9 a A.10. Je jich celkem 16 a jsou galvanicky odděleny pomocí optočlenu TCMT4600 od jádra i mezi sebou. TCMT4600 obsahuje 4 optočlenu, takže jsou použity 4 tyto čipy a to U32, U33, U28 a U29.

3.1.5 Digitální výstupy

Digitální výstupy jsou uvedeny v příloze A.11 a A.12. Modul obsahuje celkem 16 digitálních výstupů oddělených od řídicí části. 14 jich je odděleno pomocí polovodičových relé AQY210KS. Výstupy Dout6 a Dout7 jsou odděleny pomocí SZD24CC, které je vybaveno

indikací spuštění nadproudové ochrany na svém výstupu. Každý optočlen má na výstupu zařazen transil SMBJ85CA, který chrání vůči přepětí.

3.1.6 Svorkovnice

schéma je uvedeno v příloze A.13. K připojení modulu slouží dvě 64 pinové konektory v zadní části modulu. konektor X1 je využit ke všem digitálním vstupům a několika digitálním výstupům. Konektor X2 je určen pro zbytek digitálních výstupů, přivedení napětí pro modul a SSIO komunikaci. Popis konektorů je uveden v tabulce C.1 a C.2 uvedené v příloze C.

3.2 Návrh DPS

Zde je uvedeno, jaký byl použit program na tvorbu DPS a rozložení vrstev ve výsledné DPS.

3.2.1 Pads

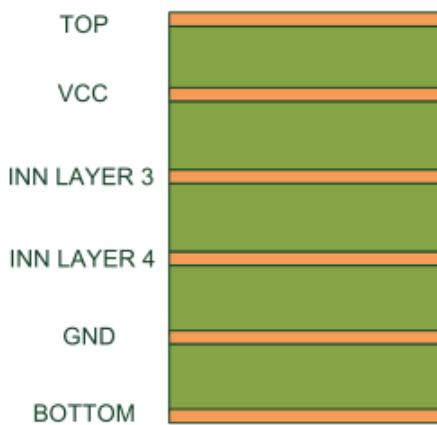
Vývojový program PADS je produkt firmy Mentor Graphics. Tento program obsahuje více jednotlivých programů, provázané mezi sebou. K práci je použit program Pads Logic a Pads Layout. V programu Pads Logic je navrženo celé schéma. Je možnost už zde definovat pravidla návrhu DPS, rozložení vrstev v DPS u vícevrstvého plošného spoje. Po svázání s programem Pads Layout, jsou mezi sebou propojeny veškeré použité součástky. Program Pads Layout složí ke tvorbě DPS, rozmisťování součástek, kreslení spojů a následná jejich kontrola podle nastavených pravidel.

3.2.2 Rozložení vrstev

Je zvolena šesti vrstvá deska plošných spojů, kvůli připojení mikrokontroléru v pouzdru BGA a nárokům na elektromagnetickou kompatibilitu. Popis vrstev je znázorněn na obrázku 3.3. Součástky jsou umístěny jen na vrstvě TOP, takže DPS může být osazena v osazovacích automatech.

3.3 EMK odolnost

Řídicí modul bude nasazen v jaderné elektrárně a kvůli této skutečnosti musí být dodrženo několik bezpečnostních podmínek vztahující se na elektromagnetickou kompatibilitu. Musí být dodrženy galvanické oddělení. Kvůli tomuto má firma ZAT a.s. specifikované interní dokumenty. Veškeré tyto podmínky jsou při návrhu DPS dodrženy.



Obr. 3.3: Vrstvy na DPS

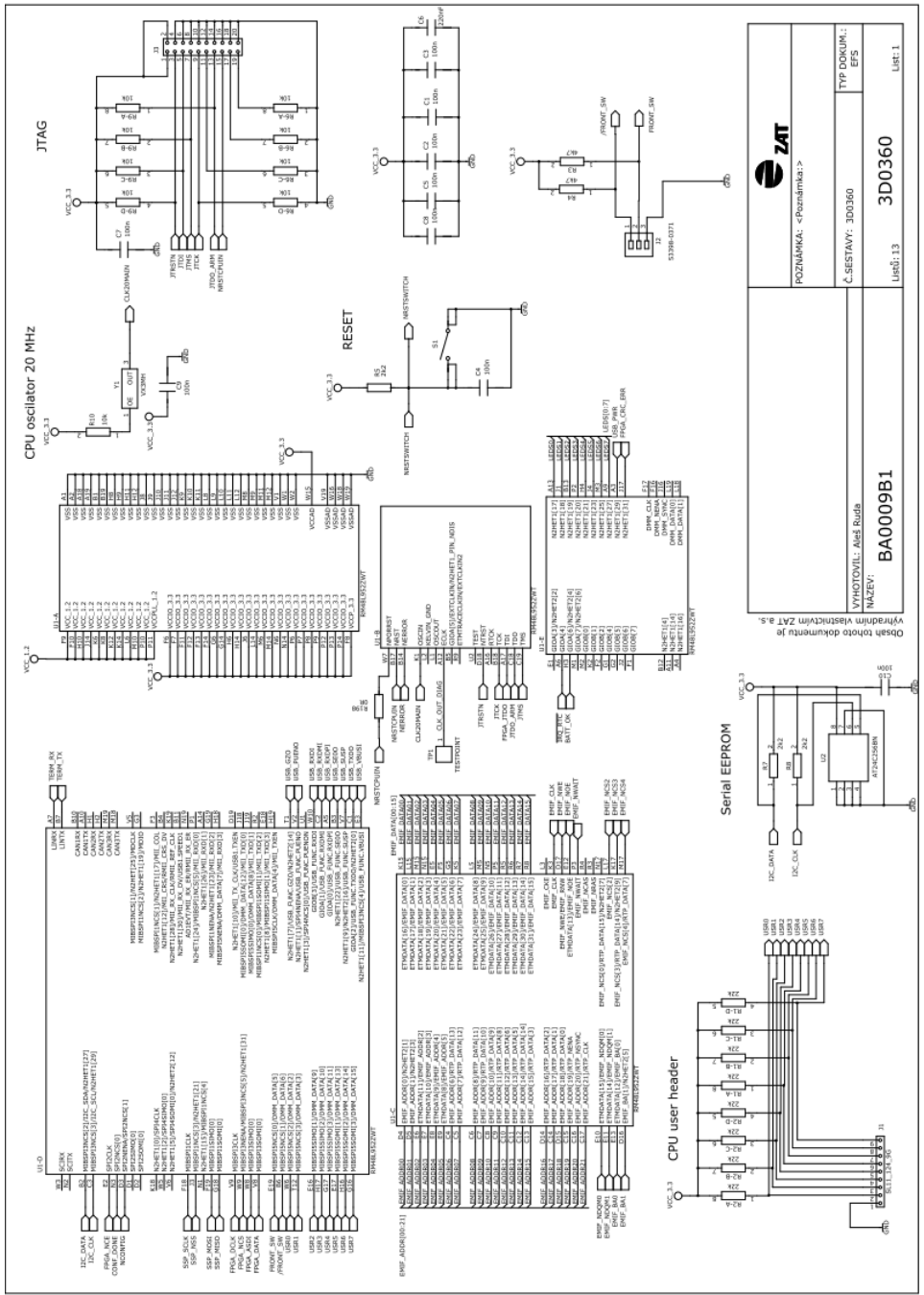
4

Závěr

Cílem této práce je vytvoření seznamu mikrokontrolérů, které splňují bezpečnostní úroveň SIL3. Z tohoto seznamu vybrat jeden, který nejvíce splňuje zadání od firmy ZAT a.s. a pomocí tohoto procesoru je navržen řídicí modul podle parametrů od firmy ZAT a.s. Při návrhu jsou dodrženy návrhové pravidla a potřebné galvanické oddělení. Jelikož se jedná o prototyp tohoto modulu, nemusí být splněna elektromagnetická kompatibilita. Úroveň vyzařování a schopnost pracovat v zarušeném prostředí se zjistí až po odměření v komoře.

Literatura

- [1] *Freescale* [online]. [cit. 2014-05-09]. Dostupné z: <http://www.freescale.com/>
- [2] *STMicroelectronics* [online]. [cit. 2014-05-09]. Dostupné z: <http://www.st.com/web/en/home.html>
- [3] *Texas Instruments* [online]. [cit. 2014-05-09]. Dostupné z: <http://www.ti.com/>
- [4] Altera: Katalogové listy obvodů FPGA. Dostupné z: <http://www.altera.com>
- [5] Texas Instruments: Katalogové listy mikrokontrolérů. Dostupné z: <http://www.ti.com>
- [6] ZÁHLAVA, Vít. Návrh a konstrukce DPS. 1. české vydání. Praha: BEN - technická literatura, 2010, 128 s., ISBN 978-80-7300-266-4



ZAT	
POZNÁMKA: <Poznámkami:>	
TYP DOKUM.: EPS	Č. SESTAVY: 3D0360
BA0009B1	
Úroveň: 13	3D0360
Úroveň: 1	

Ověřte toto dokumenty ZAT a.s.

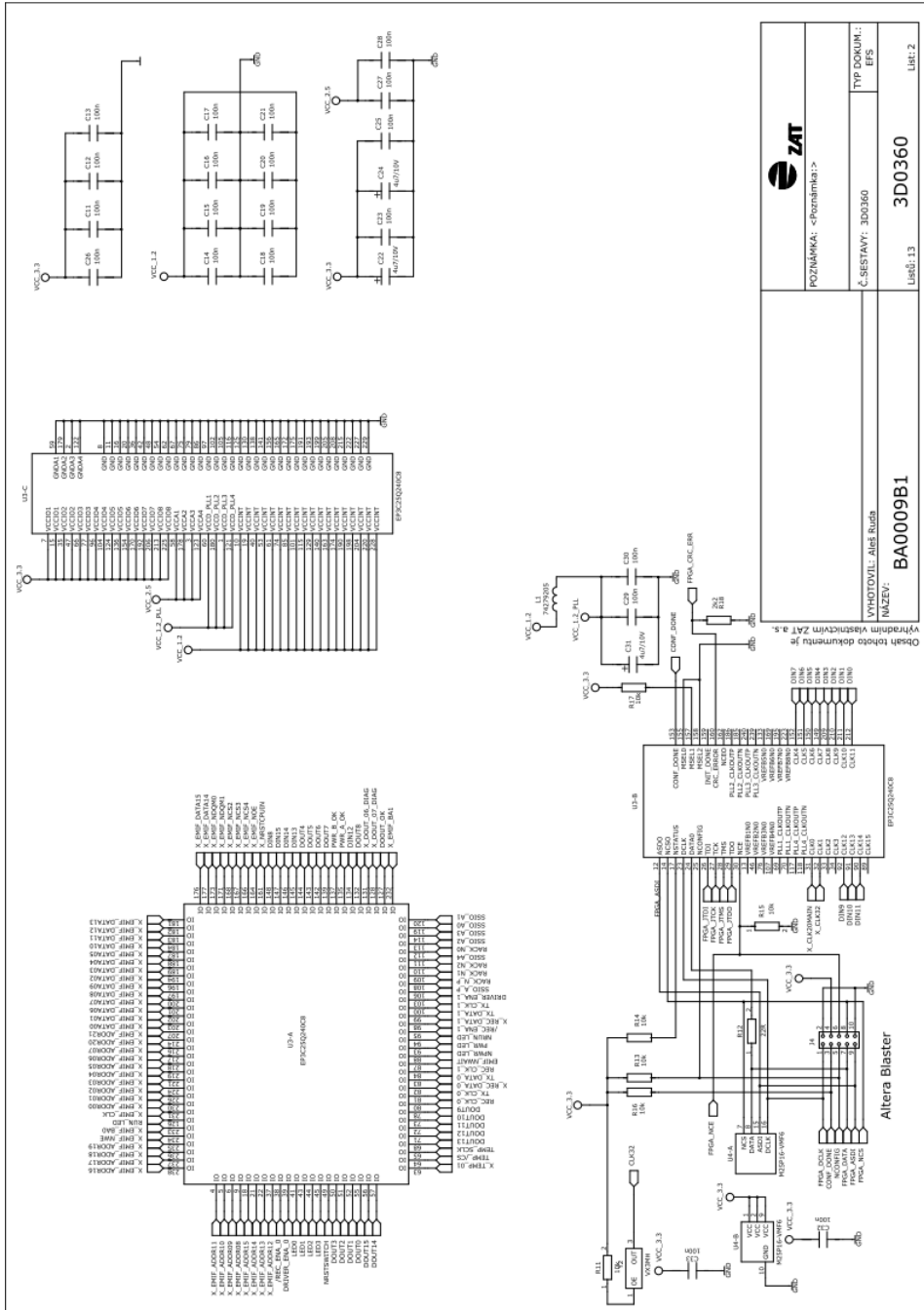
VYHOVDIL: ASE Ruše

NAZEV: BA0009B1

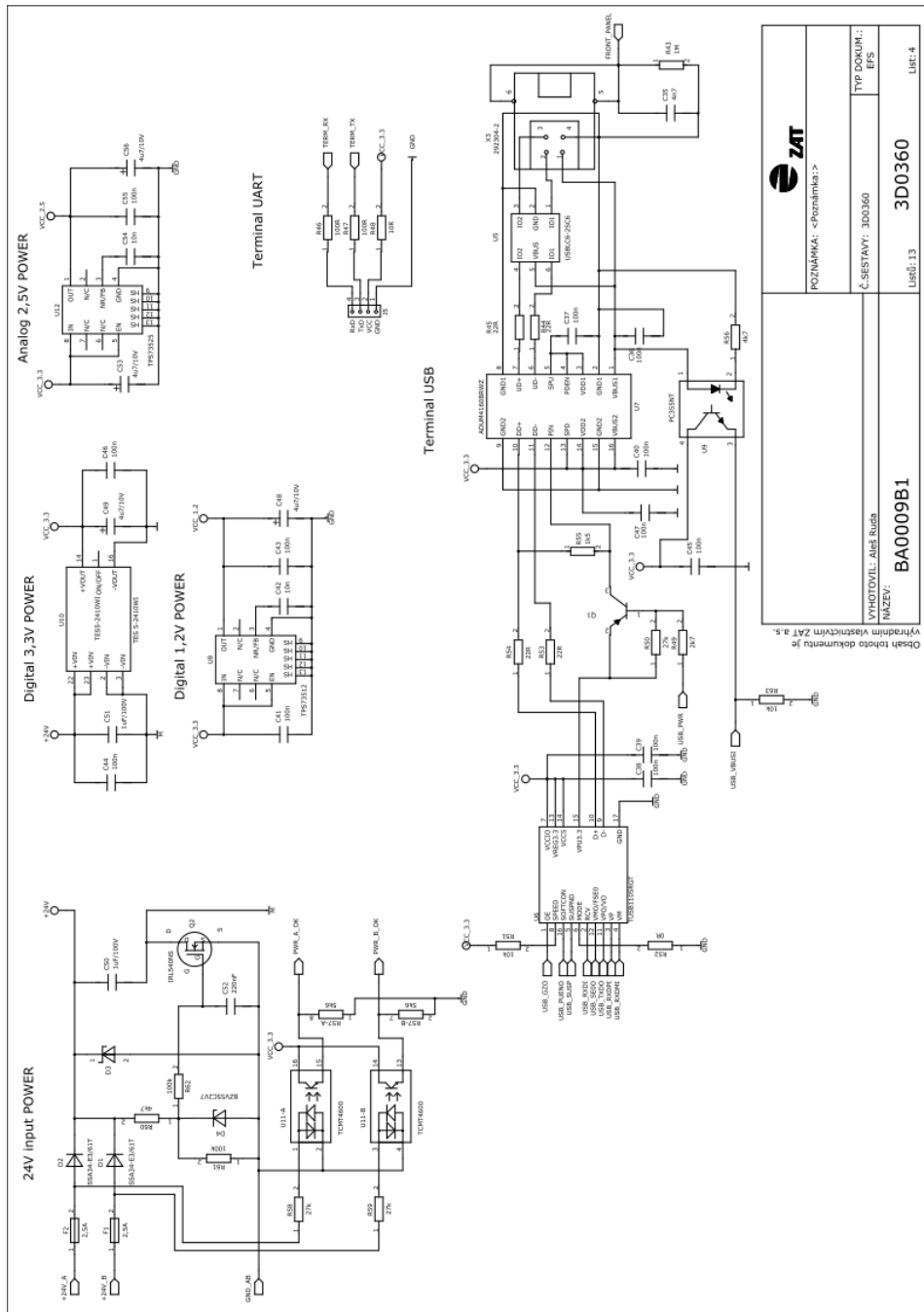
Serial EEPROM

CPU user header

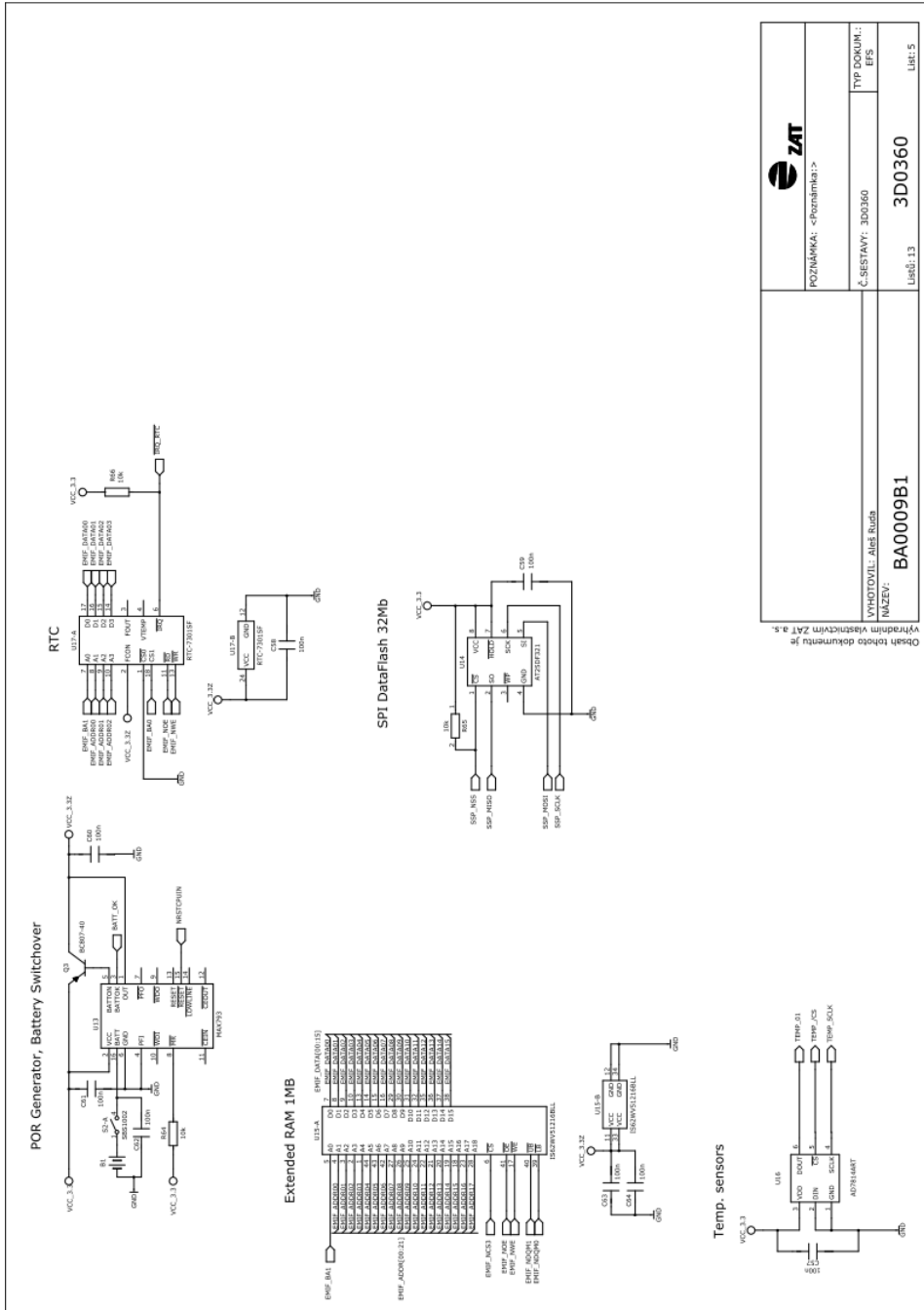
Obr. A.1: Procesor, JTAG, reset



Obr. A.2: FPGA



Obr. A.4: Napájení a USB

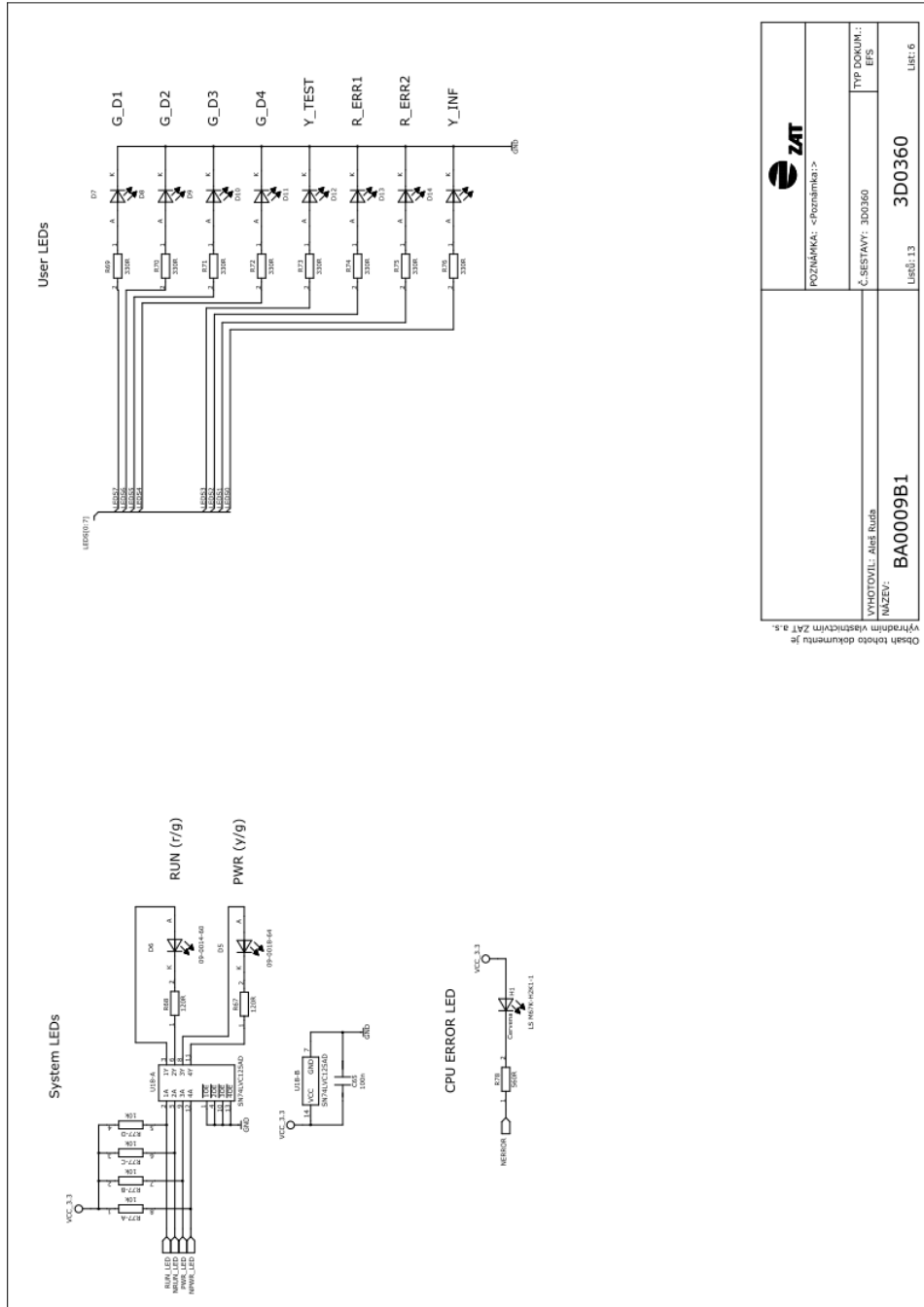


Obr. A.5: Baterie, paměť, RTC

POZNÁMKA: <Poznámka: >	
Č. RESTAVY: 3D0360	TYP DOKUM.: EPS
LIBR: 13	3D0360
LIBR: 5	

VYHOTOVIL: Aleš Ruda
 NÁZEV: BA0009B1

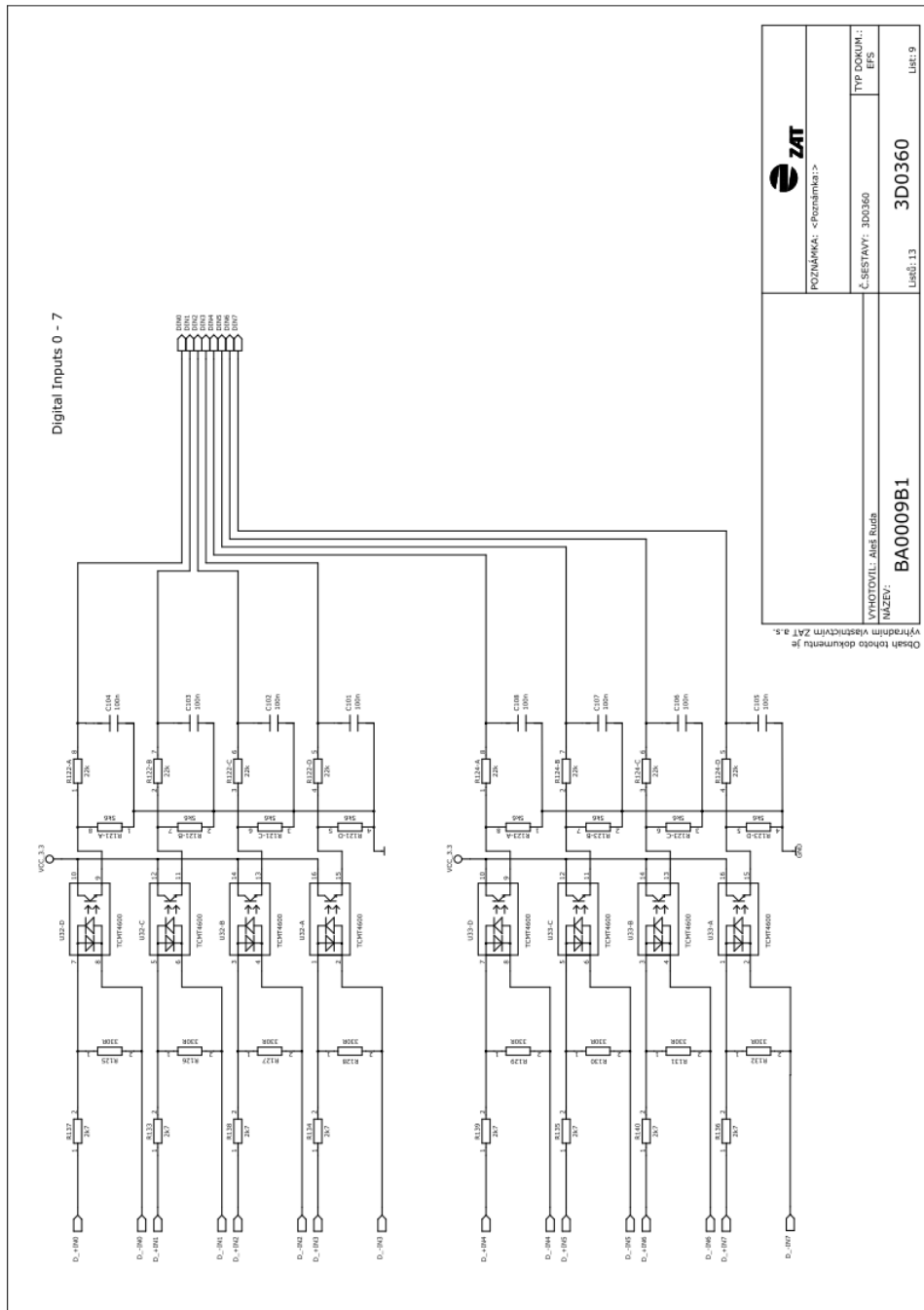
Obsh tohoto dokumentu je Vyhledim vystrictim ZAT a.s.



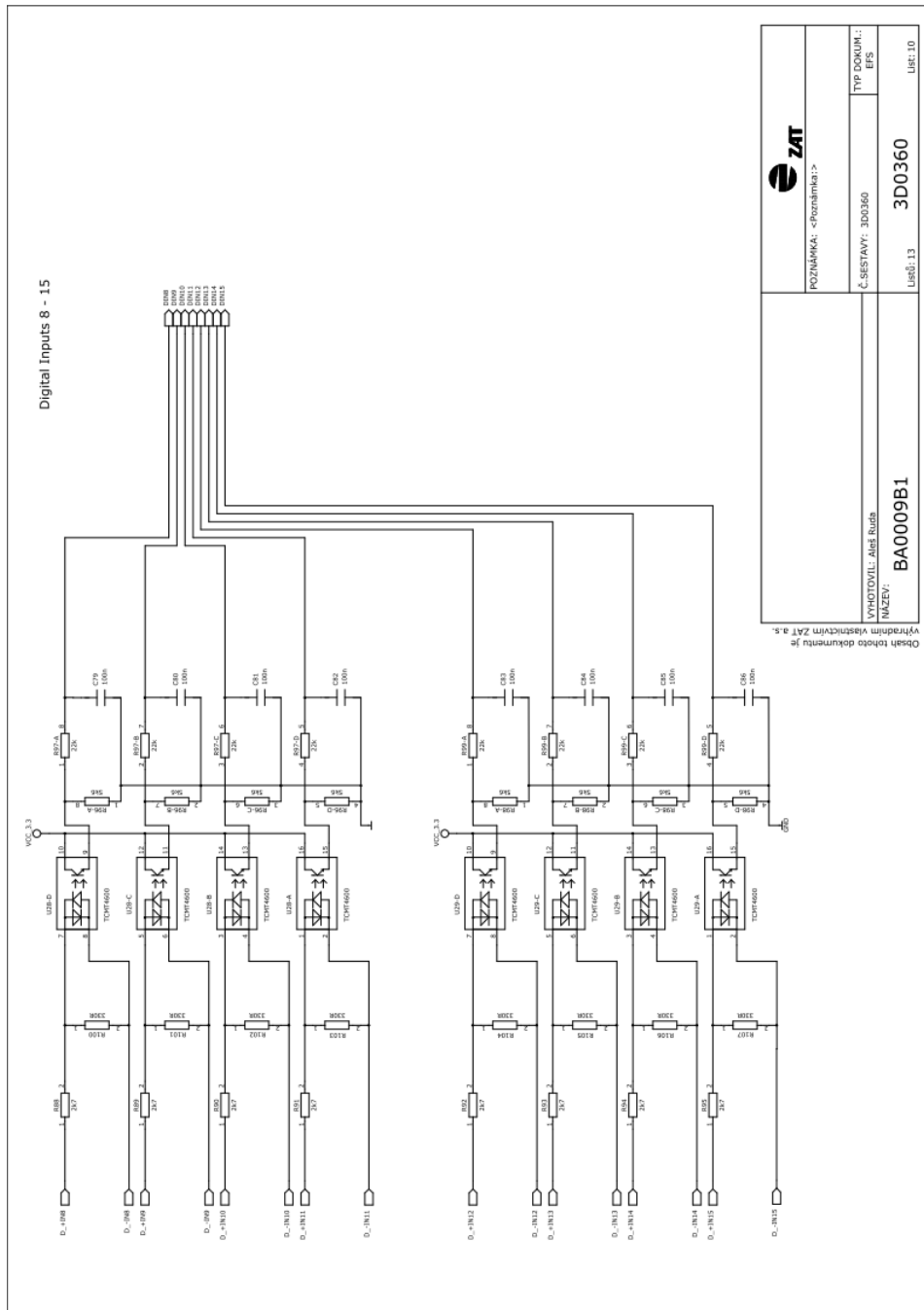
Obr. A.6: Led diody

POZNÁMKA: <Poznámka: >	
TYP DOKUM.: EPS	3D0360
Č.ŘEŠTAVY: 3D0360	LIBE: 6
LIBE: 13	BA0009B1

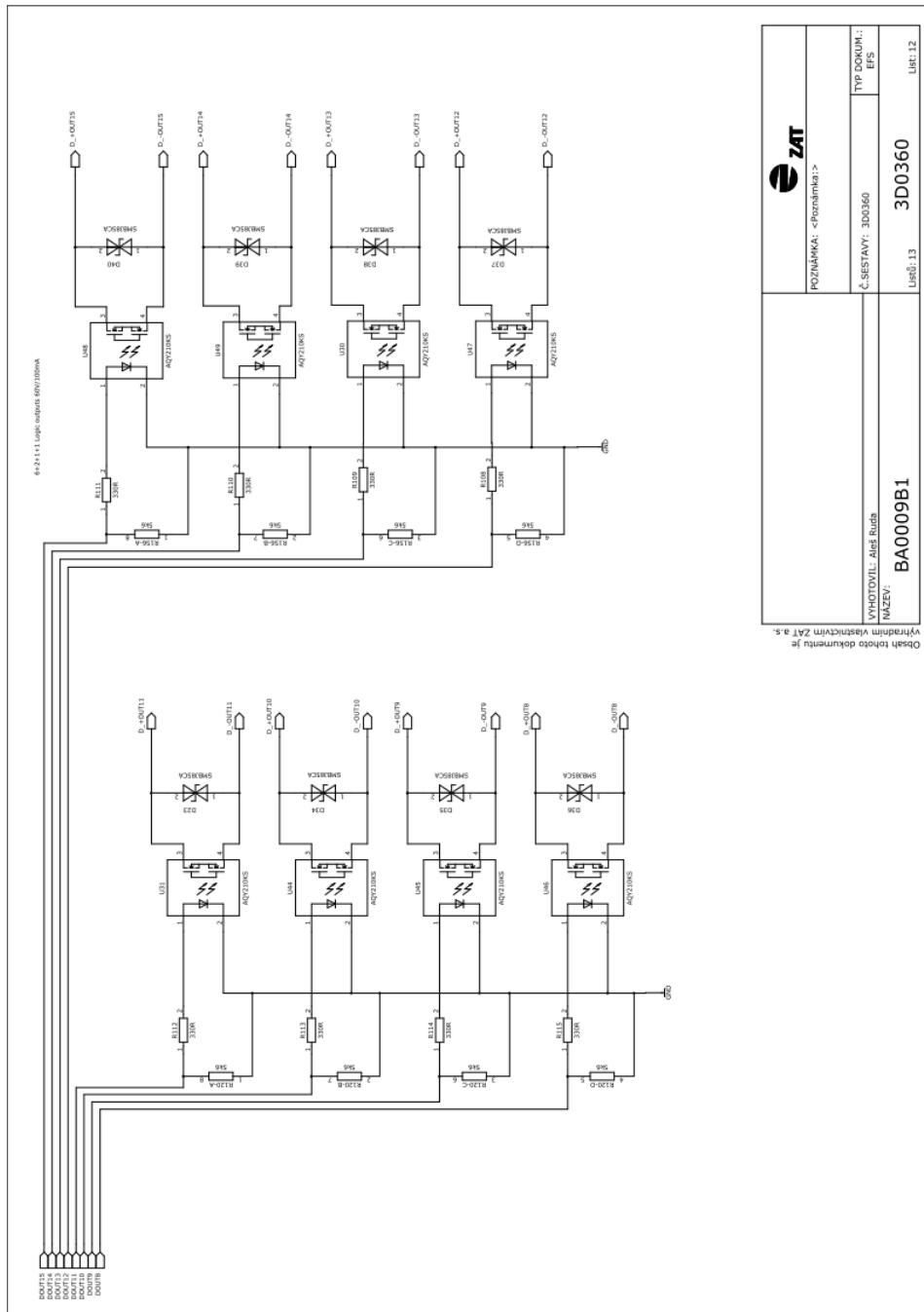
Obraz tohoto dokumentu je
VYHOTOVIL: Aleš Ruda
MUSEV: BA0009B1



Obr. A.9: Digitální vstupy 0- 7



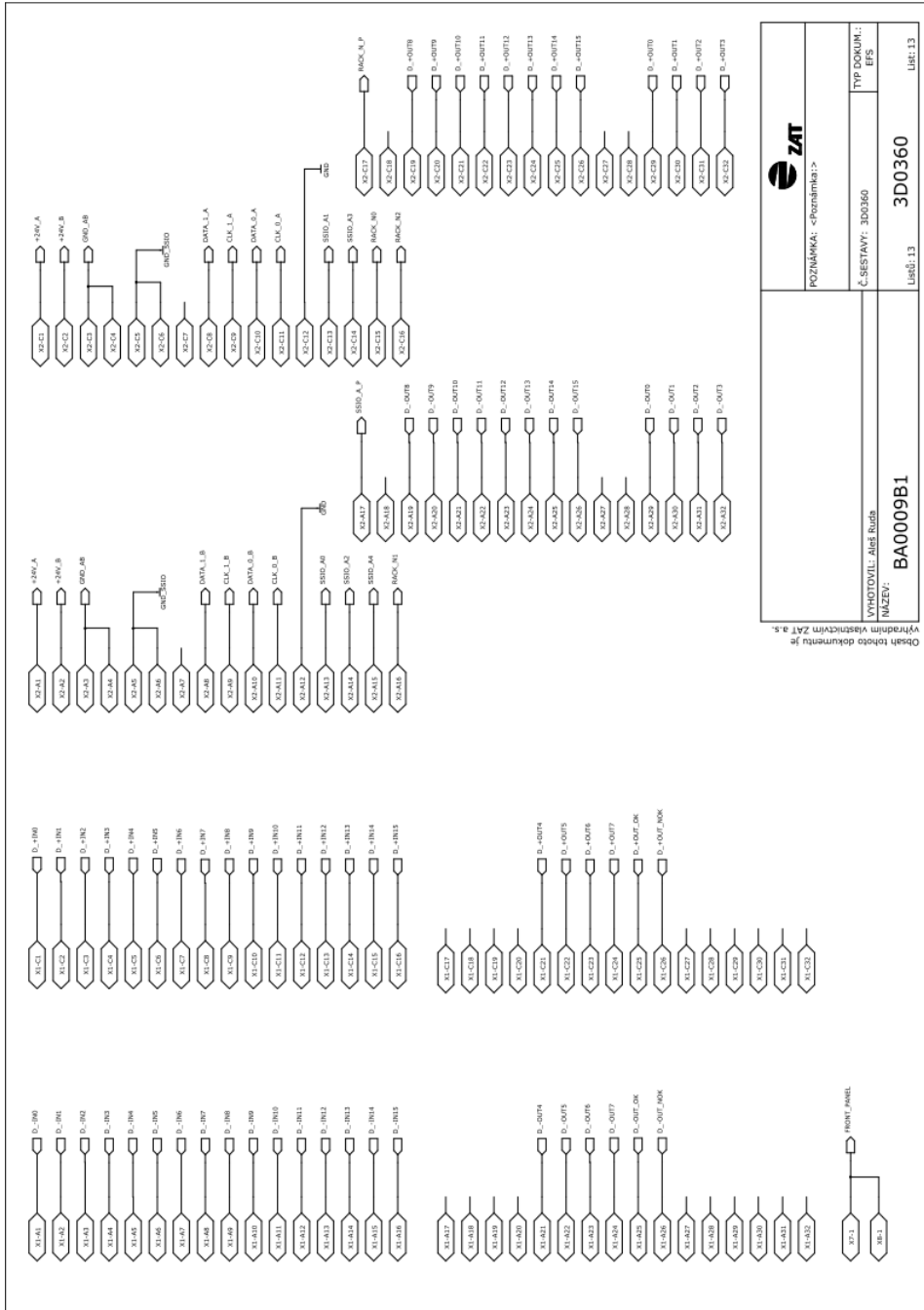
Obr. A.10: Digitální vstupy 8 - 15



ZAT	
POZNÁMKA: <Poznámka: >	
TYP DOKUM.: EPS	Č. SESTAVY: 3D0360
LUB: 12	LUB: 13
3D0360	
VYHOTOVIL: Aleš Ruda NÁZEV: BA0009B1	

Obsah tohoto dokumentu je výhradně vlastnictvím ZAT a.s.

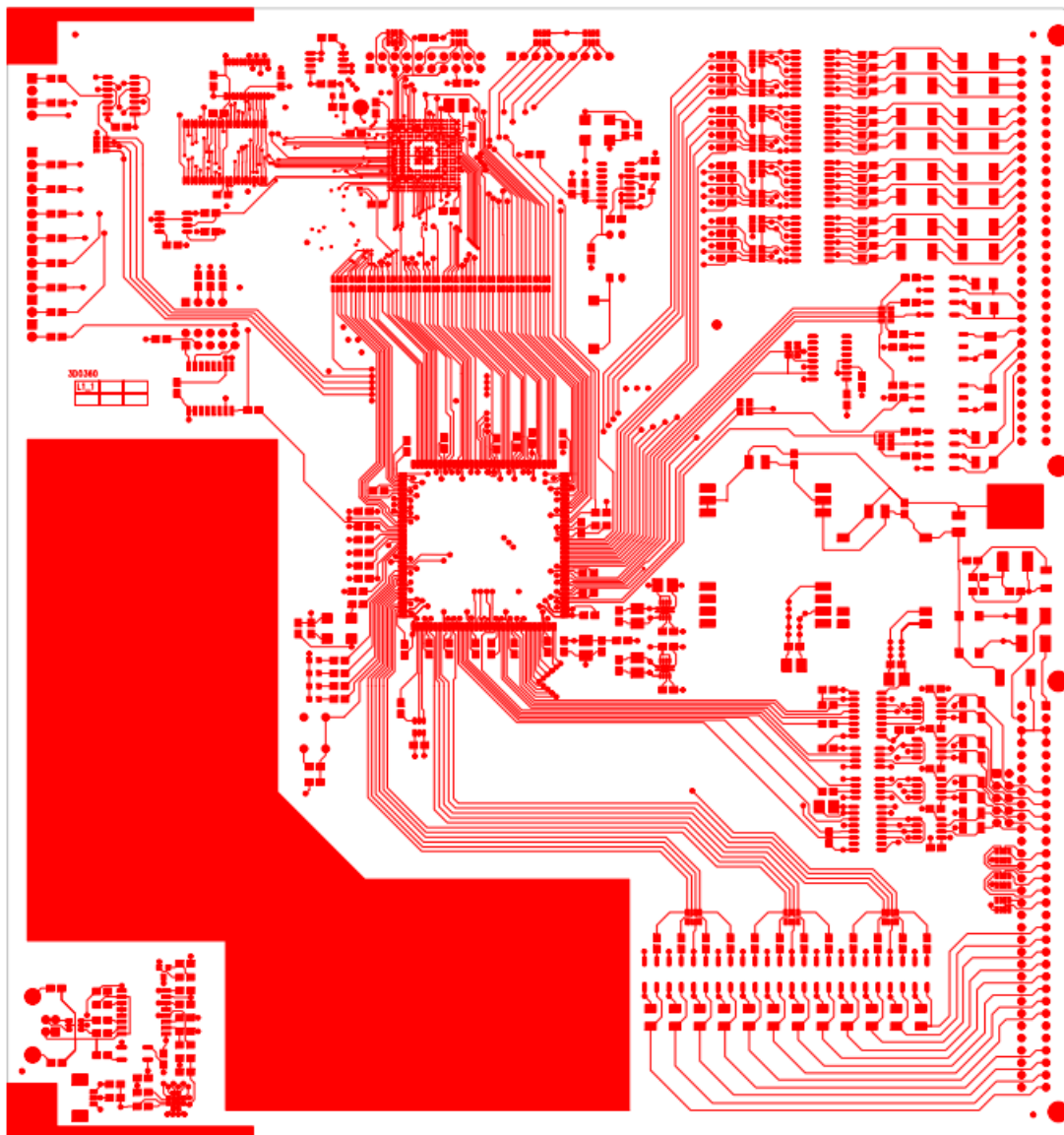
Obr. A.12: Digitální výstupy 8 - 15



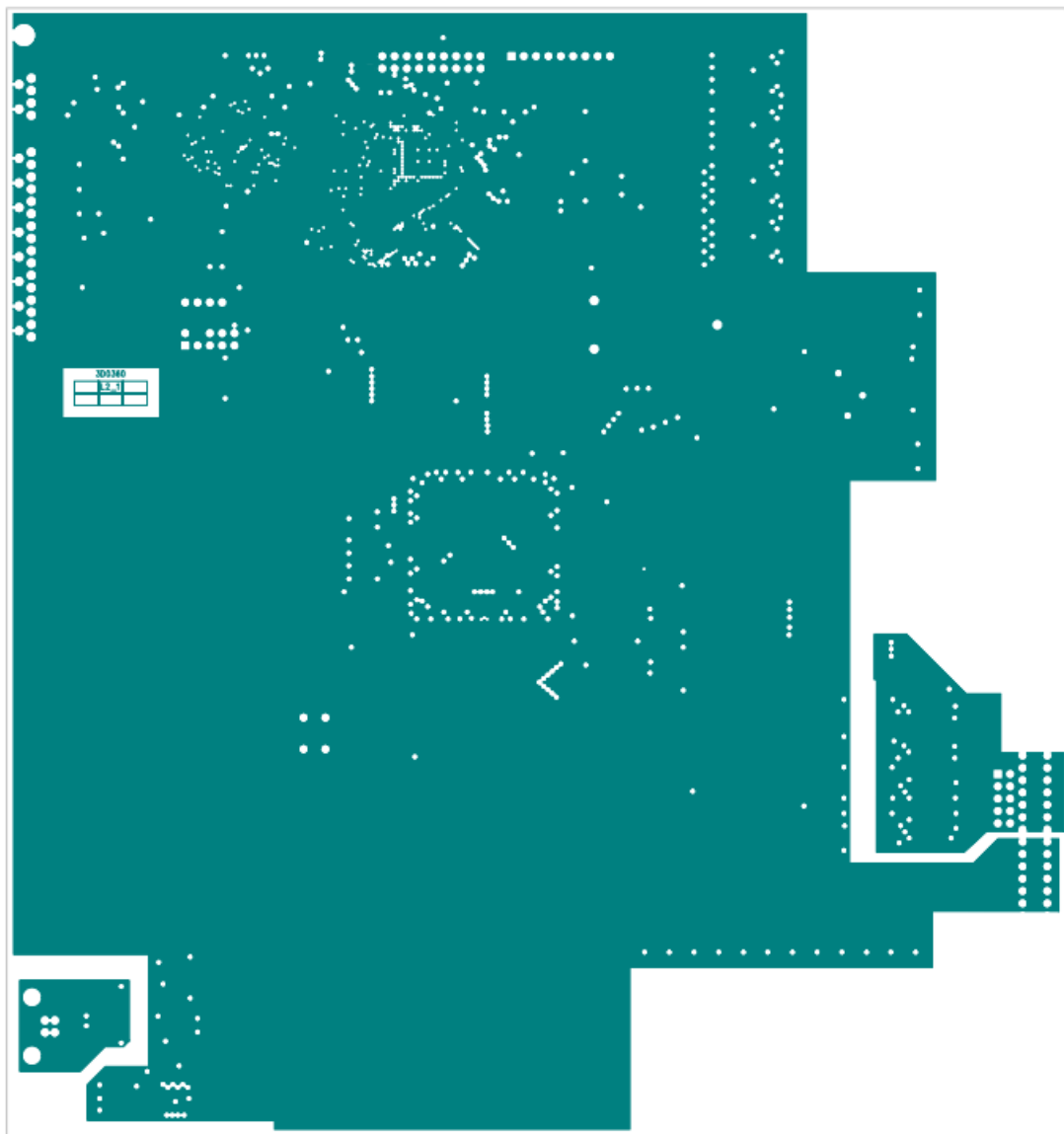
Obr. A.13: Konektory

Příloha B

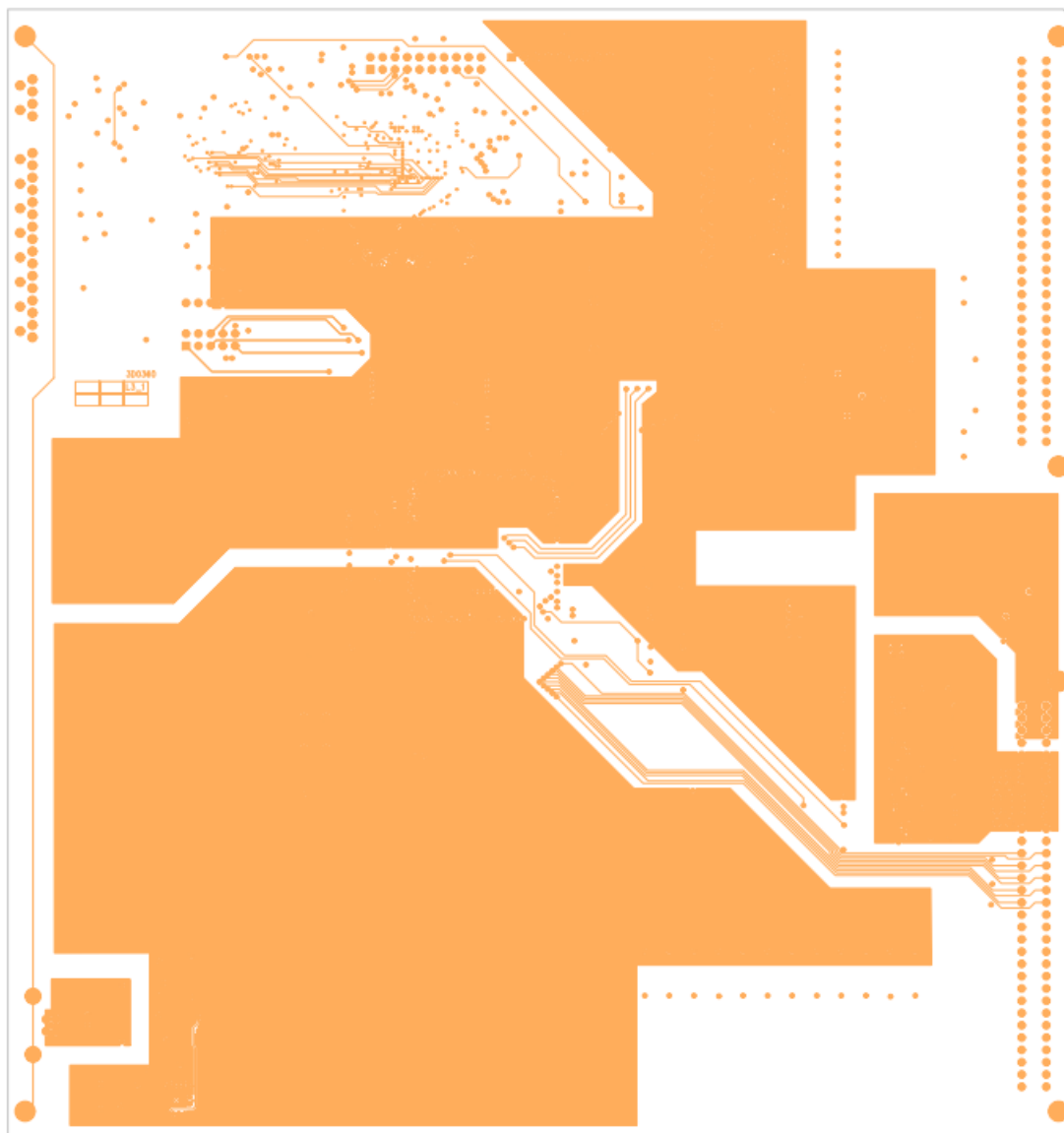
Deska plošného spoje a rozmístění součástek



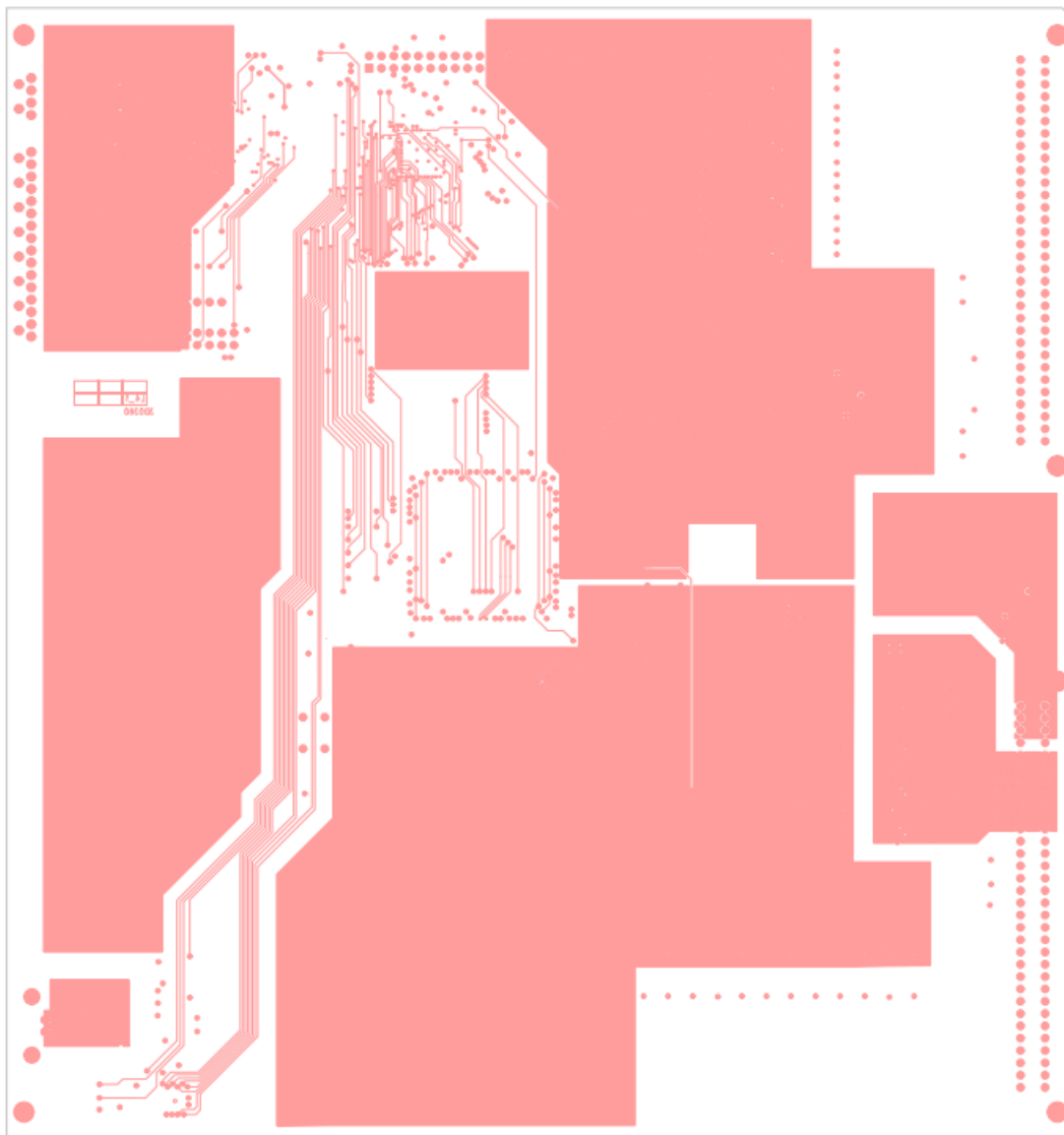
Obr. B.1: Vrstva TOP



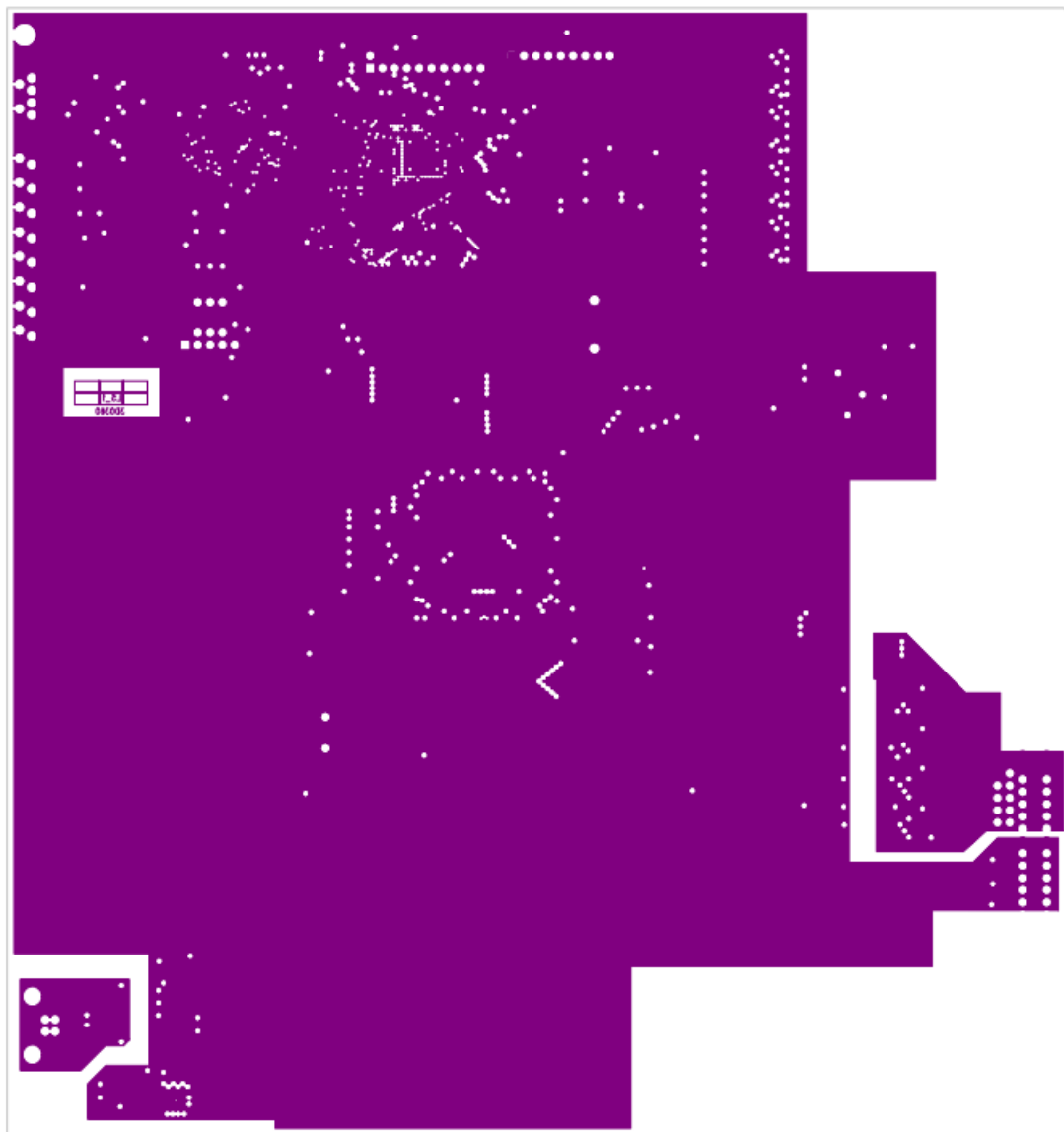
Obr. B.2: Vrstva VCC



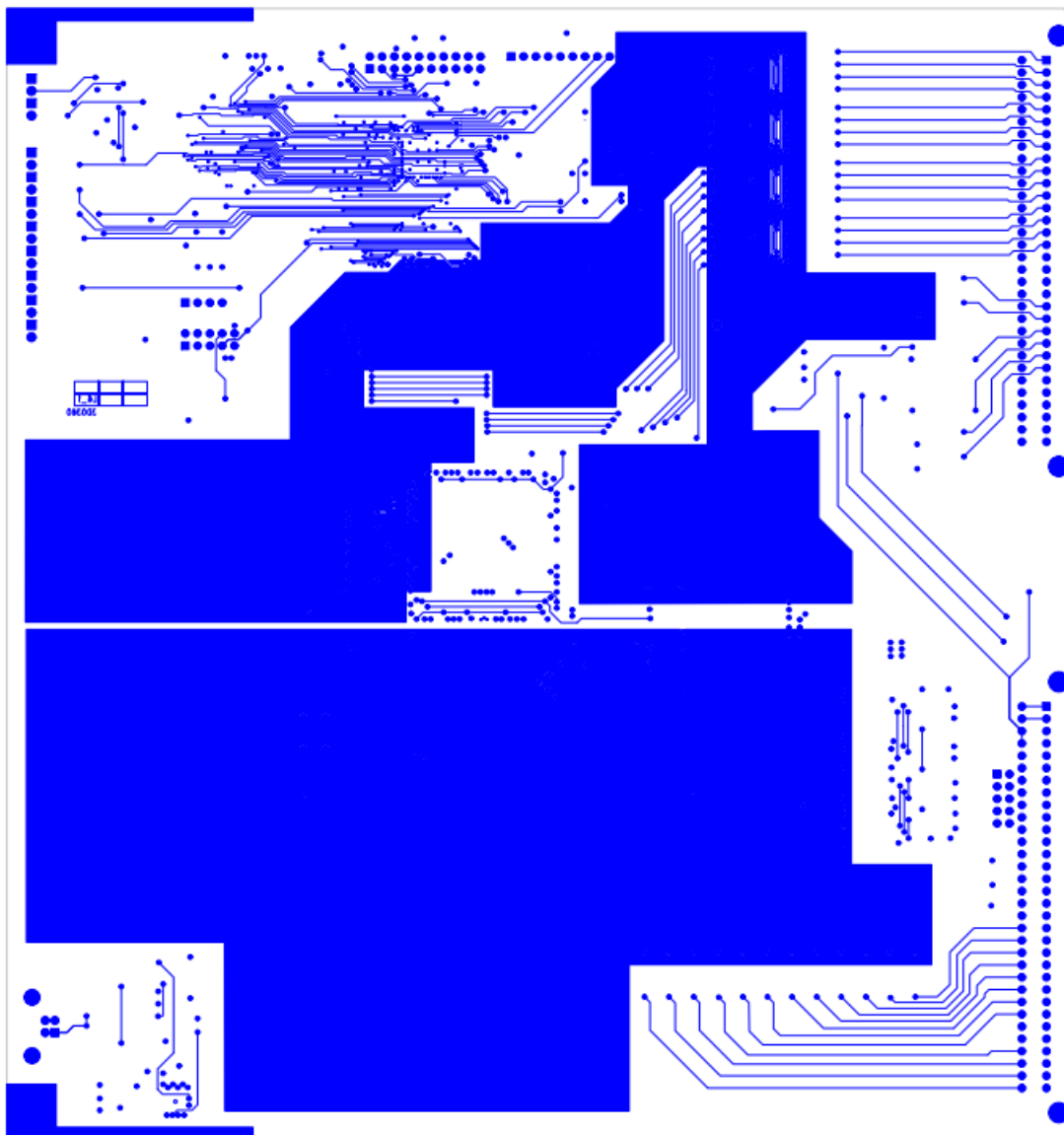
Obr. B.3: Vrstva Inner 3



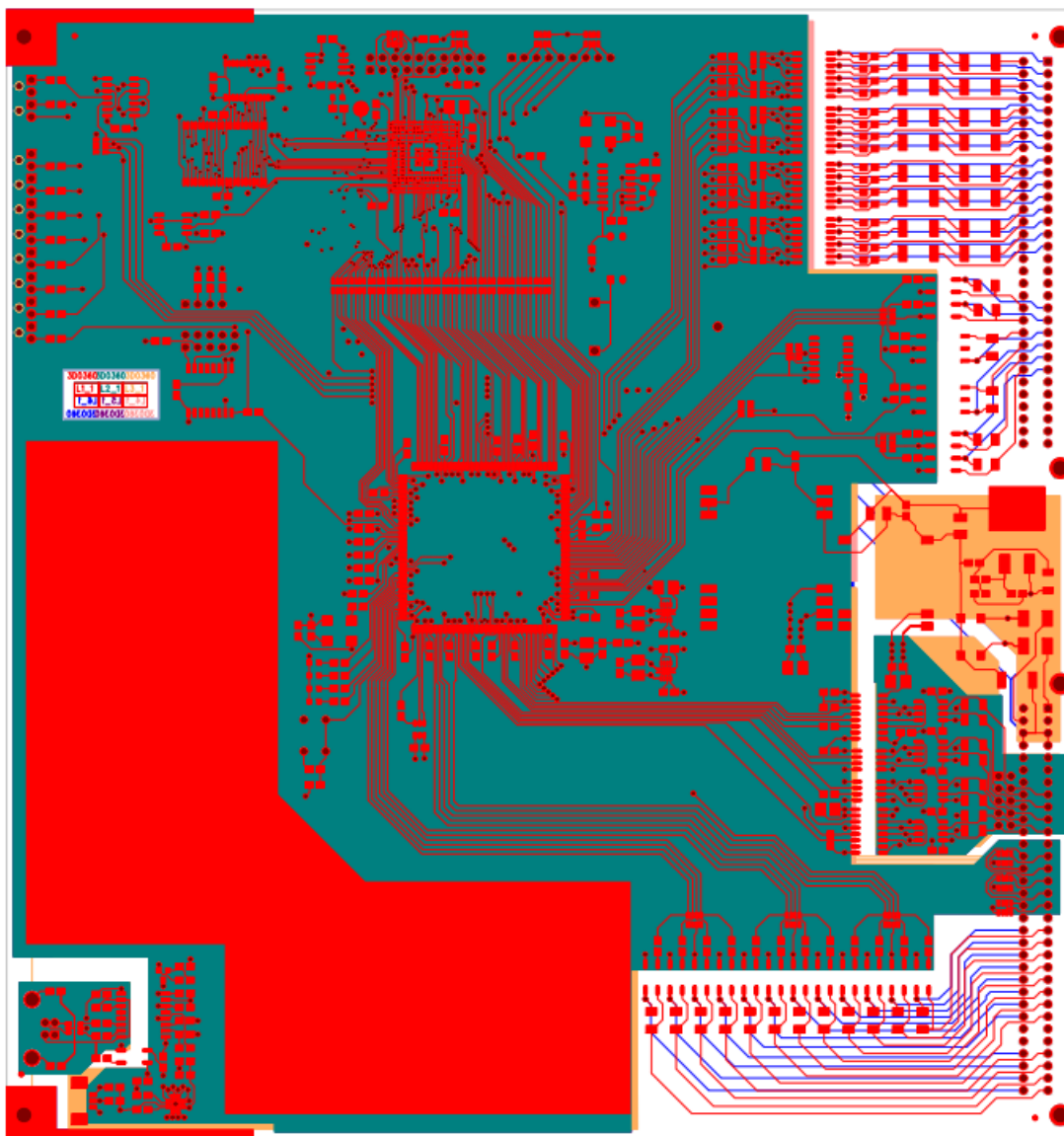
Obr. B.4: Vrstva Inner 4



Obr. B.5: Vrstva GND



Obr. B.6: Vrstva BOTTOM



Obr. B.7: Všechny vrstvy

Příloha C

Popis konektorů

Konektor X1					
Pin	Signál	Funkce	Pin	Signál	Funkce
A1	D_-IN0	Digitální vstup	C1	D_+IN0	Digitální vstup
A2	D_-IN1	Digitální vstup	C2	D_+IN1	Digitální vstup
A3	D_-IN2	Digitální vstup	C3	D_+IN2	Digitální vstup
A4	D_-IN3	Digitální vstup	C4	D_+IN3	Digitální vstup
A5	D_-IN4	Digitální vstup	C5	D_+IN4	Digitální vstup
A6	D_-IN5	Digitální vstup	C6	D_+IN5	Digitální vstup
A7	D_-IN6	Digitální vstup	C7	D_+IN6	Digitální vstup
A8	D_-IN7	Digitální vstup	C8	D_+IN7	Digitální vstup
A9	D_-IN8	Digitální vstup	C9	D_+IN8	Digitální vstup
A10	D_-IN9	Digitální vstup	C10	D_+IN9	Digitální vstup
A11	D_-IN10	Digitální vstup	C11	D_+IN10	Digitální vstup
A12	D_-IN11	Digitální vstup	C12	D_+IN11	Digitální vstup
A13	D_-IN12	Digitální vstup	C13	D_+IN12	Digitální vstup
A14	D_-IN13	Digitální vstup	C14	D_+IN13	Digitální vstup
A15	D_-IN14	Digitální vstup	C15	D_+IN14	Digitální vstup
A16	D_-IN15	Digitální vstup	C16	D_+IN15	Digitální vstup
A17	-	-	C17	-	-
A18	-	-	C18	-	-
A19	-	-	C19	-	-
A20	-	-	C20	-	-
A21	D_-OUT4	Digitální výstup	C21	D_+OUT4	Digitální výstup
A22	D_-OUT5	Digitální výstup	C22	D_+OUT5	Digitální výstup
A23	D_-OUT6	Digitální výstup	C23	D_+OUT6	Digitální výstup
A24	D_-OUT7	Digitální výstup	C24	D_+OUT7	Digitální výstup
A25	D_-OUT_OK	Digitální výstup	C25	D_+OUT_OK	Digitální výstup
A26	D_-OUT_NOK	Digitální výstup	C26	D_+OUT_NOK	Digitální výstup
A27	-	-	C27	-	-
A28	-	-	C28	-	-
A29	-	-	C29	-	-
A30	-	-	C30	-	-
A31	-	-	C31	-	-
A32	-	-	C32	-	-

Tab. C.1: Popis konektoru X1

Konektor X2					
Pin	Signál	Funkce	Pin	Signál	Funkce
A1	+24V_A	Napájení - A	C1	+24V_A	Napájení - A
A2	+24V_B	Napájení - B	C2	+24V_B	Napájení - B
A3	GND_AB	Napájení - zem	C3	GND_AB	Napájení - zem
A4	GND_AB	Napájení - zem	C4	GND_AB	Napájení - zem
A5	GND_SSIO	SSIO komunikace - zem	C5	GND_SSIO	SSIO komunikace - zem
A6	GND_SSIO	SSIO komunikace - zem	C6	GND_SSIO	SSIO komunikace - zem
A7	-	-	C7	-	-
A8	DATA_1_B	SSIO komunikace	C8	DATA_1_A	SSIO komunikace
A9	CLK_1_B	SSIO komunikace	C9	CLK_1_A	SSIO komunikace
A10	DATA_0_B	SSIO komunikace	C10	DATA_0_A	SSIO komunikace
A11	CLK_0_B	SSIO komunikace	C11	CLK_0_A	SSIO komunikace
A12	GND	zem	C12	GND	zem
A13	SSIO_A0	SSIO adresace	C13	SSIO_A1	SSIO adresace
A14	SSIO_A2	SSIO adresace	C14	SSIO_A3	SSIO adresace
A15	SSIO_A4	SSIO adresace	C15	RACK_N0	RACK adresace
A16	RACK_N1	RACK adresace	C16	RACK_N2	RACK adresace
A17	SSIO_A_P	SSIO parita	C17	RACK_N_P	RACK parita
A18	-	-	C18	-	-
A19	D_-OUT8	Digitální výstup	C19	D_+OUT8	Digitální výstup
A20	D_-OUT9	Digitální výstup	C20	D_+OUT9	Digitální výstup
A21	D_-OUT10	Digitální výstup	C21	D_+OUT10	Digitální výstup
A22	D_-OUT11	Digitální výstup	C22	D_+OUT11	Digitální výstup
A23	D_-OUT12	Digitální výstup	C23	D_+OUT12	Digitální výstup
A24	D_-OUT13	Digitální výstup	C24	D_+OUT13	Digitální výstup
A25	D_-OUT14	Digitální výstup	C25	D_+OUT14	Digitální výstup
A26	D_-OUT15	Digitální výstup	C26	D_+OUT15	Digitální výstup
A27	-	-	C27	-	-
A28	-	-	C28	-	-
A29	D_-OUT0	Digitální výstup	C29	D_+OUT0	Digitální výstup
A30	D_-OUT1	Digitální výstup	C30	D_+OUT1	Digitální výstup
A31	D_-OUT2	Digitální výstup	C31	D_+OUT2	Digitální výstup
A32	D_-OUT3	Digitální výstup	C32	D_+OUT3	Digitální výstup

Tab. C.2: Popis konektoru X2