

ZÁPADOČESKÁ UNIVERZITA V PLZNI

FAKULTA ELEKTROTECHNICKÁ

**KATEDRA ELEKTROMECHANIKY A VÝKONOVÉ
ELEKTROTECHNIKY**

BAKALÁŘSKÁ PRÁCE

**Moderní integrované obvody pro DC/DC měniče
s výstupním napětím 3,3V**

vedoucí práce: Ing. Jan Moldaschl

2014

autor: Zdeněk Juránek

ZÁPADOČESKÁ UNIVERZITA V PLZNI

Fakulta elektrotechnická

Akademický rok: 2013/2014

ZADÁNÍ BAKALÁŘSKÉ PRÁCE

(PROJEKTU, UMĚLECKÉHO DÍLA, UMĚLECKÉHO VÝKONU)

Jméno a příjmení: **Zdeněk JURÁNEK**
Osobní číslo: **E11B0036K**
Studijní program: **B2644 Aplikovaná elektrotechnika**
Studijní obor: **Aplikovaná elektrotechnika**
Název tématu: **Moderní integrované obvody pro DC/DC měniče s výstupním napětím 3,3V**
Zadávající katedra: **Katedra elektromechaniky a výkonové elektroniky**

Zásady pro vypracování:

1. Proveďte přehled step down DC/DC měničů pro výstupní napětí 3,3V.
2. Na základě předchozího rozboru vyberte řídicí obvody pro dva měniče s různými výkonovými hladinami a navrhnete obvodová řešení.
3. Sestavte funkční prototypy a proveďte měření hlavních parametrů.
4. Proveďte zhodnocení dosažených výsledků.



Rozsah grafických prací: podle doporučení vedoucího

Rozsah pracovní zprávy: 20 - 30 stran

Forma zpracování bakalářské práce: tištěná/elektronická

Seznam odborné literatury:

1. HAMMERBAUER, Jiří. Elektronické napájecí zdroje a akumulátory. Vyd. 2. Plzeň: Západočeská univerzita, Elektrotechnická fakulta, 1998, 181 s. ISBN 80-708-2411-5.
2. ABRAHAM I. PRESSMAN, Abraham I. Keith Billings. Switching power supply design. 3rd ed. New York: McGraw-Hill, 2009. ISBN 978-007-1594-325.


Vedoucí bakalářské práce: Ing. Jan Moldaschl
Katedra aplikované elektroniky a telekomunikací

Datum zadání bakalářské práce: 14. října 2013

Termín odevzdání bakalářské práce: 9. června 2014


Doc. Ing. Jiří Hammerbauer, Ph.D.
děkan




Prof. Ing. Václav Kůs, CSc.
vedoucí katedry

V Plzni dne 14. října 2013

Anotace

Bakalářská práce je zaměřena na moderní integrované obvody pro snižující DC/DC měniče s výstupní napětím 3,3V. V první části této práce jsou vysvětleny a popsány vlastnosti topologií snižujících DC/DC měničů. Následující část se zabývá funkcí a vlastnostmi elektronických součástek pro spínané zdroje. Z hlediska aplikační části se tato práce věnuje návrhu plošných spojů a jejich výrobě. Následně jsou vysvětleny důležité řídicí funkce vybraných integrovaných obvodů pro snižující DC/DC měniče, které jsou poté podrobněji popsány v další části práce. Poslední část se věnuje naměřeným údajům zhotovených snižujících DC/DC měničů.

Klíčová slova

Synchronní step-down DC/DC měnič, asynchronní step-down DC/DC měnič, bootstrap kondenzátor, výstupní zvlněné napětí, účinnost, řídicí obvody, součástky pro DC/DC měniče, LT3971, LTC3631, LTC1709.

Abstract

This bachelor thesis deals with the modern integrated circuits for step down DC/DC converters with 3,3 V output voltage. Attributes of topologies of step-down DC/DC converters are explained and described in the first part. The following part deals with functions and characteristics of the electronics parts for step-down converters. The application work deals with a suggestion of the printed circuit boards. There are also explained the important controlling functions of the chosen integrated circuits for step-down DC/DC converters which are subsequently described in the following part of the bachelor thesis. The last part is focused on the measured figures of the made step-down DC/DC converters.

Key words

Synchronous DC/DC step-down converter, asynchronous DC/DC step-down converter, bootstrap capacitor, output ripple voltage, efficiency, driver circuits, components for DC/DC converters, LT3971, LTC3631, LTC1709.

Prohlášení

Předkládám tímto k posouzení a obhajobě bakalářskou práci, zpracovanou na závěr studia na Fakultě elektrotechnické Západočeské univerzity v Plzni.

Prohlašuji, že jsem tuto bakalářskou práci vypracoval samostatně s použitím odborné literatury a pramenů uvedených v seznamu, který je součástí této bakalářské práce.

Dále prohlašuji, že veškerý software použitý při řešení této bakalářské, je legální.

V Plzni dne 9.6.2014

Jméno příjmení

.....

Poděkování

Tímto bych rád poděkoval vedoucímu diplomové práce Ing. Janu Moldaschlovi za cenné profesionální rady, připomínky a metodické vedení práce.

Obsah

Obsah	VIII
Seznam symbolů a zkratk	X
Seznam obrázků	XIII
Seznam tabulek	XV
Úvod	1
1. Blokové schéma spínaného zdroje	2
1.1 Lineární zdroje	3
2. Princip snižujícího DC/DC měniče	5
2.1 Simulace step-down DC/DC měniče	6
2.2 Matematický popis step-down měniče	7
3. Princip topologie synchronního snižujícího měniče	9
3.1 Jev při synchronním spínání MOSFET tranzistorů	10
3.1.1 Dead time	10
3.1.2 Adaptivní řízení spínání MOSFET	11
3.2 Zvlněný indukční proud a zvlněné výstupní napětí synchronního měniče	13
4. Princip vícefázových snižujících měničů	13
4.1 Zvlněný vstupní RMS proud	15
4.2 Zvlněný výstupní RMS proud	17
5. Synchronní versus nesynchronní step-down měnič	18
5.1 Výpočet účinnosti synchronního a nesynchronního měniče	19
6. Elektronické součástky pro spínané zdroje	20
6.1 VD-MOS struktura tranzistoru	20
6.2 Cívky pro spínané zdroje	22
6.3 FERITY	24
6.4 Kondenzátory pro spínané zdroje	24
6.5 LC výstupní filtr	26
7. Návrh a konstrukce DPS	26
7.1 Návrh pájecích ploch	28
8. Řídící funkce spínaných zdrojů	29

pro DC/DC měniče s výstupním napětím 3,3V

8.1	Princip činnosti PWM.....	29
8.2	Fázový závěs (Phase locked loop - PLL).....	31
8.3	OPTI-LOOP	32
8.4	Cykle-by-cykle	32
8.5	Bootstrap kondenzátor	33
8.6	CCM a DCM režim.....	34
9.	Vybrané integrované obvody pro snižující DC/DC měniče.....	35
9.1	Popis funkce integrovaného obvodu LTC3631	37
9.2	Popis funkce integrovaného obvodu LT3971	38
9.3	Popis funkce integrovaného obvodu LTC1709.....	40
10.	Praktická část	42
10.1	Schéma zapojení LT3971 a návrh DPS v Eagle 6.4.0 light	42
10.2	Schéma zapojení LTC1709 a návrh DPS v Eagle 6.4.0 light.....	43
11.	Měření statických a dynamických vlastností vyrobených prototypů desek plošných spojů 44	
11.1	Schéma zapojení statického a dynamického měření vyrobených prototypů.....	44
11.1.1	Použité měřicí přístroje	45
11.1.2	Postup měření	45
11.1.3	Tabulky naměřených hodnot pro LTC3631	46
11.1.4	Vypočtené hodnoty pro LTC3631	47
11.1.5	Grafy závislostí a průběh pro dynamické zatížení pro LTC3631.....	48
11.1.6	Tabulky naměřených hodnot pro LTC1709	49
11.1.7	Vypočtené hodnoty pro LTC1709.....	50
	Závěr.....	52
	Seznam literatury.....	54
	Příloha A.....	58
	Příloha B	59
	Příloha C	60
	Příloha D.....	61
	Příloha E	62
	Příloha F.....	63
	Příloha G.....	64

Seznam symbolů a zkratk

ESR	Ekvivalentní sériový odpor
DCR	Stejnoseměrný odpor cívky
I_{RMS}	Efektivní hodnota proudu
ΔU_2	Zvlnění výstupního napětí
dU	Rozdílové napětí
PWM	Pulzně šířková modulace
NMOSFET	Tranzistory řízené el. polem s indukovaným kanálem typu N
PMOSFET	Tranzistory řízené el. polem s indukovaným kanálem typu P
R_{GATE}	Odpor řídicí elektrody MOSFET
$R_{DAMPING}$	Tlumicí odpor
$P_{Quiescent}$	Klidový výkon/příkon
t_{Rise}	Rychlost náběhu
t_{Fall}	Rychlost přeběhu
f_{SW}	Spínací frekvence
$R_{DS(ON)}$	Odpor indukovaného kanálu při sepnutém tranzistoru
VMOS	Vertikální difúze MOS
DMOS	Struktura MOS dvojí difúze
VD-MOS	Struktura MOS s vertikální dvojí difúzí
PLL	Fázový závěs
VCO	Napětím řízený oscilátor
PD	Fázový detektor
EA	Chybový zesilovač

pro DC/DC měniče s výstupním napětím 3,3V

FB	Zpětná vazba
BOOST	Vyšší napětí než napájecí napětí
RUN/SS	Zapnutí/soft-start
RT	Externí nastavení frekvence
EN	Zapnutí/povolení
SYNC	Vnější synchronizace
PG	Otevřený kolektor
GND	Zem
INTVCC	Vnitřní napájecí zdroj s nízkým úbytkem napětí
EXTVCC	Externí napájecí zdroj napětí pro napájení vnitřních obvodů
VOS+-	Vstupy diferenciální zesilovače
MSB	Nejvýznamnější bit
LSB	Nejméně významný bit
ITH	Výstup chybového zesilovače
SENSE	Snímací vstupy proudu
SW	Spínaný uzel
TG	Signál na řídicí elektrodu pro otevření horního tranzistoru
BG	Signál na řídicí elektrodu pro otevření dolního tranzistoru
SMD	Součástka pro povrchovou montáž
EAIN	Vstup chybového zesilovače
PLLIN	Vstup fázového závěsu
PLLFLTR	Vstup pro filtr fázového závěsu
ATTENOUT	Nastavení změny výstupu v krocích

pro DC/DC měniče s výstupním napětím 3,3V

ATTENIN	Nastavení změny výstupu v krocích
AMPMD	Přepínání vnitřních odporů k přesnějšímu měření výstupního napětí
ISSET	Omezení indukčního proudu (vstup komparátoru s hysterezí)
HYST	Otevřený source
t_{DELAY}	Velikost zpoždění
AC/DC	Usměřovač
$P_{\text{induk. kanál HT}}$	Ztráty na indukovaném kanálu horního tranzistoru
$P_{\text{induk. kanál DT}}$	Ztráty na indukovaném kanálu dolního tranzistoru
P_{Fwd}	Ztráty v propustném směru diody
D	Pracovní cyklus
CCM	Nepřerušovaný režim
DCM	Přerušovaný režim
THT	Vývodové součástky

Seznam obrázků

Obr. 1 Blokové schéma spínaného zdroje (převzato a upraveno z [9])	2
Obr. 2 Blokové schéma lineárního zdroje (převzato a upraveno z [7])	3
Obr. 3 Lineární sériový stabilizátor s nadproudovou ochranou (převzato a upraveno z [7])	4
Obr. 4 Při sepnutém tranzistoru Q1 (převzato a upraveno z [11]).....	5
Obr. 5 Při rozepnutém tranzistoru Q1 (převzato a upraveno z [11])	5
Obr. 6 Schéma zapojení v LTspice	6
Obr. 7 Průběhy simulace step-down měniče	7
Obr. 8 Sepnutý tranzistor Q1 (upraveno a převzato z [9])	8
Obr. 9 Rozepnutý tranzistor Q1 (upraveno a převzato z [9])	8
Obr. 10 Synchronního měnič při sepnutém tranzistoru Q1 (převzato a upraveno z [8])	9
Obr. 11 Průběhy napětí a proudu v synchronní topologii [8].....	9
Obr. 12 Synchronního měnič při vypnutém Q1 a sepnutém Q2 (převzato a upraveno z [8])	10
Obr. 13 Dead time	11
Obr. 14 Adaptivní řízení gate s náhradním schématem MOSFET tranzistoru [8]	11
Obr. 15 Řešení jak "zlepšit" „gate step“ [8]	12
Obr. 16 Konečné řešení snížení „gate step“ [8].....	12
Obr. 17 Schéma jednoduchého dvoufázového buck měniče a jeho průběhy [20].....	14
Obr. 18 Průběhy vstupních RMS proudů pro jednotlivý počet fází [20]	16
Obr. 19 Průběhy výstupních RMS proudů při různém počtu fází [20].....	18
Obr. 20 DMOS struktura [5].....	21
Obr. 21 VDMOS struktura [3].....	21
Obr. 22 Hexfet tranzistor [4]	22
Obr. 23 Jednovrstvé planární vinutí vinuté bifilárně [6].....	23
Obr. 24 Planární vinutí s E jádrem [6]	23
Obr. 25 Elektrolytický kondenzátor [10]	25
Obr. 26 Značení rozměrů kvádrových součástek [1]	29
Obr. 27 Principiální schéma zapojení PWM (převzato a upraveno z [9])	30
Obr. 28 Průběh PWM při daném U_{ERR} (převzato a upraveno z [9])	30
Obr. 29 Blokové schéma fázového závěsu [15]	31
Obr. 30 Kompenzace regulační smyčky funkcí OPTI-LOOP [17].....	32

pro DC/DC měniče s výstupním napětím 3,3V

Obr. 31 Princip cykle-by-cykle [16]	33
Obr. 32 Použití bootstrap kondenzátoru [22]	33
Obr. 33 CCM a DCM režim [14].....	34
Obr. 34 Burst mode (sekvenční režim) [13] [viz Příloha B]	39
Obr. 35 Schéma zapojení LT3971 pro vytvoření DPS	42
Obr. 36 Layout obvodu LT3971 na straně TOP o velikosti 33x24	42
Obr. 37 Schéma zapojení LTC1709 pro vytvoření DPS	43
Obr. 38 Layout měniče LTC1709 ze strany BOTTOM	43
Obr. 39 Layout měniče LTC1709 ze strany TOP o velikosti 92,7x76,2	44
Obr. 40 Schéma zapojení měření statických vlastností.....	44
Obr. 41 Schéma zapojení měření dynamických vlastností.....	45
Obr. 42 Závislost výstupního napětí U_2 na výstupním proudu I_2 pro LTC3631	48
Obr. 43 Závislost účinnosti η [%] na výkonu P_2 pro LTC3631	48
Obr. 44 Dynamické vlastnosti LTC3631	49
Obr. 45 Závislost výstupního napětí U_2 na výstupním proudu I_2 pro LTC1709	51
Obr. 46 Závislost účinnosti η [%] na výkonu P_2 pro LTC1709	51

Seznam tabulek

Tab. 1 Optimální počet fází pro různá vstupní a výstupní napětí [20].....	14
Tab. 2 Skutečný $R_{DS(ON)}$ při sepnutém tranzistoru od firmy Vishay Siliconix [14].....	20
Tab. 3 Vlastnosti IO od společnosti Linear Technology (upraveno a převzato z [13] [viz Přílohy]	36
Tab. 4 Naměřené a vypočtené hodnoty statického měření obvodu LTC3631 pro $U_{IN}=5V$	46
Tab. 5 Naměřené a vypočtené hodnoty statického měření pro $U_{IN}=12V$ pro obvod LTC3631	46
Tab. 6 Naměřené a vypočtené hodnoty statického měření pro $U_{IN}=24V$ pro obvod LTC3631	47
Tab. 7 Naměřené a vypočtené hodnoty statického měření pro $U_{IN}=5,7V$ pro obvod LTC1709.....	49
Tab. 8 Naměřené a vypočtené hodnoty statického měření pro $U_{IN}=12V$ pro obvod LTC1709.....	50
Tab. 9 Naměřené a vypočtené hodnoty statického měření pro $U_{IN}=24V$ pro obvod LTC1709.....	50

Úvod

Popularita spínaných zdrojů je v dnešní době stále více na vzestupu. Spínané zdroje se tedy stávají převažující skupinou napájecích zdrojů na trhu, jelikož umožňují vytvářet malé napájecí zdroje s velkou účinností.

Výběr součástek pro spínané zdroje je mnohem náročnější než u zdrojů lineárních. Rovněž samotný návrh se více komplikuje. Pro zvýšení účinnosti bez zvyšujících se nákladů k ušetření spousty megawattů ze sítě byly vynalezeny spínané zdroje. Asynchronní měnič a synchronní měnič se volí dle potřebné situace na výstupní napětí a proud.

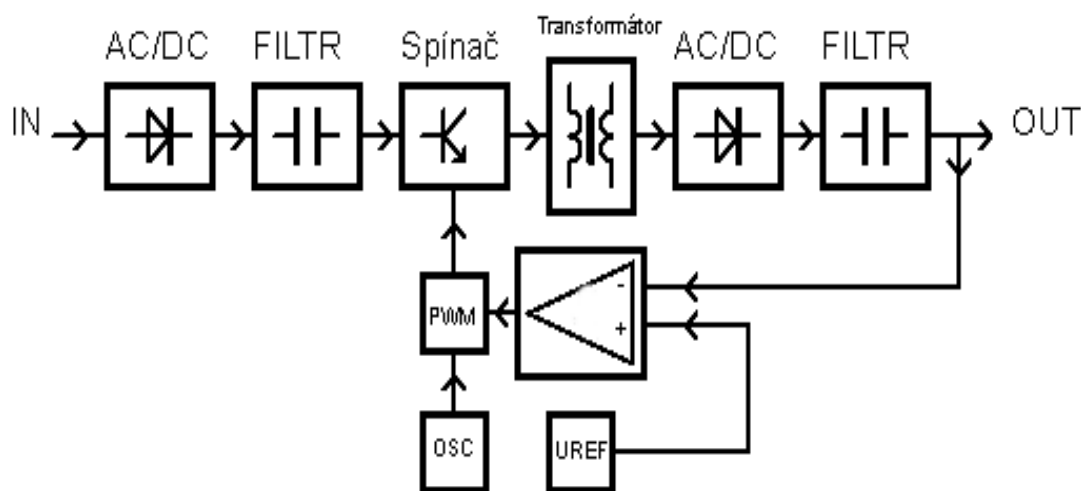
Pro dosažení daleko vyšších výkonů byly vyvinuty vícefázové DC/DC měniče. Důvod byl především takový, že současné procesory potřebují zdroj napětí 1V i méně, a to při velkých proudech až 100A. Tato potřeba vysokého proudu vznikla z důvodu miniaturizace dnešních mikroprocesorů. Pro vysoké taktovací frekvence mikroprocesorů je třeba zmenšit tranzistory. Zmenšením tranzistorů se musí snížit napětí, jelikož se při vyšším napětím prorazí tenká vrstva oxidu mezi gate a kanálem MOSFET tranzistoru. Tím je docílena lepší reakce na dynamické změny zatížení procesoru. Pro vytvoření vysokého výkonu je zapotřebí několik paralelně řízených regulátorů k zamezení tepelného namáhání na připojených elektrických komponentech. Výstupní napájecí napětí měniče musí být v úzké regulovatelné hranici.

Cílem této bakalářské práce je pochopit problematiku snižujících DC/DC měničů. Výběrem sedmi řídicích obvodů pro snižující DC/DC měniče budou vzájemně porovnány a vysvětleny jejich hlavní řídicí funkce. Z těchto sedmi řídicích obvodů budou zvoleny tři snižující DC/DC měniče. K těmto obvodům se navrhnu desky plošných spojů. Pro návrhy bude využit návrhový systém Eagle 6.4.0 light. Následně budou vyrobeny prototypy dvou měničů. Poté se tyto prototypy ožíví a změří účinnosti. Rovněž se změří výstupní zvlnění při statickém zatěžování. V poslední řadě bude změřeno chování DC/DC měničů při dynamickém zatěžování.

pro DC/DC měniče s výstupním napětím 3,3V

1. Blokové schéma spínaného zdroje

Spínané zdroje se skládají ze základních částí, které zobrazuje blokové schéma na **Obr. 1**. Hlavní podmínkou pro spínaný zdroj je stejnosměrné vstupní napětí, s co nejvíce vyfiltrovanou střídavou složkou 50Hz. Ta velmi snadno prochází filtrem až na výstup. Z toho vyplývá, že na vstupní filtr se kladou vysoké nároky na jeho účinnost na nízkém kmitočtu 50Hz. Samotná transformace napětí vzniká změnou hodnoty pracovního cyklu nebo zvýšením frekvence spínání o zachování konstantní době sepnutí. Vlastní transformace obdélníkového napětí probíhá na indukčnosti nebo na transformátoru. Po této transformaci se musí střídavé napětí usměrnit a vyfiltrovat. Zde jsou vysoké nároky kladeny na usměrňovač vůči filtru, protože usměrňovací diody musí být účinnější na vysokém kmitočtu, tzn. malou kapacitu přechodu, malou vypínací a spínací dobu. Všechny spínané zdroje jsou řízené zpětnou vazbou, která snímá výstupní napětí nebo proud. Ta pomocí řídicí logiky řídí spínání tranzistorů. [9]

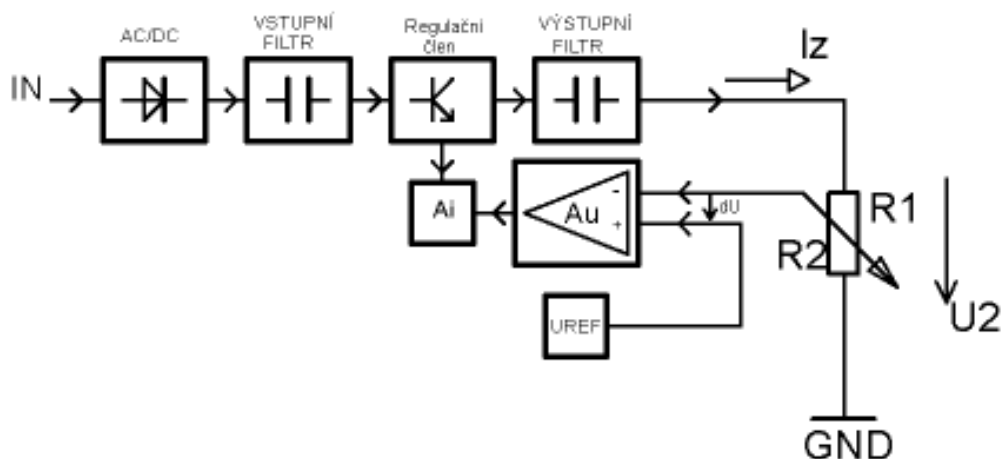


Obr. 1 Blokové schéma spínaného zdroje (převzato a upraveno z [9])

pro DC/DC měniče s výstupním napětím 3,3V

1.1 Lineární zdroje

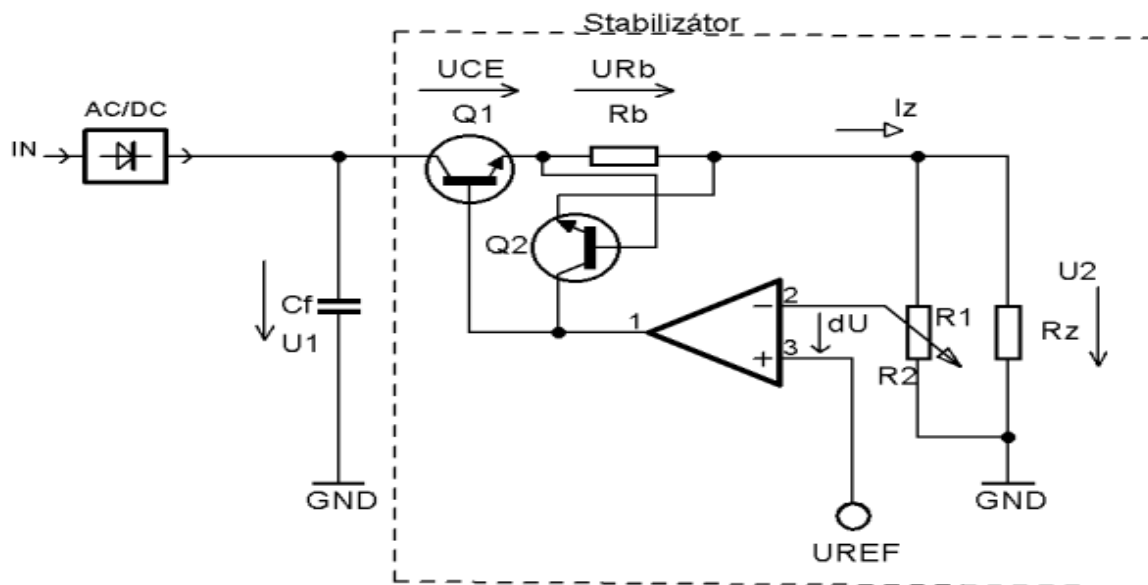
Další možností konverze napětí jsou lineární zdroje (lineární stabilizátory), které jsou historicky starší než spínané zdroje. Tyto zdroje pracují v lineární části výstupní VA charakteristiky regulačního členu. Napájecí napětí pro stabilizátor se získává usměrněním v bloku AC/DC. Vstupní filtr je dolní propust nastavená na frekvenci nižší, než je kmitočet sítě. Napětí na vstupu regulačního členu se mění vzhledem ke změnám vstupního střídavého napětí a ke změnám zatěžovacího proudu I_Z . Jako regulační člen se nejčastěji používá bipolární tranzistor nebo také MOSFET tranzistor, který spojitě mění svůj odpor. Tranzistor řídí operační zesilovač zesilující odchylku dU vytvořenou rozdílem výstupního napětí a referenčním napětím. Výstupní napětí se zavádí pomocí záporné zpětné vazby v podobě odporového děliče. Tato záporná zpětná vazba se zavádí k potlačení vlivu vnějších podmínek (kolísání sítě, změna zatěžovacího proudu) ke stabilitě U_2 . Zesílená odchylka může být zesílena proudovým zesilovačem, jelikož bipolární tranzistor mnohdy potřebuje značný budící výkon. Dynamické parametry (kolísání dU_2 při změně zatížení) jsou dány frekvenční a dynamickou stabilitou zpětnovazební regulační soustavy. Jako kompenzace se někdy používá i filtr za regulačním členem, který potlačuje i šum. [7]



Obr. 2 Blokové schéma lineárního zdroje (převzato a upraveno z [7])

pro DC/DC měniče s výstupním napětím 3,3V

Reálné zapojení lineárního zdroje je zobrazeno na **Obr. 3**. Zapojení tohoto obvodu obsahuje nadproudovou ochranu. Nadproudovou ochranu tvoří rezistor R_b a tranzistor Q2. Tato jedna z mnoha ochran funguje tím způsobem, že procházející proud vytvoří na R_b úbytek napětí U_{Rb} , a tímto napětím se tranzistor Q2 otevře a většina proudu proteče přes Q2 do zátěže. Teplotní stabilita je hlavně dána stabilitou referenčního zdroje a také stabilitou ostatních součástí. [7]



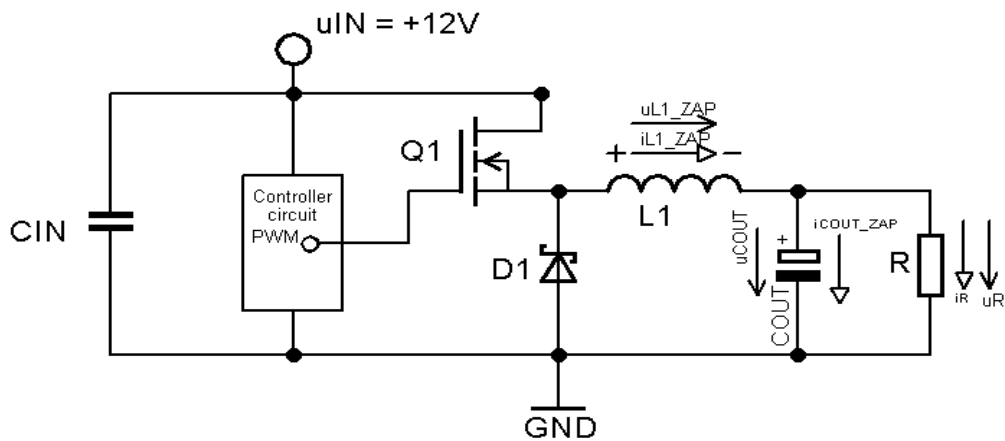
Obr. 3 Lineární sériový stabilizátor s nadproudovou ochranou
(převzato a upraveno z [7])

Charakteristickým rysem lineárních zpětnovazebních stabilizátorů je jejich spojitost. Výstupní napětí je neustále pod kontrolou zpětnovazební smyčky. K hlavní přednosti těchto obvodů patří minimální zvlnění výstupního napětí a to i při impulzním charakteru zátěže, neprodukují parazitní rušivá frekvenční spektra, mají nízký šum, nízkou hodnotu výstupního odporu, vysoce potlačují vliv kolísání vstupního napětí a také nízké elektromagnetickou interferenci (EMI). Lineární zdroje mají i své nedostatky, kvůli kterým jsou nahrazovány spínanými zdroji. K hlavním nedostatkům lineárních stabilizátorů patří energetická účinnost, omezený výstupní výkon, velké rozměry, hmotnost na jednotku výkonu, nemožnost izolovat vstup - výstup. Výkonové ztráty kolektoru P_C regulačního tranzistoru jsou dány vstupními a výstupními parametry. Důvod je takový, že tranzistorem prochází stejný proud jako zátěží při $U_{CE} = U_2 - U_1$. Z toho vyplývá, že ztráty na kolektoru jsou $P_C = U_{CE} \cdot I_Z$. Při velkých ztrátách klesá účinnost a chlazení regulačních tranzistorů je obtížné i při poměrně malých výkonech. [7]

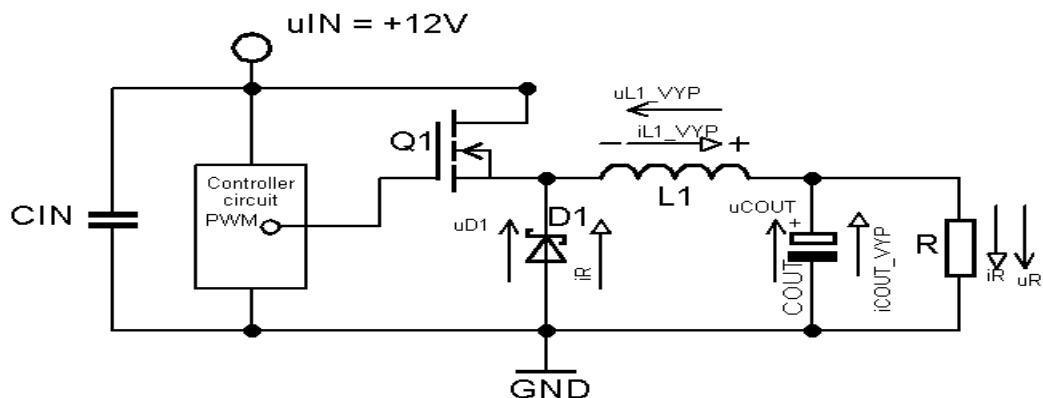
pro DC/DC měniče s výstupním napětím 3,3V

2. Princip snižujícího DC/DC měniče

Snižující DC/DC měniče pracují tak, že při sepnutí tranzistoru Q1tj. přivedením napětí na GS pomocí PWM (viz **kapitola 8.1**). Začíná tedy protékat proud i_{L1_ZAP} , který se dělí na proudy i_{COUT_ZAP} a i_R . Napětí na cívce je dáno směrem (viz **Obr. 4**). V tomto případě cívka L1 pracuje jako spotřebič a uchovává svoji energii ve svém magnetickém poli. Kondenzátor C_{OUT} se nabíjí (roste výstupní napětí). Po skončení PWM pulzu dojde k odpojení tranzistoru Q1 a na cívce L1 se změní polarita napětí a začne pracovat jako zdroj (viz **Obr. 5**). Proud i_{L1_VYP} je podporován proudem i_{COUT_VYP} . Tento součet dodává zátěži R a proud se uzavírá přes schottkyho diodu D1, napětí tak klesá. Simulace přechodného jevu snižujícího měniče je zobrazena na **Obr. 7**. [11]



Obr. 4 Při sepnutém tranzistoru Q1 (převzato a upraveno z [11])

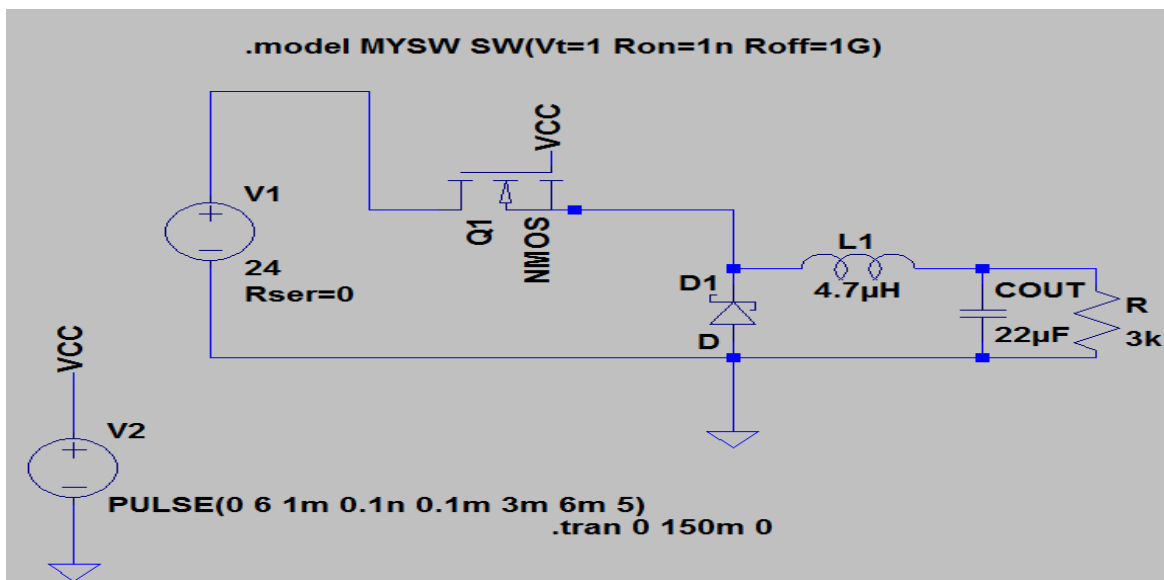


Obr. 5 Při rozepnutém tranzistoru Q1 (převzato a upraveno z [11])

pro DC/DC měniče s výstupním napětím 3,3V

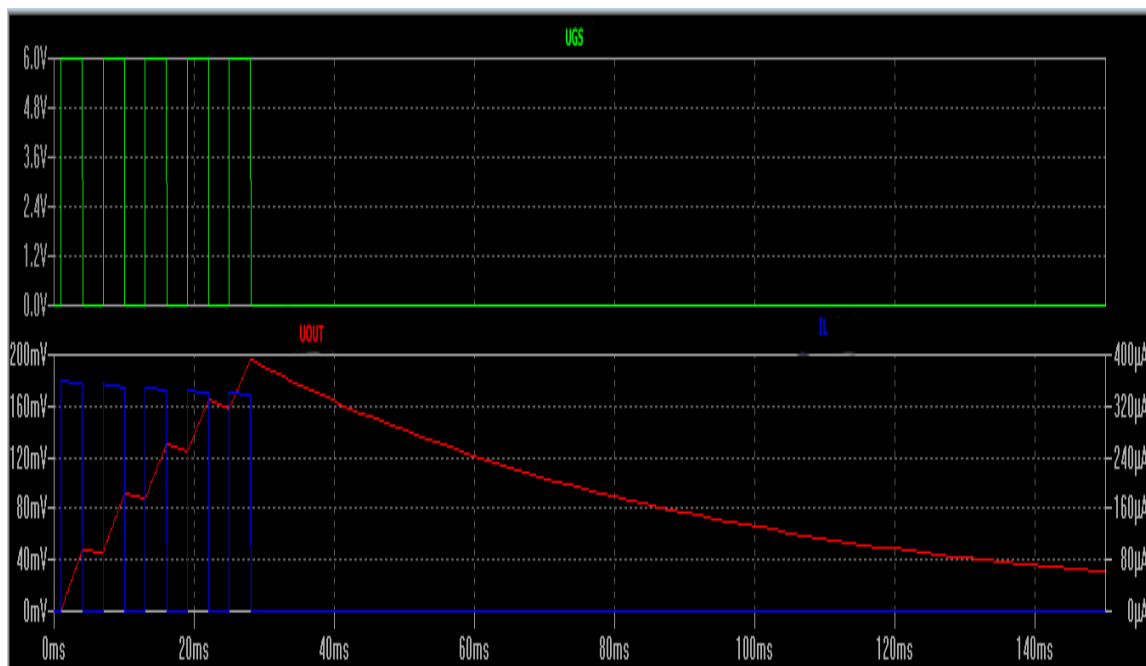
2.1 Simulace step-down DC/DC měniče

Simulace step-down snižujícího měniče je zobrazena na **Obr. 7**. Zobrazuje průběh výstupního napětí, proudu cívky a impulsů přiváděných na MOSFET tranzistor. Schéma zapojení pro simulaci přechodného děje je zobrazena na **Obr. 6**. Simulace byla provedena v programu LTspice od společnosti Linear Technology. Není zavedena zpětná vazba pro udržení výstupního napětí na konstantní hodnotě. Tato simulace ukazuje funkci pro pět spínacích impulsů na řídicí elektrodu gate. Po uplynutí posledního impulsu výstupní napětí klesá k nulové hodnotě. Proud skrz diodu prochází do té doby, dokud cívka neztratí naakumulovanou energii. Pro simulaci byly použity hodnoty indukčnosti $L1 = 4.7\mu\text{H}$ a $C_{\text{OUT}} = 22\mu\text{F}$ dle měniče LT3971 a hodnoty zátěže $3\text{k}\Omega$ (libovolná hodnota). V **kapitole 2.2** je tato funkce vyjádřena matematickým popisem.



Obr. 6 Schéma zapojení v LTspice

pro DC/DC měniče s výstupním napětím 3,3V



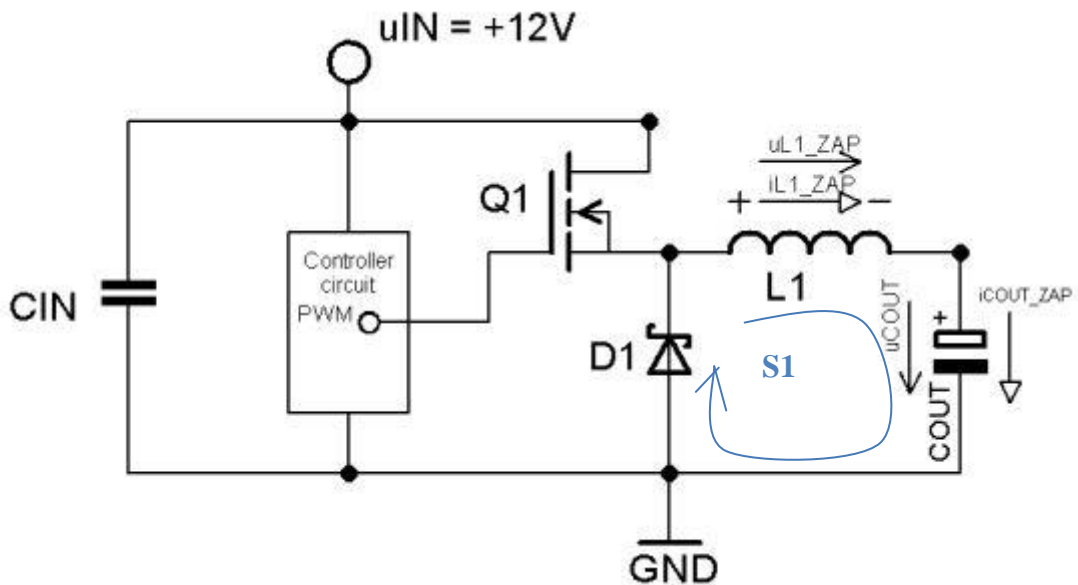
Obr. 7 Průběhy simulace step-down měniče

2.2 Matematický popis step-down měniče

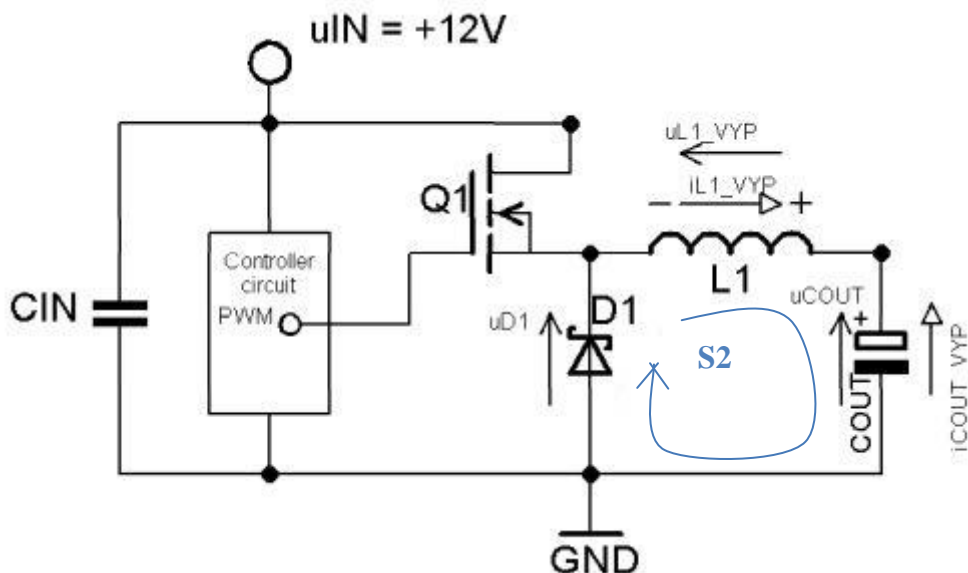
Pro jednodušší matematický popis step-down měniče je zatěžující rezistor R odstraněn. Dále je zanedbán úbytek na schottkyho diodě a úbytek na spínacím MOSFET tranzistoru. Sepnutím MOSFET tranzistoru $Q1$ cívka akumuluje energii $E = \frac{1}{2} \cdot L1 \cdot (i_{L1_ZAP})^2$ za čas t_1 . Proud narůstá podle vztahu $u_{L1_ZAP} = L \cdot \frac{di_{L1_ZAP}}{dt_1}$. Dle naznačené smyčky S1 na **Obr. 8** se vyjádří $u_{L1_ZAP} = u_{IN} - u_{COUT_ZAP}$. Poté se rovnice dosadí do výše zmíněného vztahu pro u_{L1_ZAP} a vyjádří se $di_{L1_ZAP} = \frac{(u_{IN} - u_{COUT_ZAP}) \cdot t_1}{L1}$. MOSFET tranzistor rozezne na dobu t_2 a cívka $L1$ se bude vybíjet dle vztahu $u_{L1_VYP} = L \cdot \frac{di_{L1_VYP}}{dt_2}$. Napětí na cívce je napětí dle smyčky S2 na **Obr. 9**. $u_{L1_VYP} = -u_{COUT_VYP}$ a dosadí se do vztahu $u_{L1_VYP} = L \cdot \frac{di_{L1_VYP}}{dt_2}$. Dalším krokem je vyjádření $di_{L1_VYP} = \frac{(-u_{COUT_VYP}) \cdot t_2}{L1}$. Proud teče stejným směrem se stejnou velikostí $di_{L1_ZAP} = di_{L1_VYP}$. Poté se do této rovnosti dosadí předchozí výsledné vztahy pro di_{L1_ZAP} a di_{L1_VYP} . Vyjádří se výstupní napětí $u_{COUT} = u_{IN} \cdot \left[\frac{t_1}{(t_1 + t_2)} \right] = u_{IN} \cdot \left(\frac{t_1}{T} \right) = u_{IN} \cdot \delta$, kde $\delta [-]$ je vždy menší než jedna, proto toto zapojení snižuje napětí. Poté se vyjádří pracovní cyklus $D = \frac{u_{COUT}}{u_{IN}} = \delta$. Dále čas $t_1 = D \cdot T$ a čas $t_2 = (1 - D) \cdot T$. [9]

pro DC/DC měniče s výstupním napětím 3,3V

Regulace napětí se provádí tak, že při poklesu času t_1 se prodlouží doba t_2 . Tímto se zachová frekvence spínání. Tento princip se v dnešní době často využívá. Druhým principem, který lze využít je změna frekvence. Princip této regulace spočívá ve změně jednoho času. Například třeba čas t_1 se zvolí jako konstantní a t_2 se mění. [9]



Obr. 8 Sepnutý tranzistor Q1 (upraveno a převzato z [9])

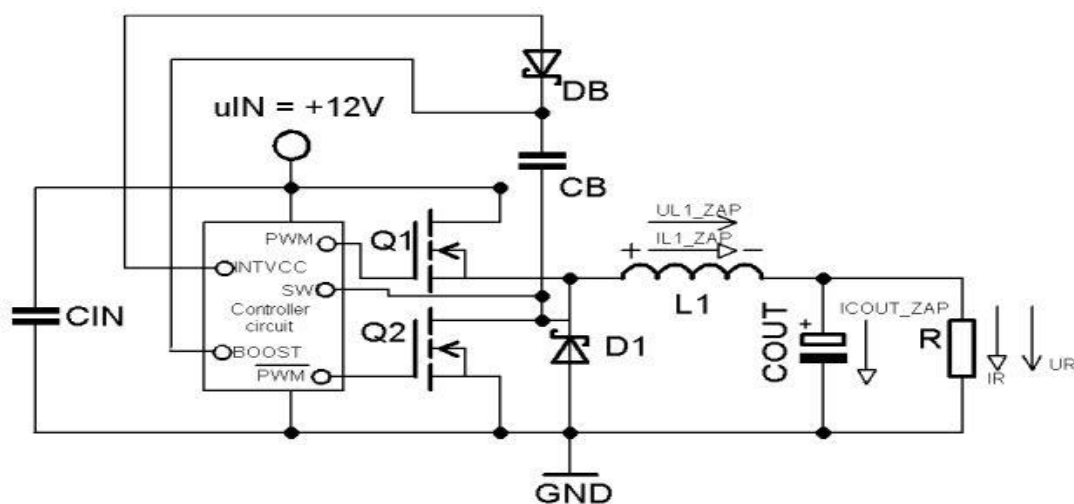


Obr. 9 Rozepnutý tranzistor Q1 (upraveno a převzato z [9])

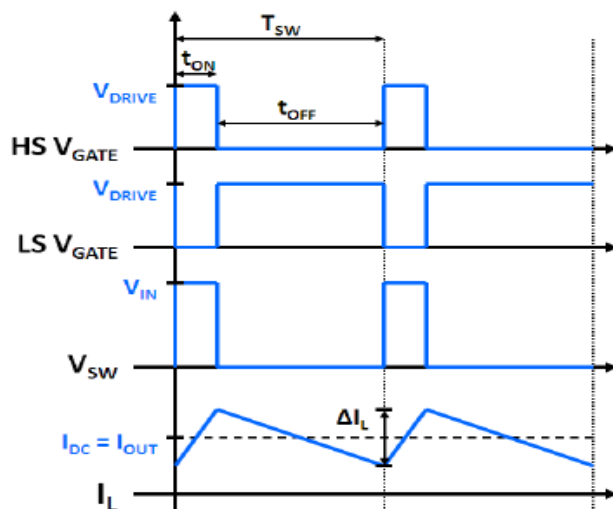
pro DC/DC měniče s výstupním napětím 3,3V

3. Princip topologie synchronního snižujícího měniče

Další topologie DC/DC měničů je zobrazena na **Obr. 10**. Jedná se o topologii synchronního spínání tranzistorů Q1 a Q2. Tranzistor Q1 je sepnut přivedením napětí na gate, což obstará PWM (viz princip **kapitola 8.1**). Sepnutím Q1 začíná procházet proud I_{L1_ZAP} cívkou L1. I_{L1_ZAP} se rozděluje na proud I_{COUT_ZAP} a I_R . I_{COUT_ZAP} nabíjí kondenzátor C_{OUT} a cívka do svého magnetického pole shromažďuje energii. Nastává přechodný děj, jehož průběhy jsou zobrazeny na **Obr. 11**. Tranzistor Q2 byl do teď uzavřený negovaným signálem z PWM oproti signálu na Q1 (dioda D1 je připojena jen pro nesynchronní režim měniče). [8]



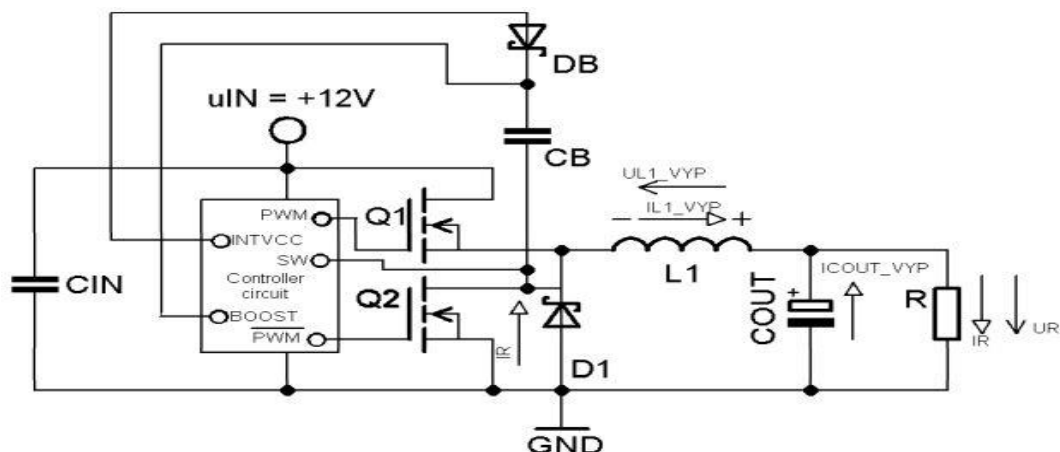
Obr. 10 Synchronního měnič při sepnutém tranzistoru Q1
(převzato a upraveno z [8])



Obr. 11 Průběhy napětí a proudu v synchronní topologii [8]

pro DC/DC měniče s výstupním napětím 3,3V

Nyní si role otáčí. Q1 je rozepnutý a Q2 je sepnut. Indukované napětí na cívce L1 mění svoji polaritu a mění se tím na zdroj. Proud z cívky I_{L1_VYP} prochází zátěží, I_{COUT_VYP} mění polaritu proudu a podporuje proud I_{L1_VYP} tekoucí do zátěže R. Proud I_R se uzavírá v synchronním režimu přes MOSFET tranzistor Q2 (nebo přes schottkyho diodu D1 v nesynchronním režimu) viz **Obr. 12**. [8]



Obr. 12 Synchronního měnič při vypnutém Q1 a sepnutém Q2
(převzato a upraveno z [8])

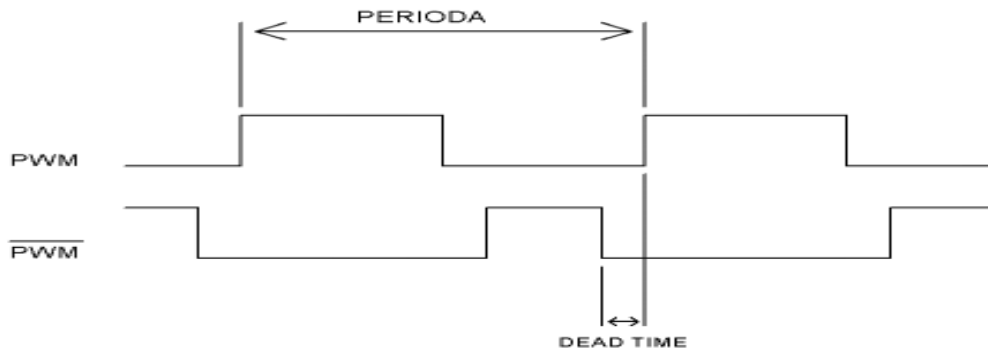
3.1. Jev při synchronním spínání MOSFET tranzistorů

Spínáním synchronního měniče vzniká jev nazývaný „shoot-trough“ což znamená „stav nakrátko“. Nastává kvůli jevu nazývaný v anglickém jazyce „gate step“. „Gate step“ je zaviněn kapacitním děličem C_{GD} a C_{GS} v náhradním schématu tranzistoru viz **Obr. 14**. Při sepnutí tranzistoru Q1 se velkou změnou napětí zvýší napětí na C_{GD} a zároveň se zvýší (nabije) napětí na C_{GS} , což zapříčiní otevření tranzistoru. V dalších **podkapitolách 3.1.1 a 3.1.2** je řešeno, jak se tento problém omezí. [8]

3.1.1 Dead time

První možností jak „gate step“ omezit je nastavit pevný dead time, to znamená, že před sepnutím Q2 je potřeba pevně nastavit prodlevu. Tato prodleva je znázorněna na **Obr. 13**. Princip dead time bývá většinou efektivní, ale postrádá flexibilitu. Pokud se zvolí dlouhý dead time, zvyšují se ztráty na vedení. Krátký dead time naopak způsobí „shoot-trough“. Pevná hodnota dead time vždy chybí na Q1. Kapacita C_{GS} horního MOSFET tranzistoru se nabíjí „příliš dlouho“. Po vypnutí signálu U_{GS} na horním tranzistoru se musí čekat na vybití kapacity C_{GS} pro přepnutí na druhý tranzistor (Q2). [8]

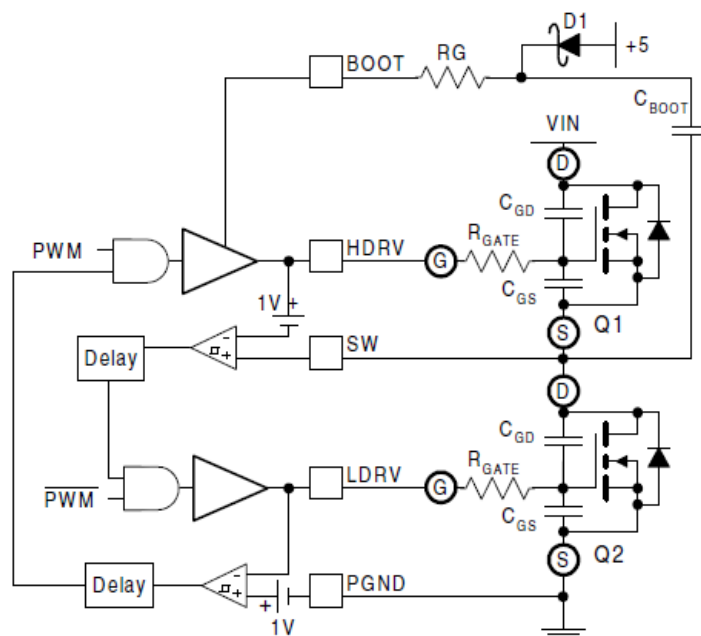
pro DC/DC měniče s výstupním napětím 3,3V



Obr. 13 Dead time

3.1.2 Adaptivní řízení spínání MOSFET

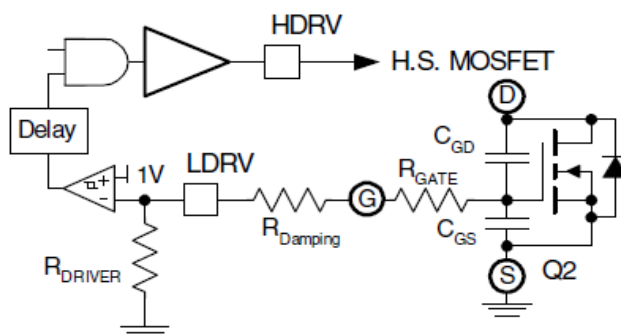
Druhou možností, jak minimalizovat „shoot-through“, je tzv. adaptivní řízení gate. Adaptivní řízení je zobrazeno na Obr. 14. v kombinaci s první možností. Na pinu SW je snímáno napětí mezi GS, které je porovnáváno s napětím přivedeným na invertující vstup komparátoru. Po vyhodnocení, že je C_{GS} vybita následuje zpoždění, které zajistí dead time. Logický obvod zajistí, spuštění negovaného signálu PWM k ovládání dalšího tranzistoru. Tento postup se řídí stejným principem k sepnutí Q1. Proražení se měří přímou metodou velmi složitě, trvání průrazných proudů trvá několik nanosekund. Průrazné proudy mají vliv na nižší účinnost měniče, zvýšení teploty MOSFET tranzistorů a zvýšení EMI. [8]



Obr. 14 Adaptivní řízení gate s náhradním schématem MOSFET tranzistoru [8]

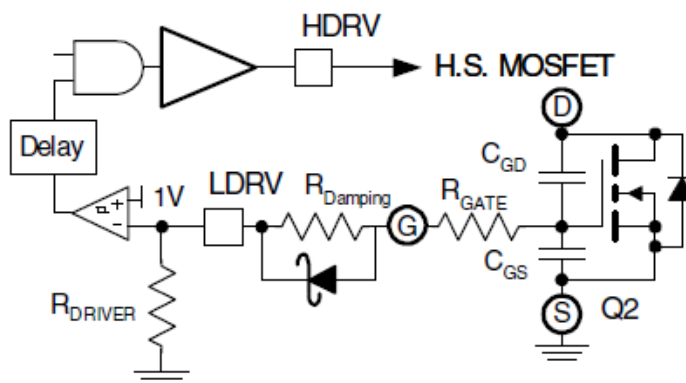
pro DC/DC měniče s výstupním napětím 3,3V

Ve skutečnosti není měřeno napětí na přechodu MOSFET, ale na odporu gate (R_{GATE}). Z důvodu, aby si řídicí obvod myslel, že má na výstupu menší napětí, byl přidán tlumící odpor. $R_{DAMPING}$ se nachází fyzicky daleko od gate (viz **Obr. 15**). Vzniká tak ještě větší problém pro adaptivní bránu. Z těchto odporů je vytvořen dělič napětí a to např. z odporů $R_{GATE} = 1,2 \Omega$, $R_{DRIVER} = 2 \Omega$ a $R_{DAMPING} = 5 \Omega$. to znamená, že při napětí 1V, vznikne na GS napětí 4,1V (viz rovnice (3)). Tím je zvýšeno napětí k proražení. Ke snížení účinků tlumícího odporu je připojena paralelně Schottkyho dioda, která má minimální úbytek napětí (viz **Obr. 16**). S touto diodou bude výsledek výrazně menší a to 2,1V. Z rovnice (4) je vidět, jaký tato dioda má snižující efekt tlumícího odporu $R_{DAMPING}$. To pak znamená, že je přivedeno na GS horního MOSFET tranzistoru menší napětí k menšímu otevření a zároveň k menšímu napětí k proražení. [8]



Obr. 15 Řešení jak "zlepšit" „gate step“ [8]

$$U_{GS} = \frac{1V * (R_{DRIVER} + R_{DAMPING} + R_{GATE})}{R_{DRIVER}} \quad (3) [8]$$



Obr. 16 Konečné řešení snížení „gate step“ [8]

$$U_{GS} = 0,5 + \frac{1V * (R_{DRIVER} + R_{GATE})}{R_{DRIVER}} \quad (4) [8]$$

3.2 Zvlněný indukční proud a zvlněné výstupní napětí synchronního měniče

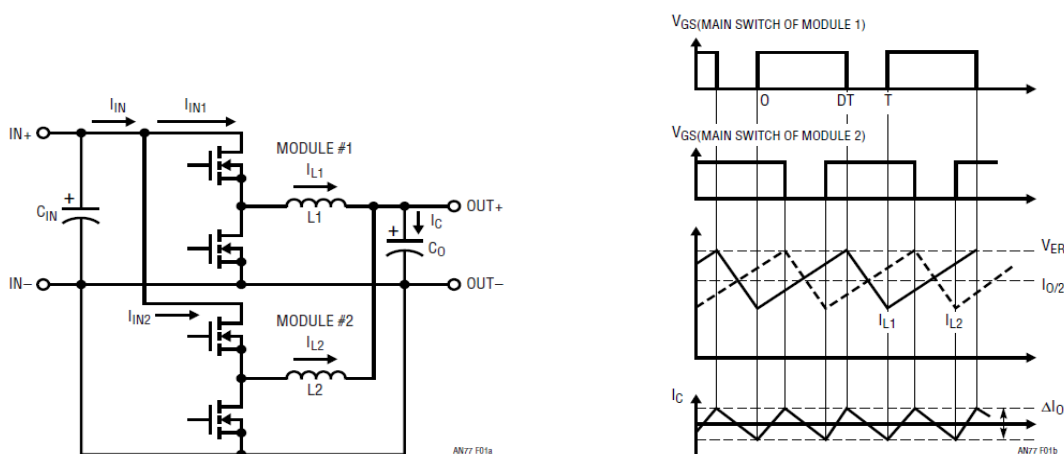
Pro různé aplikace je vždy jiná optimalizace parametrů LC filtru, který vyhlazuje napětí na přepínacím uzlu SW pro zachování konstantního napětí. Cívky mají svůj DC odpor (dále jen DCR), který má vliv na účinnost. Při vysoké proudové zátěži je při malém DCR menší úbytek napětí. Malé DCR nezpůsobí ovlivnění indukčnosti cívky. Menší DCR mají, ale cívky s menší indukčností. Toto zmenšení bude mít vliv na zvýšení zvlněného indukčního proudu (dle vztahu $di_L/dt = U / L$). Při návrhu se začíná od cívky a poté se může začít s výpočtem minimální hodnoty kapacity. [18]

Výstupní kapacita má vliv na výstupní napětí a na časovou odezvu zpětné vazby. Zpětná vazba reaguje na regulaci překmitů výstupního napětí při změně zatížení. Při větší kapacitě se sníží výstupní zvlněné napětí i výstupní napětí překmitu. Toto zvýšení kapacity bude mít vliv na delší čas potřebný výstupnímu napětí zpětné vazby reagovat na zatížení. Pokud se sníží kapacita, zvýší se zvlnění a změní se zpětnovazební smyčka. Kondenzátor má také svůj parazitní odpor, který se nazývá ekvivalentní sériový odpor (ESR). Tento odpor má vliv na zvlněné napětí a celkovou účinnost měniče. Zmenšení ESR docílíme zapojením více kondenzátorů paralelně. A tím také se zajistí potřebná kapacita. [18]

4. Princip vícefázových snižujících měničů

Funkce vícefázového měniče je vysvětlena na jednoduchém dvoukanálovém měniči s průběhy jednotlivých fází (viz **Obr. 17**). Princip jedné fáze je stejný, jak je uvedeno v **kapitole 3**. Tento princip funguje rovněž pro druhou fázi. Signály pro sepnutí tranzistorů (napětí na GS) fázově posunuty oproti první fázi o 180°. Průběhy v různých fázích a s principiálním schématem jsou zobrazeny na **Obr. 17**. Tyto průběhy zobrazují, že po dosažení vrcholové hodnoty indukčního proudu na velikost chybového napětí, tak napěťový signál na GS vypne. Stejný princip funguje i pro druhou fázi, ale jak již bylo zmíněno je o 180° fázově posunut. Výsledkem je, že se tyto průběhy sečtou a vznikne nízký zvlněný proud zobrazený jako I_C . [20] [2]

pro DC/DC měniče s výstupním napětím 3,3V



Obr. 17 Schéma jednoduchého dvoufázového buck měniče a jeho průběhy [20]

Vícefázové snižující měniče se stále více používají s ohledem na stále složitější systémy, které potřebují ke své funkci vyšší proud. K tomu napomáhají vícefázové měniče, protože tak velký výkon se rozdělí mezi paralelně zapojené regulátory k zamezení přílišnému tepelnému namáhání. Vícefázový měnič prokládá hodinové signály paralelně výkonovým stupňům, a tím se sníží vstupní a výstupní zvlněný proud bez zvýšení pracovní frekvence. Sníží se tak ztráty na ESR kondenzátoru (ekvivalentní sériový odpor), sníží spínací ztráty tranzistorů MOSFET (snížením relativně nízkých frekvencí) a tím účinně přeměnit energii. Náklady a velikost vstupních kondenzátorů jsou sníženy vzhledem ke snížení vstupního zvlněného proudu. Snížení výstupního zvlněného proudu (dvojnásobná frekvence tohoto proudu) má za následek použití menších cívek (snížení indukčnosti) a kondenzátorů. [20] [2]

Tab. 1 Optimální počet fází pro různá vstupní a výstupní napětí [20]

	$V_0 = 1,2V$	$V_0 = 1,5V$	$V_0 = 2V$	$V_0 = 2,5V$
$V_{IN} = 5V$	4	6	5	2; 4; 6
$V_{IN} = 12V$	6	6	6	5

pro DC/DC měniče s výstupním napětím 3,3V

Vstupní proud do snižujícího měniče dodává vstupní kondenzátor přerušovaně (pulzně). Ve vícefázovém měniči vstupní kondenzátor dodává pulzní proud, který se rozděluje mezi paralelně řazené regulátor. Řídí rovněž výkonové komponenty, a tím se snižuje zvlněný vstupní proud a zároveň zvýší dvojnásobně frekvenci tohoto sníženého zvlnění. Při použití jednofázových měničů musí být větší počet fází zajištěný spojením více jednofázových měničů zapojených paralelně. Tímto snížením amplitudy zvlnění se značně sníží i ztráty na ESR, protože ztráty jsou úměrné kvadrát RMS proudu. Tímto se povedlo snížit kapacitu, ztráty a také je lepší filtrování nízkofrekvenčního rušení. V ten samý čas spínají výkonové prvky a kondenzátor musí najednou dodat součet pulzních proudů najednou. [20]

4.1 Zvlněný vstupní RMS proud

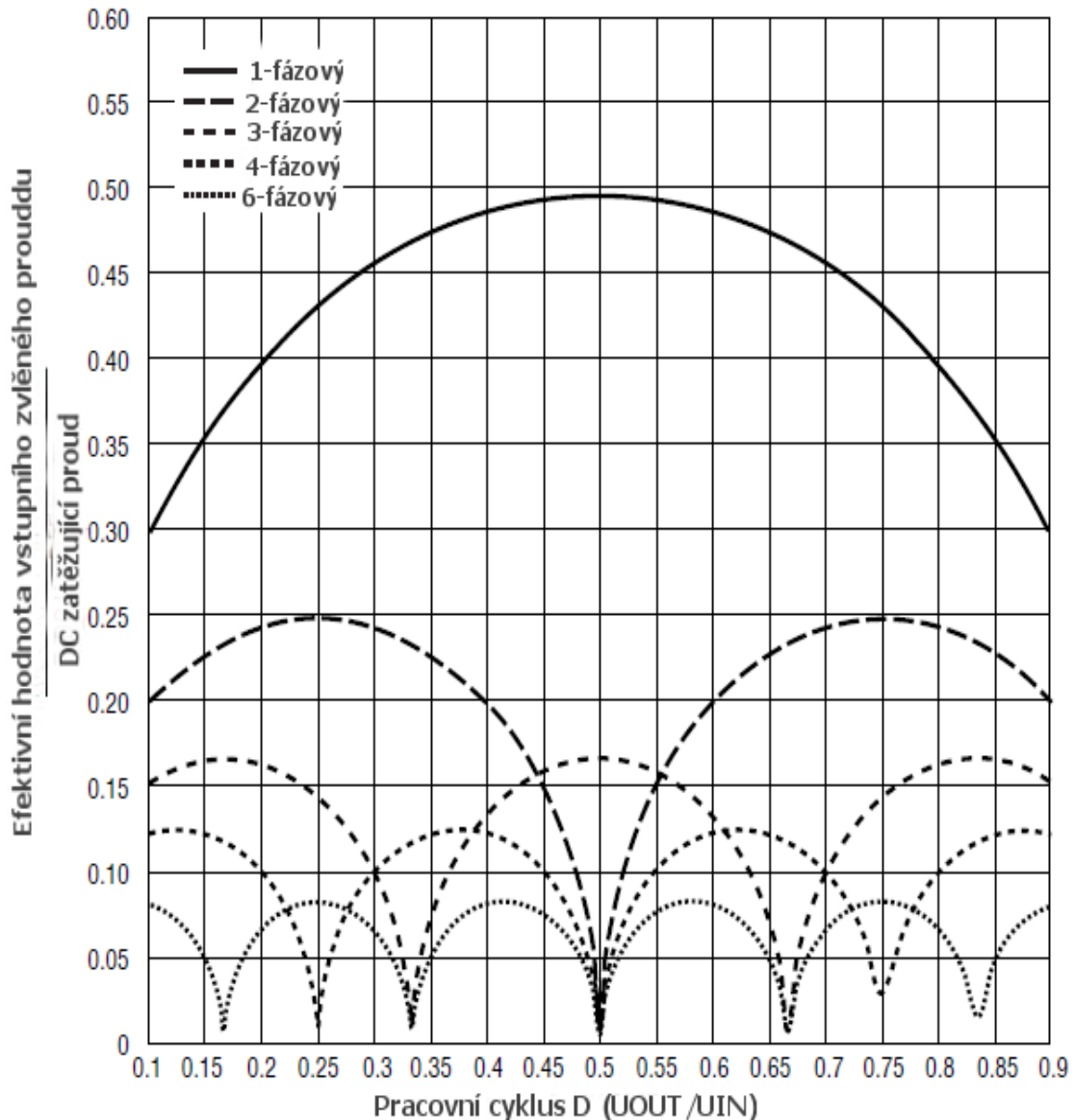
Zvlněný RMS vstupní proud je dán vstupním kondenzátorem a jeho vývody indukčního charakteru. Vzniká tak LC člunek jako na výstupu. Vstupní kondenzátor se musí pečlivě vybírat, aby vyhovoval danému problému a nezatěžoval měnič vysokým proudem. Rovnice (5) znázorňuje výpočet zvlněného vstupního proudu a dva hlavní faktory. Prvním členem rovnice je DC zatěžovací proud a druhým členem indukční zvlněný proud (ovlivněn podmínkami zatížení). Maximální zvlněný proud je ovlivňován plným zatížením. [20]

Pokud první člen bude nulový, vstupní zvlnění bude minimální díky malé indukčnosti vývodů. Velikost vstupního kondenzátoru se nejčastěji určuje ztrátovým výkonem na jeho ekvivalentním sériovém odporu (ESR), který při plném zatížení přispívá k maximálnímu zvlnění efektivní hodnoty vstupního proudu. [20]

$$I_{iRMS} = \sqrt{\frac{\left(D - \frac{k}{m}\right) * \left(\frac{k+1}{m} - D\right) * I_0^2 + \frac{m * c^2}{12 * m * D^2} * \left(\frac{U_O * (1-D) * T}{L_f}\right)^2 *}{\left[(k+1)^2 * \left(D - \frac{k}{m}\right)^3 + k^2 * \left(\frac{k+1}{m} - D\right)^3\right]}} \quad (5) \quad [20]$$

pro DC/DC měniče s výstupním napětím 3,3V

Vstupní zvlněný proud je normalizován oproti DC zatěžujícímu proudu v závislosti na délce pracovního cyklu (viz **Obr. 18**). Normalizace lze docílit nastavením výstupního napětí na 5V a měněním vstupního napětí. V důsledku toho se rozsah pracovního cyklu nachází v rozmezí 0,1 – 0,9. Pro šestifázový měnič převodník snižuje maximální amplitudu vstupního zvlnění o polovinu, zvyšuje frekvenci na dvojnásobek a snižuje efektivní hodnotu proudu kondenzátoru. [20]



Obr. 18 Průběhy vstupních RMS proudů pro jednotlivý počet fází [20]

pro DC/DC měniče s výstupním napětím 3,3V

Existuje optimální počet fází, aby vstupní zvlnění bylo co nejmenší. Počet fází volíme opět dle **Tab. 1**. Většinou se rovná počet fází počtu kanálů, ale mohou se lišit. Záleží na velikosti proudového zatížení. Pro lepší představu je uveden následující příklad: Při 60A zatížení, je třeba 15A na čtyři kanály paralelně zapojené regulátory. Poté je nutné určit počet fází dle vstupního a výstupního zvlnění k výběru filtračního kondenzátoru. [20]

4.2 Zvlněný výstupní RMS proud

Existuje několik způsobů, jak lze zvlněný výstupní RMS proud snížit. Mezi možnostmi snížení tohoto parametru patří posunutí spínacích signálů o 180°, které se vzájemně sečtou. Takto zvolený způsob vede k dvojnásobné frekvenci a menšímu výstupnímu kondenzátoru. Další možností snížení výstupního zvlněného proudu je snížení zvlněného napětí na výstupních LC filtrech. V neposlední řadě docílíme snížení zvlněného proudu změnou délky pracovního cyklu (D), který je dán poměrem výstupního napětí k vstupnímu napětí. Ze vztahu (6) vyplývá, že pro různá zatížení délkou pracovního cyklu se ve dvoufázovém provedení s co nejdelším pracovním cyklem zvlnění neprojeví. Vzorec (7) zobrazuje výpočet zvlněného RMS výstupního napětí. První člen ukazuje zvlnění na čisté kapacitní složce a druhý člen zvlnění na ESR. Zajímavé je, že zvlnění proudu i napětí se rovná nule, když pracovní cyklus se rovná kritické hodnotě (D_{krit}) viz rovnice (8). Na Obr. 19 je zobrazen vliv počtu fází a délce pracovního cyklu na výstupním zvlněném proudu, kde výstupním zvlněný proud je normalizován proti indukčnímu zvlněnému proudu nulového pracovního cyklu viz rovnice (9). Je zapotřebí následujících předpokladů. Počet kanálů se musí rovnat počtu fází, pevné výstupní napětí a 100% účinná přeměna energie. Jak bylo řečeno výše v tomto odstavci, zvlnění se blíží nule, pokud se pracovní cyklus blíží k bodu kritické hodnotě cyklu pro vybraný počet fází. To se využívá k tomu, že pokud je vstupní i výstupní napětí poměrně pevná hodnota, lze určit počet fází dle **Tab. 1**. [20] [2]

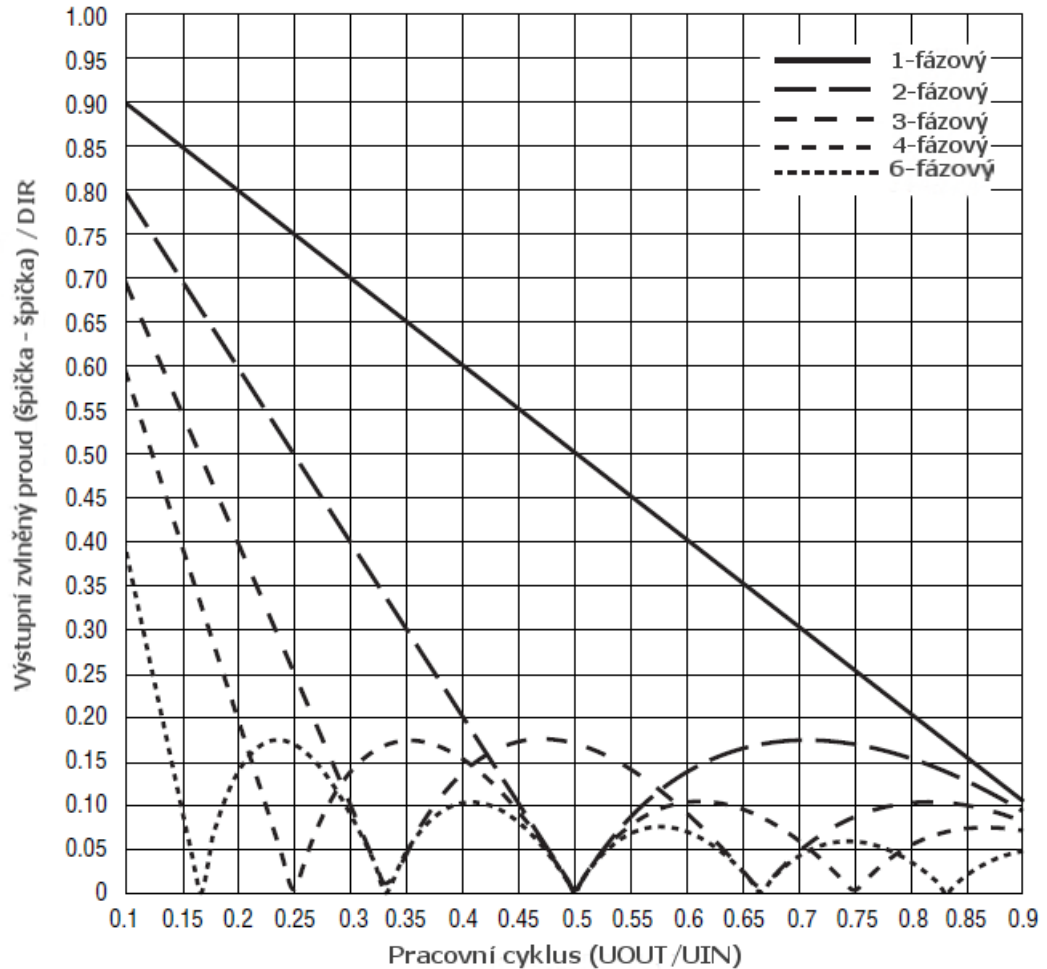
$$\Delta I_O = \frac{2 * V_O * (1-D) * T}{L_f} * \frac{|1-2*D|}{|1-2*D|+1} \quad (6) [20]$$

$$\Delta U_{O,PP} = \frac{\Delta I_O T}{8mC_O} + \Delta I_O ESR \quad (7) [20]$$

$$D_{krit} = \frac{U_O}{U_{IN}} = \frac{i}{m} \quad i = 1; 2 \dots; m-1 \quad (8) [20]$$

$$D_{IR} = \frac{U_O * T}{L_f} \quad (9) [20]$$

pro DC/DC měniče s výstupním napětím 3,3V



Obr. 19 Průběhy výstupních RMS proudů při různém počtu fází [20]

5. Synchronní versus nesynchronní step-down měnič

Nesynchronní buck topologie se liší od synchronní tím, že místo dolního tranzistoru má připojenou diodu. Návrhář musí brát v úvahu tři základní specifikace pro výběr této napájecí diody. Jedná se o závěrné napětí, úbytek napětí v propustném směru a velikost proudu v propustném směru. Jmenovité závěrné napětí musí být alespoň o 2V vyšší, než na spínacím uzlu. Propustné napětí (prahové napětí) musí být co nejmenší pro větší účinnost. Je zapotřebí, aby maximální proudové zatížení bylo o jednu polovinu vyšší, než je špička-špička indukčního proudu. Také je potřeba zmínit specifikaci pouzdra diody. Pouzdro musí být navrženo tak, aby odvedlo ztrátový výkon. [14]

pro DC/DC měniče s výstupním napětím 3,3V

5.1 Výpočet účinnosti synchronního a nesynchronního měniče

Pro výpočet účinnosti je potřeba spočítat celkový ztrátový výkon systému. V CCM režimu se vypočítají stejným způsobem ztráty pro synchronní a nesynchronní DC/DC měnič (viz rovnice (10), (11), (12)). $P_{\text{induk. kanál HT}}$ představují ztráty na indukovaném kanálu horního tranzistoru. $R_{\text{DS(ON)}}$ představuje odpor kanálu při sepnutém stavu tranzistoru mezi Drain a Source. Hodnoty reálných odporů $R_{\text{DS(ON)}}$ jsou zobrazeny v **Tab. 2** Skutečný $R_{\text{DS(ON)}}$ při sepnutém tranzistoru od firmy Vishay Siliconix [14]. P_{SW} představuje ztráty na spínaném uzlu. t_{Rise} ukazuje rychlost náběhu sepnutí MOSFET. t_{Fall} představuje doběh MOSFET. Čím jsou tyto časy nižší, tím se méně energie rozptýlí. f_{SW} je frekvence spínání na uzlu. $P_{\text{klidový}}$ představuje ztrátový výkon při klidovém režimu a v neposlední řadě I_{q} představuje klidový odebíraný proud. [14]

$$P_{\text{induk. kanál HT}} = (I_{\text{OUT}})^2 \cdot R_{\text{DS(ON)}} \cdot \frac{U_{\text{OUT}}}{U_{\text{IN}}} \quad (10) [14]$$

$$P_{\text{SW}} = U_{\text{IN}} \cdot U_{\text{OUT}} \cdot 0,5 \cdot (t_{\text{Rise}} + t_{\text{Fall}}) \cdot f_{\text{SW}} \quad (11) [14]$$

$$P_{\text{klidový}} = U_{\text{IN}} \cdot I_{\text{klidový}} \quad (12) [14]$$

Pro synchronní měnič musí být zohledněny spínací ztráty na dolním tranzistoru s jeho vnitřní integrovanou diodou (viz rovnice (13) a (14) F_{wd} (13) [14]). Pro nesynchronní měnič se musí brát ohled na ztrátový výkon na diodě. V prvním řádku **Tab. 2** jsou zobrazeny skutečné hodnoty odporů tranzistorů při sepnutém stavu ($R_{\text{DS(ON)}}$). Tyto tranzistory od firmy Vishay Siliconix byly použity pro obvod LTC1709. Mohly by být rovněž použity i pro asynchronní topologii vzhledem ke svému malému odporu $R_{\text{DS(ON)}}$. [14]

$$P_{\text{induk. kanál DT}} = \left[(I_{\text{OUT}})^2 \cdot R_{\text{DS(ON)}} \cdot \left(1 - \frac{V_{\text{OUT}}}{V_{\text{IN}}} \right) \right] + 2 \cdot t_{\text{DELAY}} \cdot f_{\text{SW}} \cdot I_{\text{OUT}} \cdot U_{\text{Fwd}} \quad (13) [14]$$

$$P_{\text{D}} = U_{\text{D_Fwd}} \cdot I_{\text{OUT}} \cdot \left(1 - \frac{U_{\text{OUT}}}{U_{\text{IN}}} \right) \quad (14) [14]$$

pro DC/DC měniče s výstupním napětím 3,3V

Tab. 2 Skutečný $R_{DS(ON)}$ při sepnutém tranzistoru od firmy Vishay Siliconix [14]

Topologie	Horní tranzistor $R_{DS(ON)}$ [m Ω],	Dolní tranzistor $R_{DS(ON)}$ [m Ω],	FREKVENCE [kHz]
synchronní	5,9	7,1	1000
asynchronní	5,9	N/A (U_{D1} -propustný směr = 0,5V)	570

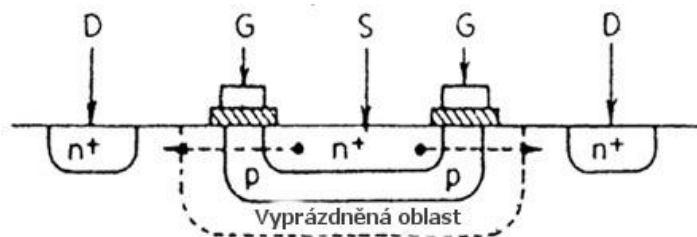
6. Elektronické součástky pro spínané zdroje

6.1 VD-MOS struktura tranzistoru

Tato podkapitole je zmíněna z toho důvodu, že VD-MOS struktura tranzistorů může být náhradou a vylepšením za již výše zmiňované tranzistory od firmy Vishay Siliconix použité pro DC/DC měnič LTC1709. Hexfet tranzistory by zmenšily ztráty na svém indukovaném kanálu díky svému malému $R_{DS(ON)}$. Pro návrh DPS nebyly použity z důvodu vyšší ceny a nedostupnosti duálních tranzistorů hexfet na danou proudovou zatížitelnost obvodu LTC1709. V případě, že by i přes tyto okolnosti byly Tranzistory hexfet použity, musel by být každý tranzistor zvlášť na jednom pouzdru. Tím by se zvýšila obtížnost návrhu DPS (parazitní odpor a indukčnost vodivých cest).

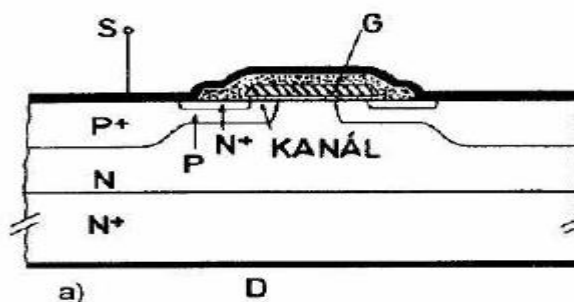
VD-MOS struktura je složena ze struktur VMOS a DMOS. DMOS struktura zobrazena na **Obr. 20**. Umožňuje vhodným uspořádáním co nejvíce zkrátit délku kanálu. Název je odvozen od funkce dvojí difúze. Při uzavřeném kanálu se rozšiřuje vrstva vyprázdňené oblasti a tím i zvyšování blokovacího napětí U_{DS} . Drain může být umístěn takovým způsobem, jaký je zobrazen na **Obr. 20** nebo na **Obr. 21**. Tím vzniká VDMOS struktura. [3] [4]

pro DC/DC měniče s výstupním napětím 3,3V



Polovodič typu N

Obr. 20 DMOS struktura [5]

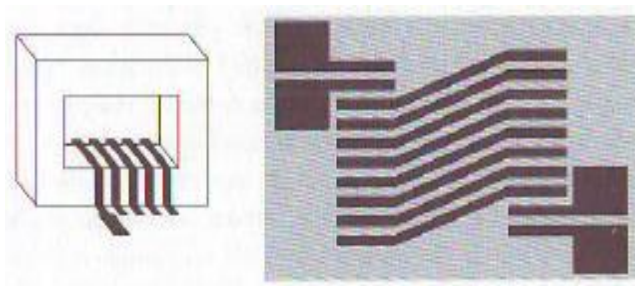


Obr. 21 VDMOS struktura [3]

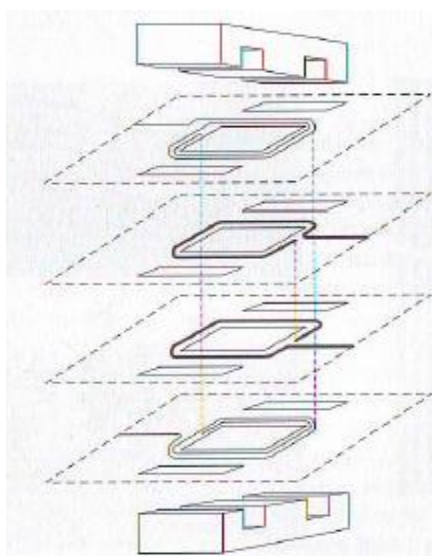
Název hexfet (VD-MOS) patří firmě International Rectifier. Je odvozen od tvaru buněk tranzistoru vytvarovaných do šestiúhelníku a zapojených paralelně, jak je vidět z konstrukce tohoto tranzistoru viz **Obr. 22**. Hexfet tranzistor funguje tím způsobem, že přiložením kladného napětí na gate se minoritní nosiče v P přitáhnou elektrickým polem přivedeným napětím. Napětí na gate přitáhne i elektrony z N vrstvy drain. Díky tomu, že jsou v P vrstvě elektrony minoritními (menšinovými) nosiči náboje, projdou elektrony přes P až do source. Naznačená šipka na **Obr. 22** ukazuje tento pohyb elektronů (proudu). Velkou výhodou těchto tranzistorů je, že snesou velké zatížení proudu. Vytvářením nových struktur mosfet tranzistorů je snahou zmenšovat délku vodivého kanálu, aby na kanálu nevznikal velký úbytek napětí. Umožňují rovněž vydržet vysoké průrazné napětí. Antiparalelní blokovácí dioda chrání tranzistor před náhodným namáháním opačnou polaritou proudu. [3] [4]

pro DC/DC měniče s výstupním napětím 3,3V

Výroba ohebného planárního vinutí se provádí lisováním z mědi pokovených folií z kaptonu nebo mylaru. Kapton je polyamidová folie, která je stabilní v širokém rozsahu teplot $-269^{\circ}\text{C} - 400^{\circ}\text{C}$. Neohebné vinutí se vyrábí vystřihováním z měděných folií. Tloušťka těchto folií musí být navržena tak, aby se v ní netvořil ztrátový výkon a elektrický povrchový jev (skinefekt). Jako jádra pro plošné spoje se používají snížená jádra RM s výškou 9,8 – 13 mm. Další jádra se nazývají E jádra. Tato jádra se dají snadno rozebrat (viz **Obr. 24**). Jednovrstvé planární vinutí je tvořené na desce plošného spoje a z ohebného vinutí na izolační folii. Poté je zformováno dle **Obr. 23** na jádro, aby dosedlo na vývody (plošky) planárního vinutí. Tímto vznikne úplné vinutí. Aby se závity nedotýkaly jádra, vloží se mezi závity a ohebné vinutí izolační vložka. Bifilární vinutí je souběžně vinutý vodič, při kterém se magnetické pole vynuluje tím, že působí tyto dvě pole proti sobě (malá indukčnost). [6]



Obr. 23 Jednovrstvé planární vinutí vinuté bifilárně [6]



Obr. 24 Planární vinutí s E jádrem [6]

pro DC/DC měniče s výstupním napětím 3,3V

6.3 FERITY

Pro praktickou část této práce byly vybrány cívky s feritovými jádry. Pro spínané zdroje se s převahou pro jádra cívek (transformátorů) používají oxidokeramické ferity. Důvodem je, že při rozsahu vysokých frekvencí dosahují tato jádra vysokého měrného odporu (řádově až $10^5 \Omega\text{m}$). Tato vlastnost je velikou výhodou oproti kovovým magnetickým materiálům, které mají měrný odpor v rozsahu 10^{-7} až $10^{-5} \Omega\text{m}$. Výhodou je, že při vysokém měrném odporu lze zanedbat svodové proudy ve střídavém magnetickém poli. Ferity jsou odolné vůči vodě. Mohou ale korodovat vlivem vysoce koncentrovaných kyselin. [10]

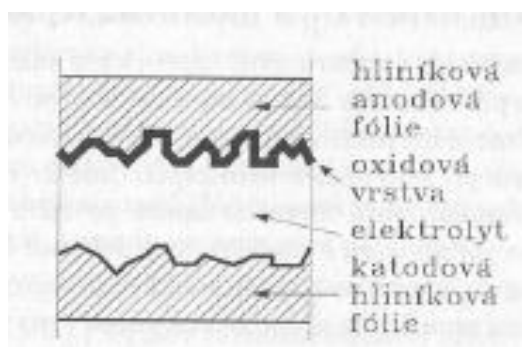
Ferimagnetismus závisí na konkrétní struktuře materiálu. V základní mřížce feritů se vyskytují dvě rozdílné podmřížky s opačnou magnetizací díky vlivu rozdílných magnetizačních vektorů. Ferimagnetismus je zapříčiněn pouze částečnou kompenzací těchto dvou podmřížek (antiparalelně orientované vektory magnetizace). Ve feromagnetickém materiálu vzniká jako u feromagnetika samovolná magnetizace malých Krystalických oblastí a po připojení magnetického pole se domény zorientují v souladu s mechanismem Blochovy dynamiky. Nejpoužívanější ferity jsou sloučeniny železa se spinelovou (MgAl_2O_4) nebo hexagonální strukturou, která má velkou výhodu pro magneticky tvrdé materiály, permanentní magnety a pro ferity pro mikrovlnné inženýrství. Při výrobě feritů jsou polotovary zatím jednotlivých látek rozemlety a smíseny. Poté se tato prachová směs tvaruje (lisuje) a spéká při teplotě 1300 °C. Výsledný materiál se poté smrští v jednom směru lineárně o cca 15%. [10]

6.4 Kondenzátory pro spínané zdroje

Na kondenzátory pro spínané zdroje jsou kladeny různorodé požadavky. Obzvláště pro kondenzátory pro spínané zdroje, které pracují na vysokých kmitočtech. Pro spínané zdroje se používají součástky technologie SMD. SMD kondenzátory mají velmi malou indukčnost přívodu oproti THT. Každý kondenzátor má různou frekvenční závislost tj. jinou rezonanční frekvenci, v níž má kapacitní charakter. Po překročení rezonanční frekvence se chová jako indukčnost s odporem, odpor je ale konstantní. To znamená, že vždy se hledá kondenzátor s rezonanční frekvencí dle daného pracovního kmitočtu spínaného zdroje. V praktické části jsou použity hliníkové elektrolytické a keramické kondenzátory. [10] [19]

pro DC/DC měniče s výstupním napětím 3,3V

Elektrolytické kondenzátory akumulují proud v jednom směru. Nesmí se tedy přepólovat, jinak hrozí zničení kondenzátoru. Důvodem tohoto pólování je dielektrikum kondenzátoru (oxid hliníku - $\epsilon_r = 9,5$), který se nachází na kladné elektrodě. Tato vrstva se vytváří elektrochemickou cestou tzv. formováním. Formování se provádí při konstantním napětí a tloušťka oxidu je úměrná tomuto napětí. Pro zvýšení kapacity těchto kondenzátorů se anodová fólie rozleptá pro zvýšení aktivní plochy (viz **Obr. 25**). Elektrolyt slouží jako kontakt mezi katodovou fólií a oxidovou vrstvou anodové fólie. Oxidová vrstva nemusí mít všude stejnou vrstvu a ve slabším místě tečou větší svodové proudy. Tyto proudy změní vodu obsaženou v elektrolytu na kyslík. Tímto hliník zoxiduje a slabší místo je redukováno. Nadbytkem napětí začne podobný proces a to na celém povrchu oxidační vrstvy. Zvyšující tlak vzduchu může zničit kondenzátor. Práce s rázovými změnami napětí závisí na volném objemu kondenzátoru. Výhoda těchto kondenzátorů je výroba vysokých kapacit a to až do jednoho faradu. Jsou vhodné pro vysoce zvlhčené proudy. Elektrolytické kondenzátory nejsou moc spolehlivé a hlavně rychle stárnou. [10]



Obr. 25 Elektrolytický kondenzátor [10]

Keramické kondenzátory jsou oblíbené kvůli svým malým rozměrům a vysoké $\epsilon_r = 10^4$. Teplotní stabilita i stabilita kapacity je nízká. Kondenzátory s vysokou hodnotou ϵ_r vykazují nelineární závislost dielektrických vlastností na intenzitě elektrického pole, na teplotě a frekvenci. Tyto kondenzátory se používají v nf technice jako filtrační nebo blokovací kondenzátory. Pro keramické kondenzátory s $\epsilon_r < 100$ lze klást vyšší požadavky, ale kapacita dosahuje pod 1nF. [19]

6.5 LC výstupní filtr

Po výstupním LC filtru se potřebuje minimalizovat výstupní zvlnění napětí na hodnotu blízkou se k ideálnímu stejnosměrnému napětí. Kapacitu kondenzátoru lze najít pomocí empirického vzorce $C_F = 40\mu F * (I_{OUT} + 0,5)$, který představuje kompromis mezi velikostí kapacity a impulzní odezvou regulátoru. [12]

ESR kondenzátoru se volí dle velikostí dynamického zatěžování velkými a rychlými špičkami amplitudy proudu, které mají za důsledek úbytky napětí na kondenzátoru. Pro omezení úbytků napětí se použije kondenzátor s co nejnižším ESR. DC/DC měniče potřebují 50 - 250 μ s na zareagování rychlé změny proudu. Během této doby omezuje ESR velikost poklesu výstupního napětí. LC filtr je umístěn až za místem odběru signálu pro regulační zpětnovazební smyčku kvůli stabilitě regulační smyčky. Na regulaci výstupního napětí má vliv stejnosměrný odpor cívky. V případě neznámé velikosti stejnosměrného odporu cívky, lze DCR vypočítat takovým způsobem, aby vyhovoval situaci. Může se např. regulovat výstupní napětí v rozmezí 50mV pro zátěž s odběrem až 10A. Stejnosměrný odpor cívky bude poté $dU/dI > R_L$. [12]

7. Návrh a konstrukce DPS

U spínaných zdrojů se musí maximálně dbát na správný návrh desky plošného spoje a snažit se co nejvíce dodržovat návrhová pravidla. Nejdůležitějším návrhovým pravidlem pro návrh spínaných zdrojů jsou pokud možno nejmenší plochy proudových smyček. To zajistí správné rozmístění součástek (spínací prvek, schottkyho dioda, cívka, kondenzátor). Na toto kritérium navazuje vedení vodivých cest. Chybné rozmístění součástek způsobuje přílišné vyzařování škodlivého elektromagnetického pole na ostatní elektronické prvky a spotřebiče. Výstupní napětí má být vyvedeno na svorky pokud možno nejbližší k výstupnímu kondenzátoru z důvodu úbytku napětí na vodivých cestách plošného spoje. V tomto případě platí známý vztah pro výpočet odporu $R = \rho/l/S$, kde l je délka vodivé cesty, S je plocha vodivé cesty a ρ je měrný elektrický odpor. Při dlouhé vodivé cestě čitatel bude větší než jmenovatel, z čehož výsledkem bude velký odpor a větší úbytek napětí. [24]

pro DC/DC měniče s výstupním napětím 3,3V

Tvary vodivých cest nemohou být pravoúhlé (90°), ale musí být se sklonem 45° nejlépe ohyb dělat tvaru čtvrtkruhu. Důvod je takový, že se pozvolna mění podélná impedance vodivé cesty. Při pravoúhlých vodivých cestách by znamenalo prudkou změnu. Takto vysoké frekvence by se projeví velkými změnami proudu v čase, což by znamenalo, že při parazitních indukčnostech vodivé cesty by vznikl velký úbytek napětí. Parazitní indukčnost vodivé cesty lze omezit takovým způsobem, že se použije široké cesty, minimální proudové smyčky a použití rozlévané mědi. Velmi důležité je zemnění snižujícího měniče, které se provádí jednobodovým paralelním zemněním dle **Obr. 10**. Umístí se nejbližší k výstupním svorkám. Nesprávné zemnění může způsobit nestabilitu měniče. Citlivé spoje jako jsou zpětné vazby (SENSE) vedeny dále od spoje od vstupu proudu do cívky po sepnutí tranzistoru, protože dojde ke skokové změně napětí. Cívka musí být použita taková s co nejmenším rozptylem magnetického toku nejlépe se stíněním, které se připojuje ke GND. K návrhu snižujícího měniče je použito dvouvrstvé desky plošného spoje pro nízko impedanční napájení a pro realizaci malé proudové smyčky. [24]

Šířka a tloušťka vodivých cest je volena dle proudové zatížitelnosti zařízení. Toto zatížení jednotlivých cest lze zjistit z datového listu daného zapojení. Plošné vodiče vydrží daleko vyšší proudové zatížení než klasické vodiče. Plošné vodiče mají větší chladící plochu. Šířka izolačních mezer se volí dle napěťových hladin daného zapojení, druhu materiálu nosné desky plošného spoje, bezpečnostních předepsaných kritérií a vlastností prostředí. Závislosti šířky izolační mezery na velikosti napětí jsou předmětem norem (IEC 512-2). [24]

Export dat pro výrobu desek plošných spojů z návrhového programu se provádí v CAM procesoru ve formátu Gerber RS274X a Excellon. Výstupy ve formátu Gerber RS274X slouží pro výrobu filmových matric (vodivé motivy, nepájivá maska, potisk). Výstupy ve formátu Excellon slouží jako data pro vrtačku, či frézu. [24]

7.1 Návrh pájecích ploch

Návrh plošek pro SMD součástky musí respektovat rozměrové tolerance použitých součástek a způsob pájení. Pro testování plošného spoje je nutno přizpůsobit vodivé plošky nebo otvory dle typu testovacího zařízení. Rovněž testovat při osazené desce. Při velké hustotě součástek a motivu je předpokládáno použití kvalitní nepájivé masky s vysokou přesností. Nepájivé masky musí zabezpečit nejen dokonalou izolaci motivu desky plošných spojů, ale i antikorozi ochrannou funkci. Nepájivou masku je nutno nanášet na vrstvu mědi po stripování (odstranění) fotocitlivého polymeru z celého povrchu motivu desek plošných spojů. Je nutno ji rovněž vyčistit a upravit povrch motivu. Konečná úprava nepokrytých pájecích plošek a otvorů, které nejsou pokryty nepájivou maskou, se provádí pozlacením nebo HAL (pocínování plošek bezolovnatým žárovým cínem) pro zabezpečení dokonalého kontaktu. [1]

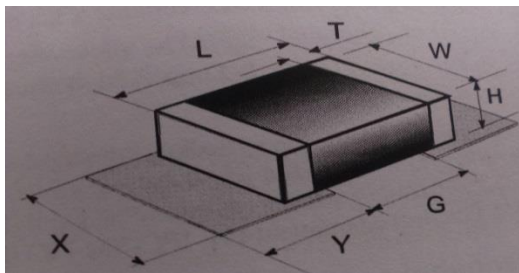
Před návrhem je nutné, aby znal návrhář typ pájení. Pro účely této práce je použito ruční pájení v případě pájení řídicího obvodu pájení horkým vzduchem. Doporučené rozměry pájecích plošek pro kvádrové SMD pasivní součástky (kondenzátory a rezistory) lze vypočítat dle vztahů viz (15) , (16) a (17) . Tyto vztahy jsou používány v této práci, pokud nejsou rozměry plošek stanoveny výrobcem. Konstanta K je pro pájení přetavením rovna 0,25 mm. X je šířka pájecí plošky. Y je délka pájecí plošky a G je mezera mezi ploškami. Ostatní rozměry jsou zobrazeny na **Obr. 26**. Pro více vývodové SMD součástky je zapotřebí dbát na katalogové rozměry od výrobce. Ploška musí být použitelná i pro krajní meze tolerance rozměru součástek, které výrobce dodává spolu se součástkami. Při nedodržení rozměru plošky se při pájení přetavením může dojít k efektu tzv. Tombstoning, při němž se součástka zvedne nerovnováhou sil. [1]

$$X = W_{\text{MAX}} + K \quad (15) [1]$$

$$Y = H_{\text{MAX}} + T_{\text{MAX}} + K \quad (16) [1]$$

$$G = L_{\text{MAX}} - 2 \cdot T_{\text{MAX}} - K \quad (17) [1]$$

pro DC/DC měniče s výstupním napětím 3,3V



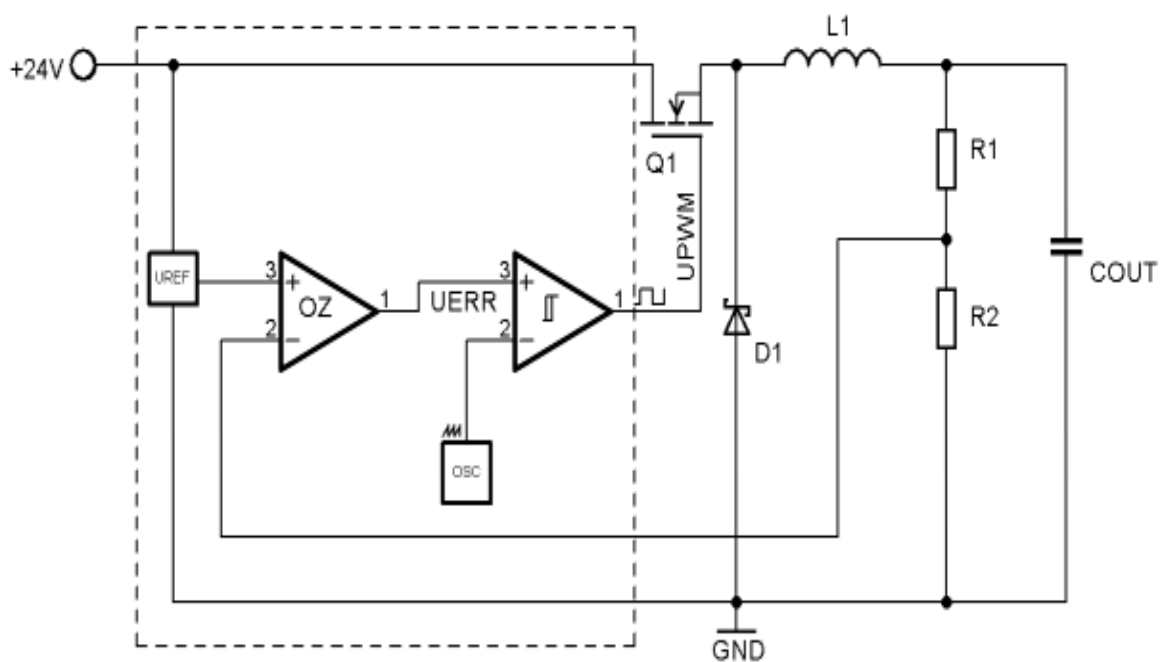
Obr. 26 Značení rozměrů kvádrových součástek [1]

8. Řídicí funkce spínaných zdrojů

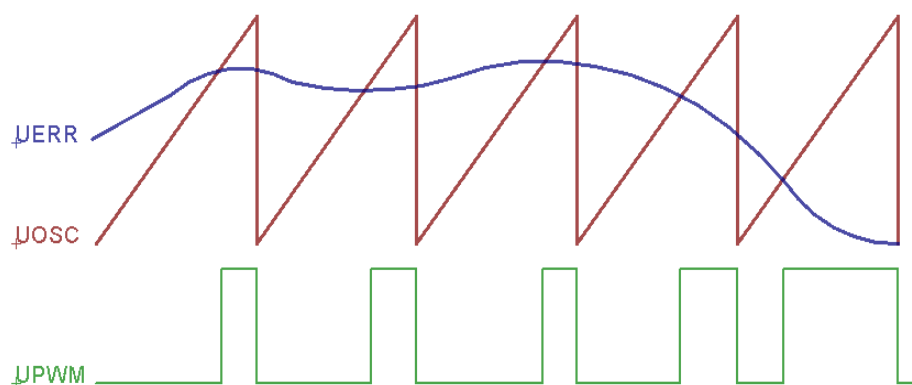
Tato kapitola se věnuje vysvětlení důležitých funkcí, které řídí vybrané řídicí obvody pro DC/DC měniče. Řídicím obvodům je věnována **kapitola 9**. Řídicí funkce je nutno pochopit pro správné porozumění vybraným integrovaným obvodům a jejich zapojení spolu s externími součástkami.

8.1 Princip činnosti PWM

Spínání MOSFET tranzistorů obstarává pulzně šířková modulace označovaná jako PWM (Pulse width modulated). Tento typ modulace je obvodově zobrazen na **Obr. 27**. Při zapojení se nejprve odvozuje referenční pevné napětí U_{REF} , pro které platí $U_{REF} < U_{IN}$. U_{REF} je přiváděno na neinvertující vstup. Na invertující vstup je přiváděno napětí, které je dáno odbočkou výstupního děliče. Operačním zesilovačem je odečteno od U_{REF} . Danou odchylku OZ zesílí. Takto zesílená odchylka se nazývá U_{ERR} (chybové napětí). U_{ERR} je přiváděno na invertující vstup dalšího OZ (komparátor). Komparátor porovnává přiváděný pilovitý, nebo také trojúhelníkový signál (U_{OSC}) s U_{ERR} . Pokud hodnota U_{ERR} bude menší jak U_{OSC} , tak na výstupu komparátoru bude plné napětí U_{PWM} (logická 1). Tak je zajištěno sepnutí tranzistoru. Tranzistor zůstane sepnutý do té doby, dokud na odporovém děliči nebude vyšší napětí než je U_{REF} . Poté se tranzistor rozepne a U_{PWM} bude nulové (logická 0). Tento způsob regulace zaručuje pokaždé nabití kondenzátoru C_{OUT} na hodnotu výstupního napětí, v čem lze spatřit i nevýhodu. Spočívá v tom, že proměnná frekvence i střída signálu U_{PWM} a jeho následného filtrování LC článkem je různě účinná. Výsledkem jsou zvlněná napětí na výstupním kondenzátoru C_{OUT} . Ve spínaných zdrojích je určován pojem pracovní cyklus D (duty cycle), který je definován v rovnici (6) (18). Pracovní cyklus D vyjadřuje jak dlouho je Q1 sepnut. Tento princip je jen názornou ukázkou jak PWM funguje. [9]



Obr. 27 Principiální schéma zapojení PWM (převzato a upraveno z [9])



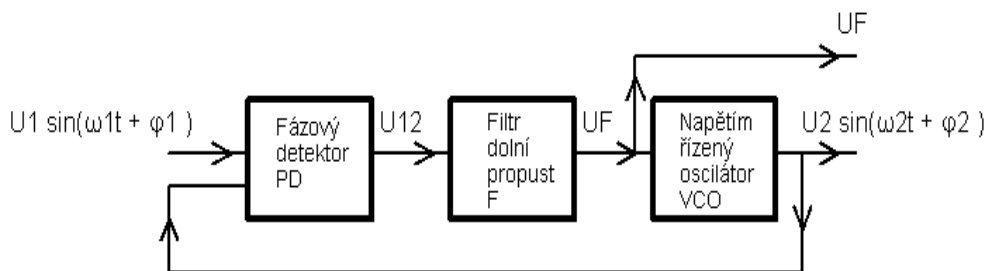
Obr. 28 Průběh PWM při daném U_{ERR} (převzato a upraveno z [9])

$$D = \frac{U_o}{U_{IN}} \quad (18) [9]$$

pro DC/DC měniče s výstupním napětím 3,3V

8.2 Fázový závěs (Phase locked loop - PLL)

Fázový závěs je velmi složitý obvod. V této podkapitole je jednoduchým způsobem popsán princip. PLL slouží v řídicích integrovaných obvodech pro DC/DC měniče jako synchronizace (fázové zamknutí) vnějšího oscilátoru (generátoru) ke konstantnímu spínání tranzistorů. Integrované obvody, které využívají PLL jsou uvedeny v **Tab. 3**. Na **Obr. 29** je zobrazeno základní blokové schéma fázového závěsu. Princip funkce fázového závěsu je takový, že ve fázovém detektoru (Phase detector tj. PD) se porovnávají výstupní napětí $U_2 \sin(\omega_2 t + \varphi_2)$ se vstupním $U_1 \sin(\omega_1 t + \varphi_1)$. Výstupem fázového detektoru je napětí U_{12} , které je úměrné rozdílu fází. Po průchodu filtrem typu dolní propust se získá napětí U_F , které řídí napětím řízený oscilátor (Voltage controlled oscillator tj. VCO). Zvýší-li se vstupní kmitočet, zvýší se fázový rozdíl, a tím i U_{12} , U_F . Takto VCO zvýší výstupní frekvenci. Původní změna se vyrovnává až v ustáleném stavu, ve kterém obě frekvence budou shodné spolu s fází. Fázový závěs stabilizuje fázový rozdíl mezi vstupem a výstupem. Filtr ve fázovém závěsu zastává funkci vyrovnávání zvlnění, jelikož výstupní napětí není stejnosměrné. Také ovlivňuje přenos celé smyčky. Potlačuje krátkodobé výkyvy napětí z fázového detektoru způsobené nestabilitou a rušením případného výpadku vstupního signálu. PLL zůstává zavěšen na požadované frekvenci i při nestabilním a rušeném vstupním signálu. [15]



Obr. 29 Blokové schéma fázového závěsu [15]

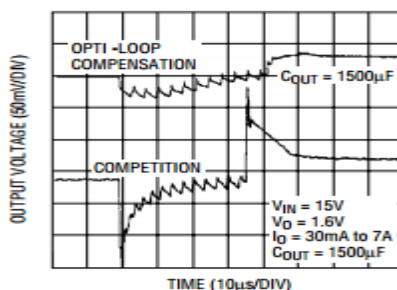
Fázový detektor generuje na svém výstupu střední hodnotu napětí (vztahuje se jen k jedné periodě). Ta je úměrná fázovému rozdílu dvou vstupních signálů o periodě vstupního signálu. Převodní charakteristika detektoru je závislost střední hodnoty U_{STR} na fázovém rozdílu φ_e . Detektor zpracovává omezený rozsah rozdílu fází. Rozsah rozdílu fází, při kterém je převodní charakteristika monotónní bude nazýván pracovním rozsahem detektoru. Detektory lze vytvořit čistě digitálně, analogově nebo jejich kombinací. [15]

pro DC/DC měniče s výstupním napětím 3,3V

Napěťově řízené oscilátory lze realizovat jako relaxační, nebo harmonické. Relaxační oscilátory jsou realizovány přepínáním proudových zdrojů nabíjením kondenzátoru (poté i vybíjením), na kterém závisí dolní mez kmitočtu. Relaxační oscilátory jsou vysoce přeladitelné a vhodné pro kmitočty desítek kHz. Pro vyšší kmitočty (řádu stovek kHz a jednotek MHz) lze použít integrované astabilní multivibrátory s emitorovou vazbou, které jsou pro malé rozsahy přeladění. Harmonické oscilátory LC lze ladit varikapem, kdy kapacita přechodu klesá se zvyšujícím se závěrným napětím. [15]

8.3 OPTI-LOOP

OPTI-LOOP umožňuje použití výstupních kondenzátorů dle výběru návrháře místo drahých kondenzátorů. Dále kompenzuje regulační smyčku pro optimální přechodnou odezvu a stabilitu. Na **Obr. 30** lze vidět zlepšení díky OPTI-LOOP. OPTI-LOOP umožňuje zajištění minimální výstupní kapacity dle kvality stability smyčky. Kompenzaci smyčky se nastavuje frekvenční odezva regulační smyčky na zatížení pro stabilitu smyčky a odezvu na napájení. Frekvenční odezva se určuje dle fáze a zisku proudových změn (různé zatížení) na všech frekvencích Bodeho grafu. [17]

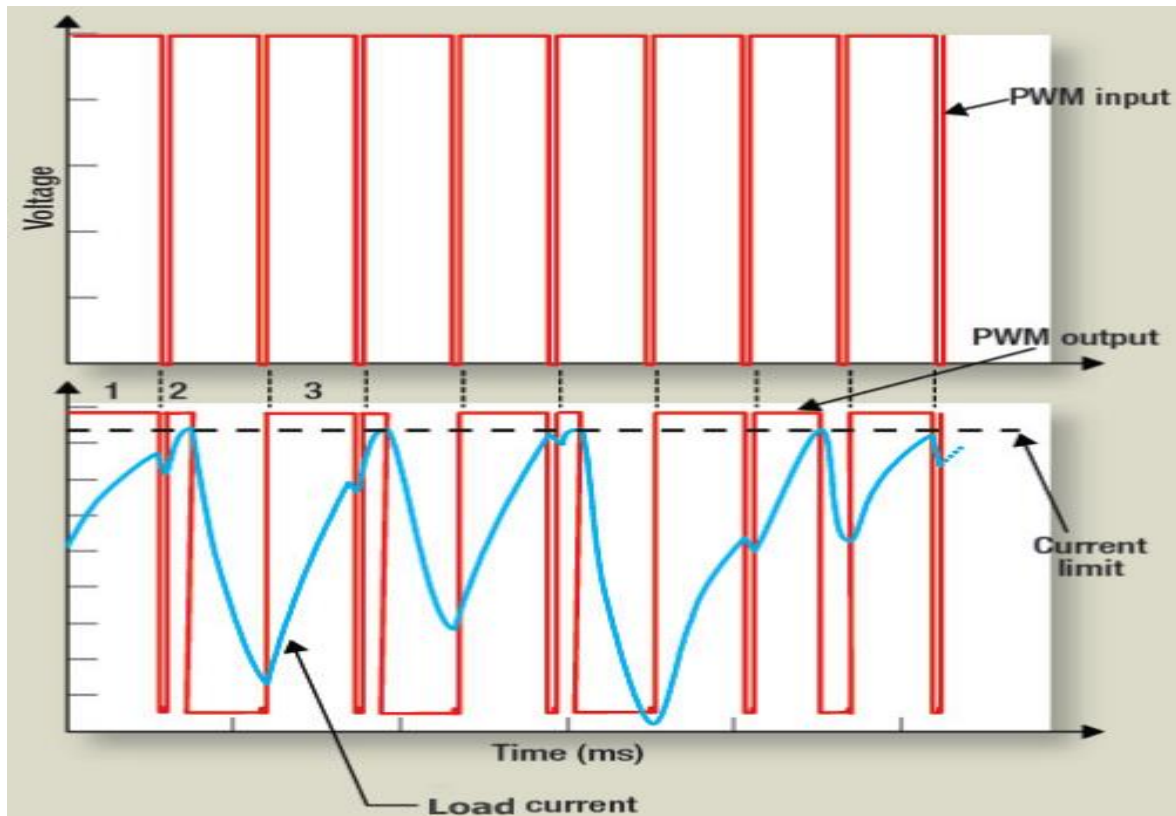


Obr. 30 Kompenzace regulační smyčky funkcí OPTI-LOOP [17]

8.4 Cykle-by-cykle

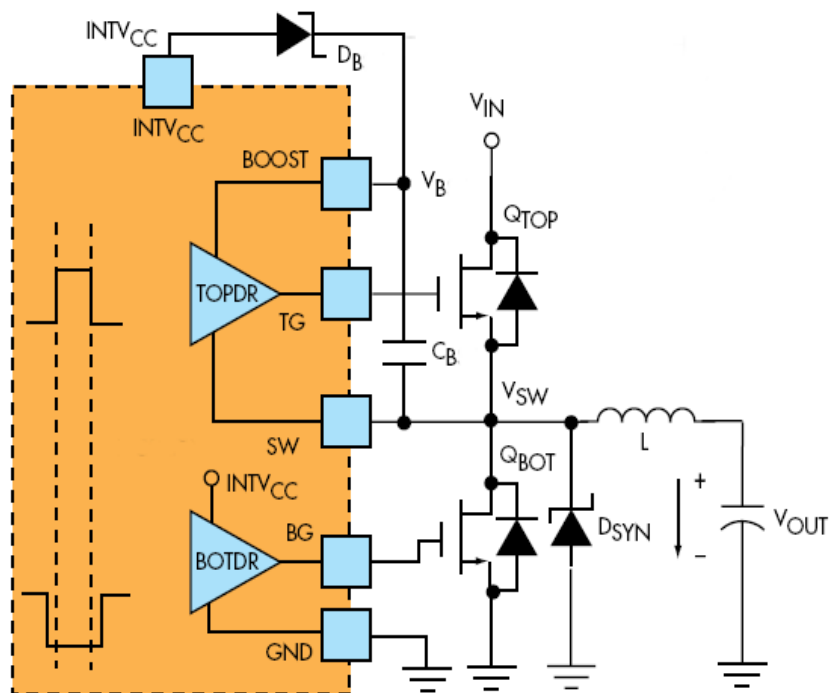
Cykle-by-cykle je proudové omezení při PWM režimu. Jeho princip je zobrazen na **Obr. 31**. Při prvním PWM pulzu k omezení proudu nedochází, protože protékající proud nedosáhl proudového omezení (vyznačeno přerušovanou čarou). Na konci tohoto impulzu proud lehce poklesne, ale dalším PWM impulzem proud se opět zvyšuje. Tento proud se zvýší až do nastavené limitní hodnoty, což způsobí vypnutí kdykoli během PWM impulzu. Proud bude klesat do té doby, dokud nezačne další PWM impulz, aby mohl proud opět růst. [16]

pro DC/DC měniče s výstupním napětím 3,3V



Obr. 31 Princip cykle-by-cykle [16]

8.5 Bootstrap kondenzátor



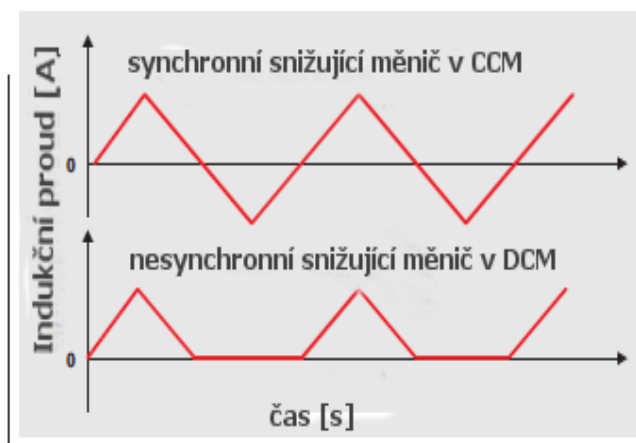
Obr. 32 Použití bootstrap kondenzátoru [22]

pro DC/DC měniče s výstupním napětím 3,3V

Bootstrap kondenzátor je používán pro otevření horního tranzistoru QTOP (viz **Obr. 32**). QBOT tranzistor se otevírá napětím UGS proti zemi. Horní tranzistor také napětím UGS, ale ne proti zemi. Stojí mu totiž v cestě rozpojený tranzistor QBOT. K tomu, aby se mohl horní tranzistor otevřít, využívá se plovoucí hladiny GND. Bootstrap kondenzátor se před začátkem nového cyklu nabije na hodnotu vnitřního regulátoru INTVCC přes DB diodu. Kondenzátor (CB) se připojí ke GND (SW pin) sepnutím spodního tranzistoru QBOT. Po rozeznutí QBOT se napájí vnitřní řídicí obvod (zesilovač) hradla gate horního mosfet tranzistoru. Řídicí obvod zesílí vnitřní zapínací signál právě na napětí, které se nachází na pinu BOOST. Dokáže efektivnějším způsobem otevřít tranzistor. Pro sepnutí horního tranzistoru se využije právě toto zvýšené napětí na GS. Při sepnutí horního tranzistoru se na pinu SW ideálně objeví celé napájecí napětí a na pinu BOOST bude napětí o velikost $U_{INTVCC} + U_{IN}$. Plovoucí hladina (GND) se projevuje takovým způsobem, že je CB nabit proti zemi. Při odpojení od země se stane SW uzel „GND“ a tím se uzemní vnitřní řídicí obvod (zesilovač) hradla gate. QTOP se bez problému otevře. Alternativou pro otevírání horního tranzistoru je zapojení s transformátorem. Často se tento způsob nepoužívá, jelikož je transformátor drahý. [22]

8.6 CCM a DCM režim

Rozdíl mezi nepřetržitým (Continuous conduction mode) a přerušovaným režimem (Discontinuous conduction mode) je vidět z **Obr. 33**. V nesynchronních měničích může téct proud jen jedním směrem. Nesynchronní měniče se teda používají pro vyšší účinnost na nízká zatížení v DCM, jelikož nejsou velké ztráty na zachytávací schottkyho diodě. [14] [23]



Obr. 33 CCM a DCM režim [14]

pro DC/DC měniče s výstupním napětím 3,3V

Synchronním měnič umožňuje vedení proudu v obou směrech a udržuje CCM. Důvodem je, že nevznikají ztráty při průchodu spodního MOSFET tranzistoru. Synchronní měnič může být provozován i v DCM, ale snižuje se účinnost. Z tohoto důvodu se přidávají do zapojení synchronního měniče schottkyho diody kvůli provozu v DCM pro nižší zatížení. [14] [23]

9. Vybrané integrované obvody pro snižující DC/DC měniče

Pro zpracování této bakalářské práce bylo vybráno sedm řídicích integrovaných obvodů pro snižující DC/DC měniče od společnosti Linear Technology. Vlastnosti těchto obvodů jsou uvedeny v **Tab. 3**. Pro další zpracování byly vybrány tři řídicí obvody LTC3631-3,3, LT3971 a LTC1709.

Obvod LTC3631 byl vybrán z důvodu jeho jednoduchosti, jelikož je zapotřebí pouze tří součástek, aby bylo dosaženo výstupního napětí 3,3V. Tento obvod byl také vybrán z toho důvodu, že navržené desky plošných spojů LT3971 a LTC1709 nemusí fungovat kvůli nezkušenosti v navrhování plošných spojů. Obvod LTC3631-3,3 byl spájen na univerzální desce plošného spoje k odměření jeho funkce. Dále byl zvolen obvod LT3971 především díky svojí nízké spotřebě a širokým rozsahem spínacích frekvencí, kterými spíná vnitřní NPN tranzistor. Tento obvod ukazuje princip fungování všech ostatních integrovaných obvodů doplněných o rozšiřující funkce. [13] [viz **Přílohy**]

Nejsložitějším zvoleným obvodem, byl obvod LTC1709, který nemá spínací tranzistory integrované v pouzdru integrovaného obvodu. To znamená rostoucí složitost návrhu plošného spoje. Tento obvod je synchronním vícefázovým snižujícím měničem, který na první pohled zaujme vysokým výstupním proudem o malém výstupním programovatelným napětím. Tímto obvodem se napájely procesory Intel Pentium II a III. Z čehož lze usoudit, že obvod LTC1709 bude mít dobré dynamické parametry na zatížení. Následující kapitoly budou těmto zvoleným obvodům LTC3631-3,3, LT3971 a LTC1709 podrobněji věnovány jejich funkci. [13] [viz **Přílohy**]

pro DC/DC měniče s výstupním napětím 3,3V

Tab. 3 Vlastnosti IO od společnosti Linear Technology

(upraveno a převzato z [13] [viz Přílohy])

Název IO	LTC3631-3,3	LTC1709	LTC3854	LTC3829	LT3971	LT1616	LT3510
U_{IN} [V]	4,5 - 45	4.36	4,5 - 40	4,5 - 38	4,3 - 38	4,7 - 25	3,1 - 25
U_{OUT} [V]	3,3 - 5	1,3 - 3,5	0,8 - 5,5	0,6 - 5,5	1,19 - 30	3,3	1,8 - 5
I_{OUT} [A]	0,1	40	až 20	až 60	1,3	0,4	až 4
$f_{pracovní}$ [kHz]	250	300 - 600	400	250 - 770	200-2000	1400	250 - 1500
Topologie	asynchronní	2-fázový synchronní	synchronní	3-fázový synchronní	Asynchro- -nní	Asynchro- -nní	Asynchro- -nní
Synchronizace	N/A	Vnitřní oscilátor	Vnitřní oscilátor	Vnitřní oscilátor	Vnitřní oscilátor	Vnitřní oscilátor	Vnitřní hodiny
Pracovní režim	Sekvenční režim	Proudový nepřetržitý režim PWM	Proudový režim	Proudový režim	PWM	PWM proudový	PWM proudový
Speciální funkce	Nastavení špičkového indukčního proudu	OPTI-LOOP Fázový závěs	OPTI- -LOOP	Stage shedding Fázový závěs	Burst režim	DCM	Cycle-by- cycle
Počet vývodů IO [pin]	8	36	12	38	10	6	20
Minimální klidová vlastní spotřeba [μA]	12	20	N/A	N/A	2,8	<1	N/A
Soft-start	ano	ano	ano	ano	ano	ano	ano
Typ ochrany	Vstupní přepět'ová a podpět'ová, proti zkratu	Proudové omezení	Přepět'ová	Přepět'ová	N/A	Proti zkratu	Přepět'ová

9.1 Popis funkce integrovaného obvodu LTC3631

Pro účel popsání obvodu LTC3631 je vycházeno z datového listu (viz seznam literatury [13] a **Příloha A**). Integrovaný obvod LTC3631 pracuje v sekvenčním režimu, který kombinuje režim spánku s vysokou spínací frekvencí vnitřních MOSFET tranzistorů. Obvod LTC3631 snímá pomocí zpětnovazebního komparátoru (pin FB) výstupní napětí, které se porovnává s vnitřním referenčním napětím. Pokud výstupní napětí bude vyšší než tato reference, obvod přejde do režimu spánku. Poté je externí kondenzátor vybíjen zatěžovacím proudem, který způsobí snížení výstupního napětí a spuštění sekvenčního cyklu. Na začátku sekvenčního režimu jsou sepnuty interní PMOSFET tranzistory a začíná téct indukční proud, který se zvyšuje. Po překročení špičkové hodnoty indukčního proudu nebo napětí na FB, se PMOSFET vypnou a sepne se NMOSFET tranzistor. Indukční proud následně klesá a zpětný proudový komparátor signalizuje, že se proud blíží k nule. Další cyklus je zahájen poklesem výstupního napětí pod hodnotu referenčního napětí. Průměrný proud, který je roven polovině špičkového proud, dosahuje při sekvenčním režimu větších hodnot než průměrný zatěžovací proud. Díky této hysterezní povaze kontrol výsledků ve spínací frekvenci závislé na vstupním napětí, výstupním napětí a indukčnosti připojené cívky, se obvod sám chrání proti zkratu. Pokud je výstup zkratován, indukční proud se změní velmi pomalu v průběhu jednoho spínacího cyklu. Při zkratových podmínkách nebo při rozběhu přepíná obvod LTC3631 na nižší frekvenci. [13] [viz **Příloha A**]

Spuštění obvodu LTC3631 probíhá takovým způsobem, že na pinu RUN musí být napětí vyšší než 1,21V (zapnutí regulační smyčky). Pro vypnutí musí klesnout napětí pod 1,1V, protože komparátor má hysterezi 110mV. Pin HYST je zapojen jako otevřený drain, který spíná zem pokaždé, když je pin RUN v hodnotě pod 1,1V (vypnutý stav). Pin SS se používá k soft-startu připojením kondenzátoru. Připojený kondenzátor je nabíjen vnitřním proudovým zdrojem a vytváří tak rampu. Pokud bude rampa pomalejší než vnitřní rampa 1ms, tak bude výstupní napětí omezeno rychlostí rampy. SS neposkytuje omezení indukčního proudu. Toto omezení poskytuje pin ISET, který je vstupem špičkového proudového komparátoru s hysterezí. [13] [viz **Příloha A**]

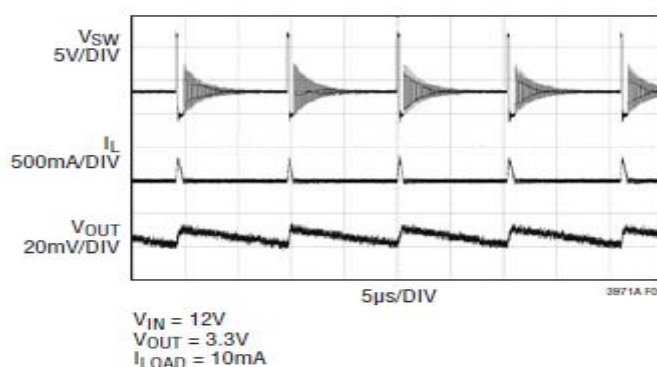
9.2 Popis funkce integrovaného obvodu LT3971

Pro účel popsání obvodu LT3971 je vycházeno z datového listu (viz seznam literatury [13] [viz **Příloha B**]). Obvod LT3971 pracuje s konstantní frekvencí, která je daná odporem R_T na pinu RT. Nastavením této frekvence postupuje signál z oscilátoru na nastavovací vstup (S) RS klopného obvodu. Nastaví se na jeho výstupu logická jednička, která sepne přes zesilovač vnitřní výkonový spínač (NPN tranzistor). Proud obvodem snímá zesilovač, jehož výstup je připojen spolu s výstupním signálem na hradlo logického součtu. Na SW pinu snímá proud chybový zesilovač. Pokud proud překročí hranici, tak se vnitřní tranzistor vypne díky napětí V_C . Chybový zesilovač snímá výstupní napětí z odporového děliče na FB pinu. Pokud se výstup chybového zesilovače zvýší, je dodán větší proud na výstup a naopak. Aktivní svorka V_C řídí proudový limit. Na uzel V_C je připojen i pin SS pro soft-start. Na tento pin je externě připojen odpor s kondenzátorem, který je nabíjen vnitřním proudovým zdrojem $1\mu\text{A}$. Pokud je pin EN v logické 0, ze vstupu je brán proud 700nA a obvod LT3971 je vypnut. Pokud pin EN překročí 1V, který může být proveden pull up rezistorem nebo odporovým děličem, obvod LT3971 se zapne. [13][viz **Příloha B**]

Vnitřní výkonový NPN tranzistor pracuje se vstupním, nebo s vyšším napětím než je vstupní napětí na pinu BOOST. To je zajištěno externím kondenzátorem z důvodu plné saturace výkonového spínače (viz **kapitola 8.5**). Obvod LT3971 při lehkém zatížení zapne sekvenční režim (burst mode). Mezi sekvencemi všechny obvody spojené s řízením spínání výstupu vypnou. Tímto je zajištěn odebíraný proud $1,7\mu\text{A}$. Oscilátor sníží výstupní frekvenci dle napětí na FB (nízké napětí). Tato frekvence neřídí proud při startu, ani při přetížení. Pin PG funguje jako otevřený drain. [13] [viz **Příloha B**]

pro DC/DC měniče s výstupním napětím 3,3V

K dosažení ultra-nízkého klidového proudu $1,7\mu\text{A}$ dosáhne obvod LT3971 sekvenčním režimem nízkého zvlnění při lehkém zatížení. Udržuje výstupní kondenzátor nabit na požadované napětí pro minimalizování vstupního klidového proudu. Obvod LT3971 v sekvenčním režimu vyše jednotlivé impulzy proudu na výstupní kondenzátor. Poté následuje režim spánku, při kterém je dodáván výstupní výkon. Pokud je zapotřebí pro ostatní obvody dodání dalšího proudu, zvýší se tím spotřeba na $1,5\text{mA}$ při regulaci. Zvýšení doby režimu spánku mezi jednotlivými sekvencemi je provedeno takovým způsobem, že frekvence jednoho pulzu klesá (viz **Obr. 34**). Dochází tak k malé spotřebě při nízkém zatížení (přiblížení k $1,7\mu\text{A}$). [13] [viz **Příloha B**]



Obr. 34 Burst mode (sekvenční režim) [13] [viz **Příloha B**]

Z tohoto důvodu musí být optimalizován výstupní odporový zpětnovazební obvod (v řádu $\text{M}\Omega$ s tolerancí 1%) a snížen závěrný proud zachytávající diody (v řádu $< 1\mu\text{A}$ kvůli výkyvům teplot). Dalším možností snížení frekvence impulzů je zvýšení proudového impulzu. Následkem bude zvýšení výkonu zvlnění. Z **Obr. 34** vyplývá zvolení proudových impulzů způsobem pro zvlněné napětí menší než 15mV . V sekvenčním režimu se po generování jednotlivých pulzů nemění výstupní kapacita (nepřímo úměrná). To znamená, že pro vyšší kapacitu je zvlnění napětí nižší. Při vyšších zatížení nad 92mA bude obvod LT3971 pracovat ve standardním režimu PWM na frekvenci daným odporem R_T (viz tabulka v [13]). Při přechodu z PWM na Burst mode bude obvod vykazovat mírné frekvenční vibrace, které neruší výstupní napětí. Pro řádnou funkci sekvenčního režimu musí být pin SYNC uzemněn. Při synchronizaci externích hodin na pinu SYNC, tak obvod LT3971 bude přeskakovat na režim nízkého zatížení se vstupním odebíraným proudem $1,5\text{mA}$. Externí synchronizace se nedoporučuje, jelikož nemá žádné výhody na velikost zvlnění (ani při nejvyšší frekvenci). [13] [viz **Příloha B**]

9.3 Popis funkce integrovaného obvodu LTC1709

Pro účel popsání obvodu LTC1709 je vycházeno z datového listu (viz seznam literatury [13] [viz **Příloha C**]). Obvod LTC1709 pracuje v proudovém režimu snižujícím topologií se dvěma výkonovými stupni vzájemně fázově zpožděnými o 180°. Při normálním provozu je horní MOSFET sepnutý tehdy, pokud hodiny na související kanál nastaví RS klopný obvod. Horní MOSFET vypne až hlavní proudový komparátor I_1 resetuje klopný obvod. Vrcholový indukční proud, při kterém I_1 resetuje RS klopný obvod, je řízen napětím na ITH pinu (výstup z EA). Diferenciální zesilovač A1 vytváří signál na pin DIFFOUT o rozdíl výstupního napětí a referenční hodnoty (vnitřní signálové země SGND). [13] [viz **Příloha C**]

Toto napětí na pinu DIFFOUT napájí odporový dělič na pinu ATTENIN. Výstupem tohoto děliče je napětí pinu ATTENOUT, které vede na vstup EA přes Pin EAIN. Pin EAIN obdrží napětí, které se poté porovná s vnitřním referenčním napětím připojeným na druhém vstupu EA. Napětí na EAIN je sníženo díky rostoucímu zatížení, což způsobí zvýšení napětí na ITH pinu až do průměrného indukčního proudu (nový zatěžující proud). Následkem je rozepnutí horního MOSFET tranzistoru a sepnutí spodního MOSFET tranzistoru do doby, dokud proud neklesne nebo do počátku nového cyklu. Funkce plovoucí bootstrap kondenzátoru C_B jsou popsány v **podkapitole 8.5**. Jakmile vstupní napětí klesne blízko výstupnímu napětí, sepne regulační smyčka horní tranzistor do nepřetržitého režimu. Detektor zachytí výpadek a způsobí vypnutí horního tranzistoru na dobu asi 400ns každého desátého cyklu k dobití C_B . Hlavní řídicí smyčka vypne tehdy, pokud bude pin RUN/SS v nízké hodnotě. Povolení soft-startu je umožněno kondenzátorem C_{SS} , který se nabije interním zdrojem proudu 1,2mA na 1,5V. [13] [viz **Příloha C**]

pro DC/DC měniče s výstupním napětím 3,3V

Pokud bude Pin ITH v 30% své maximální hodnoty, hlavní řídicí smyčka bude zapnuta. Kondenzátor C_{SS} se dále nabíjí a ITH postupně zvyšuje do velikosti provozního proudu. Frekvenční synchronizaci umožňuje fázový závěs. Synchronizuje interní oscilátor s externím zdrojem připojený na pin PLLIN. Výstup z fázového detektoru je na PLLFLTR. Pokud je uzavřená smyčka, fázový závěs sladuje zapnutí horního tranzistoru na náběžnou hranu synchronizačního signálu. Pokud PLLIN je ponechán otevřený, PLLFLTR pin klesá a způsobuje kmitání oscilátoru na minimální frekvenci. Požadavky na kapacitu, ESR a na ztráty účinnosti jsou sníženy, jelikož špičkový proud odebíraný ze vstupního kondenzátoru je dělen mezi dvě fáze. Výkonová ztráta je přímo úměrná s kvadrátem RMS proudu. Dvoufázová topologie může snížit ztrátu energie o 75% a rovněž výrazně snížit RMS proud vstupních kondenzátorů. [13] [viz **Příloha C**]

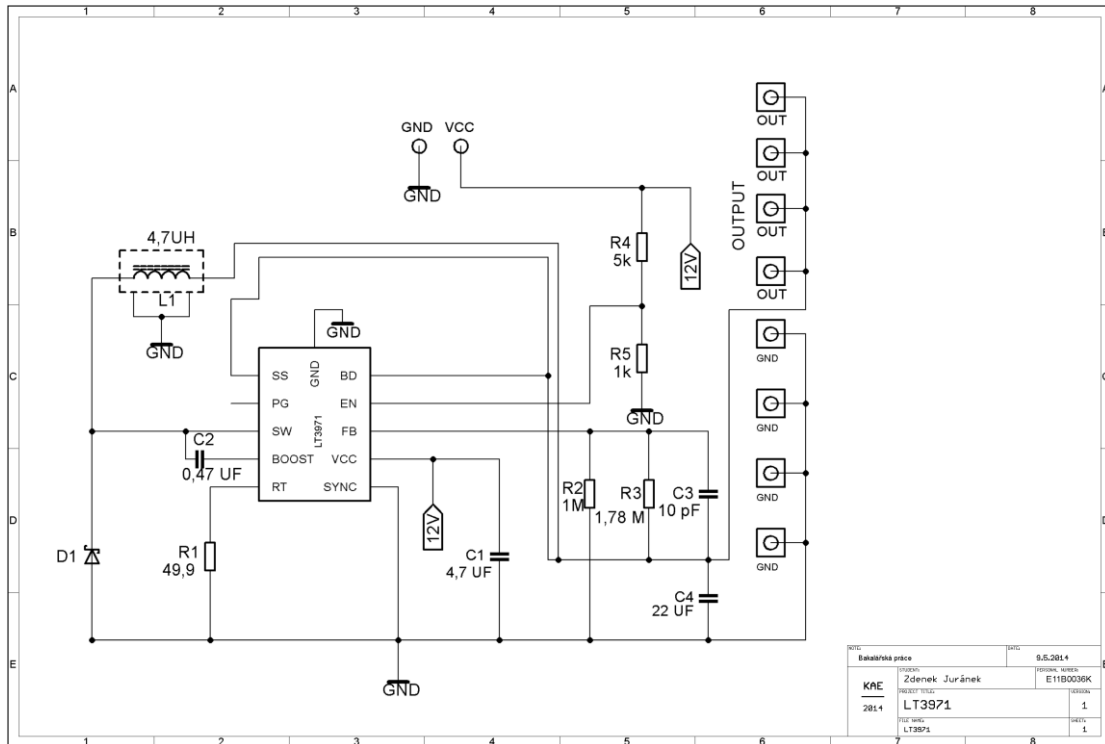
Ochrana proti přepětí je realizována přepětovým komparátorem OV, který chrání proti přechodným překmitům vyšších jak 7,5%. Přepětí je zrušeno v případě vypnutí horního MOSFET tranzistoru a sepnutí spodního tranzistoru. Pětibitový převodník je nakonfigurován takovým způsobem, aby měnil hodnotu odporu R_1 připojeném na pinu ATTENOUT a odporem R_2 připojeném na pinu ATTENIN (tvoří odporový dělič). Výstup je proveden v krocích 50mV nebo 100mV v závislosti na MSB (VID4). [13] [viz **Příloha C**]

Kódy jsou kompatibilní s procesory Intel Pentium II a III. R_1 je řízen pěti bity na vstupu dekodéru a výstupní napětí je dáno poměrem těchto odporů. Bity, které jsou v logické 0, musí být uzemněny. Pro vytvoření logické 1 je použit dělič, který tvoří odpor 10k Ω a zenerovu diodu se zenerovým napětím 3,3V ke stabilizaci logické 1 (dělič napájen ze vstupního napětí). Vnitřní diferenciální zesilovač slouží k reálnému dálkovému snímání výstupního napětí a k jeho regulaci (na pinech V_{OS}^- a V_{OS}^+). Díky pinu AMPMD, se přepínají přesné vnitřní zpětnovazební odpory. Vnitřní diferenciální zesilovač má jednotkový stabilní zisk v šířce pásma 2MHz. Zisk v otevřené smyčce větší jak 120dB (poměr pomalé změny výstupního napětí a vstupního rozdílového napětí). Vstupní rychlost přeběhu je 5V/ms tzn. rychlost změny výstupního napětí zesilovače při napěťovém skoku. [13] [viz **Příloha C**]

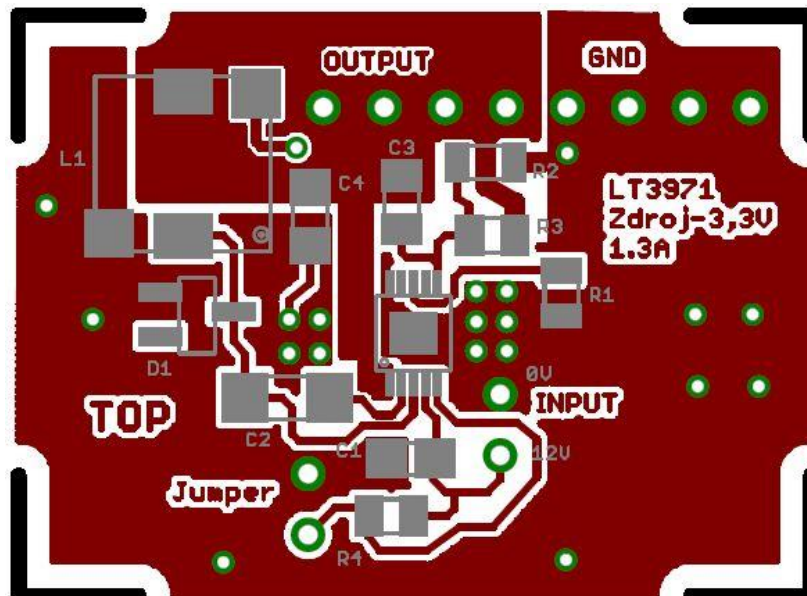
pro DC/DC měniče s výstupním napětím 3,3V

10. Praktická část

10.1 Schéma zapojení LT3971 a návrh DPS v Eagle 6.4.0 light



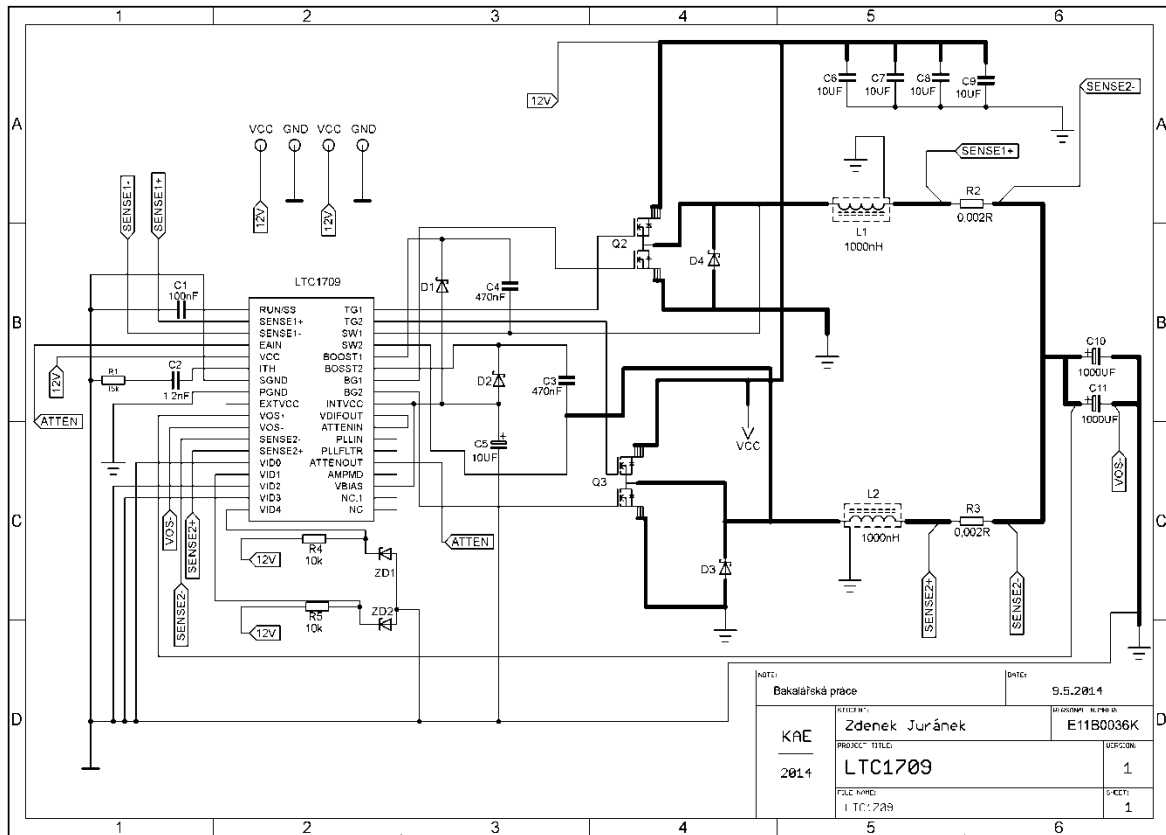
Obr. 35 Schéma zapojení LT3971 pro vytvoření DPS



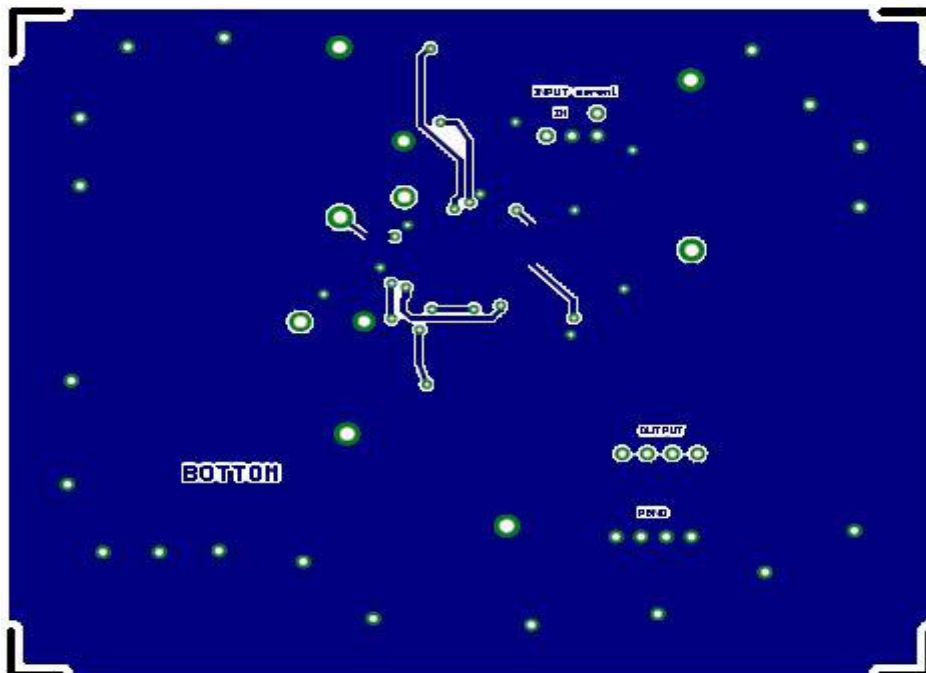
Obr. 36 Layout obvodu LT3971 na straně TOP o velikosti 33x24

pro DC/DC měniče s výstupním napětím 3,3V

10.2 Schéma zapojení LTC1709 a návrh DPS v Eagle 6.4.0 light

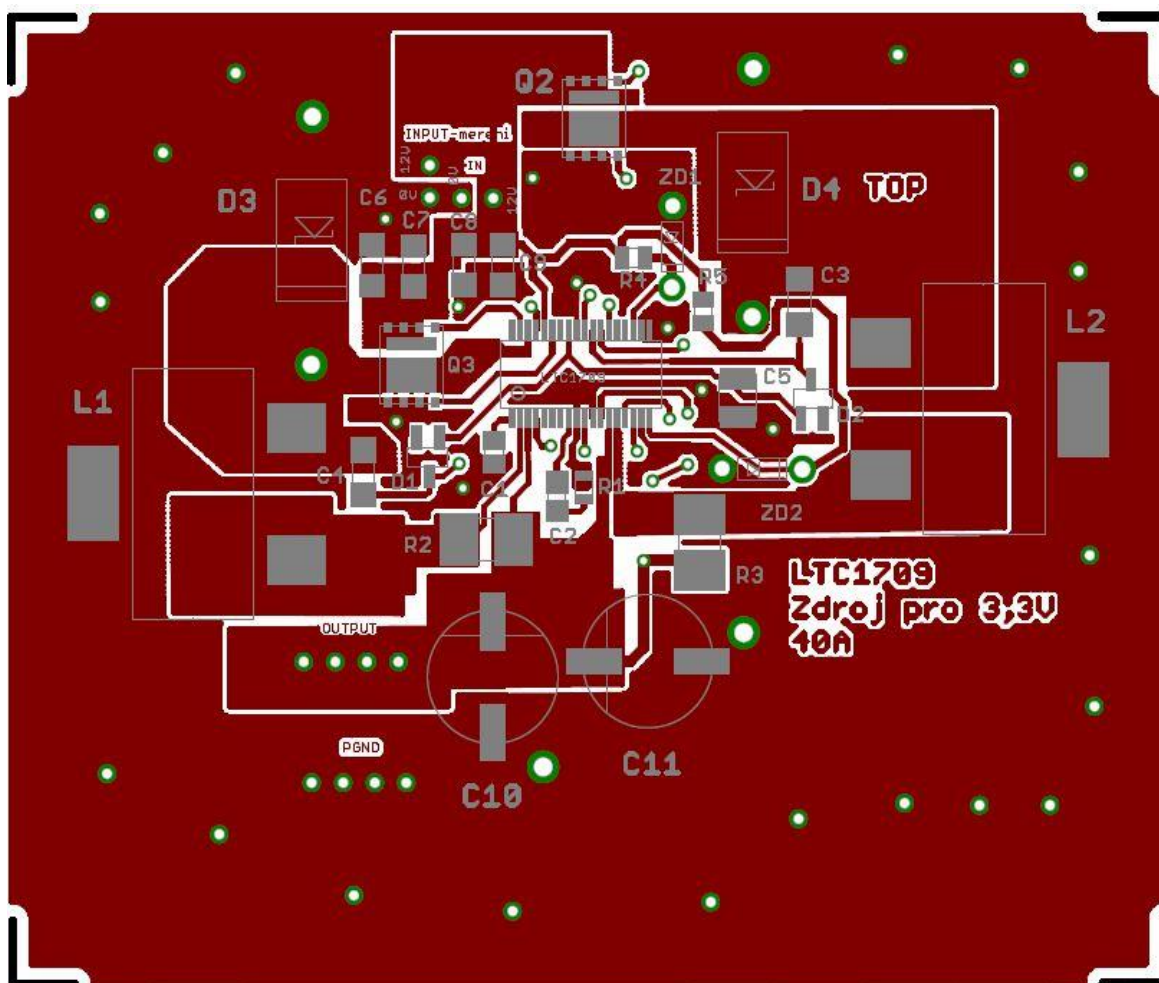


Obr. 37 Schéma zapojení LTC1709 pro vytvoření DPS



Obr. 38 Layout měniče LTC1709 ze strany BOTTOM

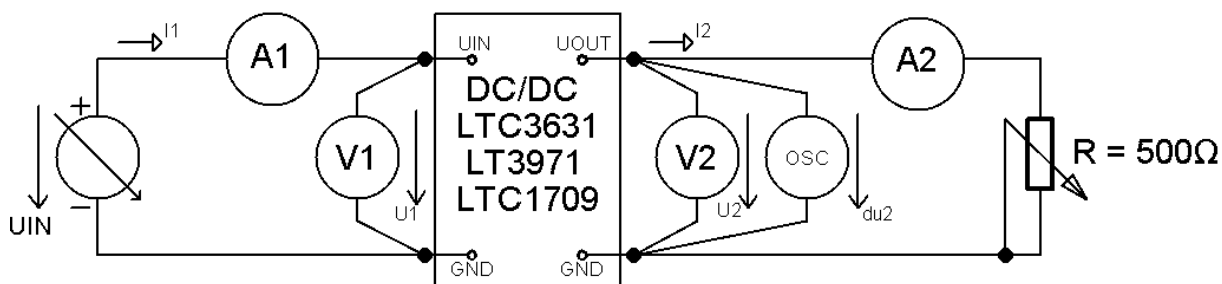
pro DC/DC měniče s výstupním napětím 3,3V



Obr. 39 Layout měniče LTC1709 ze strany TOP o velikosti 92,7x76,2

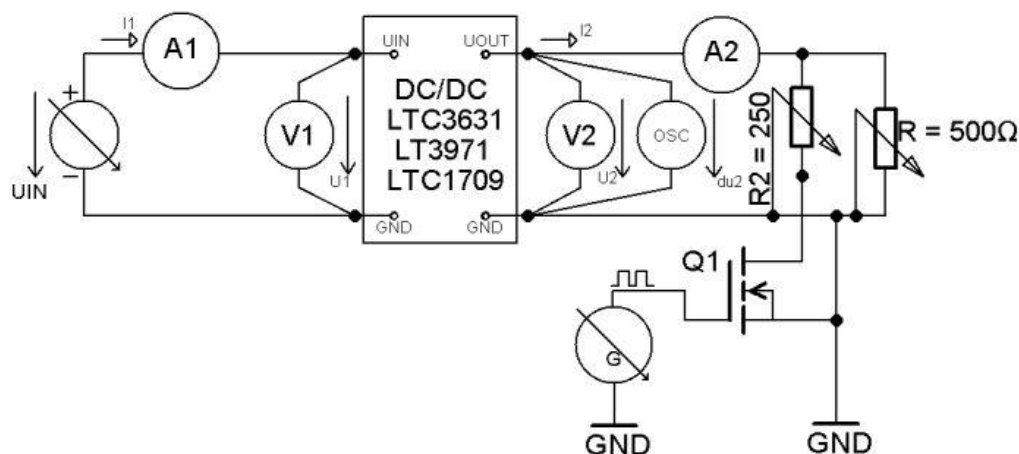
11. Měření statických a dynamických vlastností vyrobených prototypů desek plošných spojů

11.1 Schéma zapojení statického a dynamického měření vyrobených prototypů



Obr. 40 Schéma zapojení měření statických vlastností

pro DC/DC měniče s výstupním napětím 3,3V



Obr. 41 Schéma zapojení měření dynamických vlastností

11.1.1 Použité měřicí přístroje

Multimetr METEX M-4660A – použity 2 tyto multimetry pro měření proudu

Multimetr MASTECH MS8221C - použity 2 tyto multimetry pro měření napětí

Osciloskop KORAD KA3005D -3S

Zdroj napětí TEKTRONIX TDS 1002

Posuvné odpory 5,5Ω, 250Ω a 500Ω

11.1.2 Postup měření

Statické vlastnosti byly měřeny pro tři hodnoty vstupních napětí. Pro každou hodnotu vstupního napětí se měnil zatěžovací odpor R od nejvyšší hodnoty po nejnižší. Tímto se nastavil výstupní zatěžovací proud I_2 . Pro každý zatěžovací proud se sledovaly vstupní hodnoty napětí a proudu. Rovněž se sledovala výstupní hodnota napětí. V tabulkách níže jsou zachyceny spočítané příkony, výkony, a účinnost. Dynamické vlastnosti byly zapojeny dle schématu (viz **Obr. 41**). Na generátoru byl nastaven obdélníkový signál. Pro začátek obdélníkového signálu od nuly, byl na generátoru nastaven offset. Tento signál spíná tranzistor MOSFET Q1 proti zemi. Dále připojuje odpor R_2 k zemi a tento odpor řadí paralelně k rezistoru R. Změnou odporů je nastaven průběh (viz **Obr. 44**). Po zhodnocení naměřeného výsledku byly odpojeny proměnné odpory. Poté následně změřeny hodnoty těchto odporů.

pro DC/DC měniče s výstupním napětím 3,3V

11.1.3 Tabulky naměřených hodnot pro LTC3631**Tab. 4** Naměřené a vypočtené hodnoty statického měření obvodu LTC3631pro $U_{IN}=5V$

$U_{IN} = 5V$ $R=500\Omega$																
$U_1[V]$	5,08	5,06	5,04	5,01	4,98	4,95	4,92	4,93	4,97	5,01	5,04	5,06	5,06	5,08		
$I_1[mA]$	5,12	12,64	20,1	27,8	36,4	45,1	55,5	51,7	41,8	30,1	20,7	13,52	12,05	6,88		
$U_2[V]$	3,302	3,303	3,302	3,298	3,293	3,287	3,28	2,756	2,172	1,492	0,949	0,546	0,469	0,209		
$I_2[mA]$	6,93	17,06	27	37,1	47,9	58,4	70,7	75,9	74,6	73,2	71,4	68,8	67,6	59,5		
ΔU_2 [mV]	78	80	90	98	112	124	138	136	140	138	144	156	156	178		
P_1 [mW]	26,01	63,96	101,30	139,28	181,27	223,25	273,06	254,88	207,75	150,80	104,33	68,41	60,97	34,95		
P_2 [mW]	22,88	56,35	89,15	122,36	157,73	191,96	231,9	209,18	162,03	109,21	67,76	37,56	31,70	12,44		
$\eta[\%]$	87,98	88,10	88,01	87,85	87,02	85,99	84,92	82,07	77,99	72,42	64,95	54,91	52,00	35,58		

Tab. 5 Naměřené a vypočtené hodnoty statického měření pro $U_{IN}=12V$ pro obvod

LTC3631

$U_{IN}=12V$ $R=500\Omega$																	
$U_1[V]$	12,06	12,05	12,03	12,02	12,01	12	11,98	11,98	12	11,95	11,95	11,96	11,99	12,01	12,03	12,04	12,05
$I_1[mA]$	2,54	6,16	9,84	13,37	17,72	21,4	26,2	29,5	33,1	37,3	39,5	32,8	26	19,5	14,12	8,04	5,49
$U_2[V]$	3,32	3,323	3,326	3,328	3,33	3,33	3,33	3,329	3,328	3,327	3,263	2,591	2,024	1,47	1,009	0,501	0,302
$I_2[mA]$	6,97	16,96	27	36,7	48,6	59	72,1	81	90,7	101,6	109,8	111,3	109,2	106,5	103,1	96,6	87,7
ΔU_2 [mV]	138	144	148	154	160	166	176	180	190	198	202	194	198	202	220	254	276
P_1 [mW]	30,63	74,23	118,38	160,71	212,82	256,80	313,88	353,41	397,20	445,74	472,03	392,29	311,74	234,20	169,86	96,8	66,15
P_2 [mW]	23,14	56,36	89,80	122,14	161,84	196,47	240,09	269,65	301,85	338,02	358,28	288,38	221,02	156,56	104,03	48,4	26,49
$\eta[\%]$	75,54	75,93	75,86	76,00	76,05	76,51	76,49	76,30	75,99	75,84	75,90	73,51	70,90	66,85	61,24	50,0	40,04

pro DC/DC měniče s výstupním napětím 3,3V

Tab. 6 Naměřené a vypočtené hodnoty statického měření pro $U_{IN}=24V$ pro obvod LTC3631

$U_{IN}=24V$ $R=500\Omega$																
$U_1[V]$	23,99	23,98	23,97	23,97	23,96	23,95	23,95	23,94	23,93	23,92	23,93	23,95	23,96	23,97	23,98	23,98
$I_1[mA]$	1,5	3,58	5,81	7,77	10,16	12,14	14	16,77	18,85	20,7	18,9	14,11	10,81	7,6	4,29	2,95
$U_2[V]$	3,352	3,356	3,361	3,361	3,359	3,358	3,356	3,348	3,335	3,292	2,849	2,047	1,512	0,997	0,475	0,28
$I_2[mA]$	7,04	16,93	27,4	36,8	48,3	57,8	66,9	80,5	91,1	102,7	106,6	104,3	102	98,5	91,4	82,4
$\Delta U_2[mV]$	208	214	216	220	212	206	212	206	196	194	186	190	194	206	240	264
$P_1[W]$	35,99	85,85	139,27	186,25	243,43	290,75	335,30	401,47	451,08	495,14	452,28	337,93	259,01	182,17	102,87	70,74
$P_2[W]$	23,60	56,82	92,09	123,68	162,24	194,09	224,52	269,51	303,82	338,09	303,70	213,50	154,22	98,20	43,42	23,07
$\eta[\%]$	65,58	66,18	66,13	66,41	66,65	66,76	66,96	67,13	67,35	68,28	67,15	63,18	59,54	53,91	42,20	32,61

11.1.4 Vypočtené hodnoty pro LTC3631

$$\eta = \frac{P_2}{P_1} \cdot 100 = \frac{22,883mW}{26,0096mW} \cdot 100 = 87,98\% \quad (19)$$

$$P_2 = U_2 \cdot I_2 = 3,32V \cdot 6,93mA = 22,883mW \quad (20)$$

$$P_1 = U_1 \cdot I_1 = 5,08V \cdot 5,12mA = 26,0096mW \quad (21)$$

$$I_{RMS}(U_{IN} = 24V) = I_{2(MAX)} \cdot \frac{U_{OUT}}{U_{IN}} \cdot \sqrt{\frac{U_{IN}}{U_{OUT}} - 1} = 100mA \cdot \frac{3,3V}{24V} \cdot \sqrt{\frac{24V}{3,3V} - 1} = 34,44mA \quad (22)[13]$$

$$\Delta U_2 = \left(\frac{I_{PEAK}}{2} - I_{load} \right) \cdot \frac{4 \cdot 10^{-6}}{C_{OUT}} + \frac{U_{OUT}}{160} = \left(\frac{225mA}{2} - 0 \right) \cdot \frac{4 \cdot 10^{-6}}{10 \cdot 10^{-6}} + \frac{3,3V}{160} = 65,625mV \quad (23)[13]$$

$$L = \left(\frac{U_{OUT}}{f \cdot I_{PEAK}} \right) \cdot \left(1 - \frac{U_{OUT}}{U_{IN}} \right) = \left(\frac{3,3V}{250kHz \cdot 225mA} \right) \cdot \left(1 - \frac{3,3V}{24V} \right) = 50,887\mu H \quad (24)[13]$$

$$C_{OUT} > 50 \cdot L \cdot \left(\frac{I_{PEAK}}{U_{OUT}} \right)^2 = 50 \cdot 50,887\mu H \cdot \left(\frac{225mA}{3,3V} \right)^2 = 11,828\mu F \quad (25)[13]$$

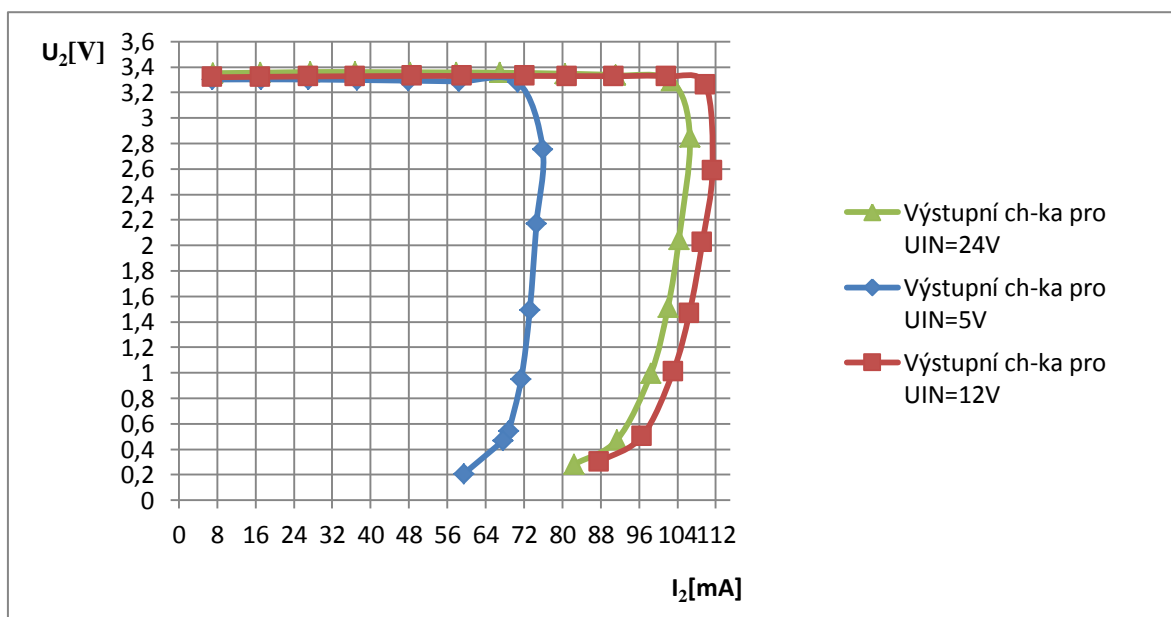
C_{IN} se volí dle velikosti I_{RMS} , aby ESR bylo co nejmenší zvlnění

Pro výpočet výstupního zpětnovazebního děliče se zvolí $R_2=240k\Omega$, poté

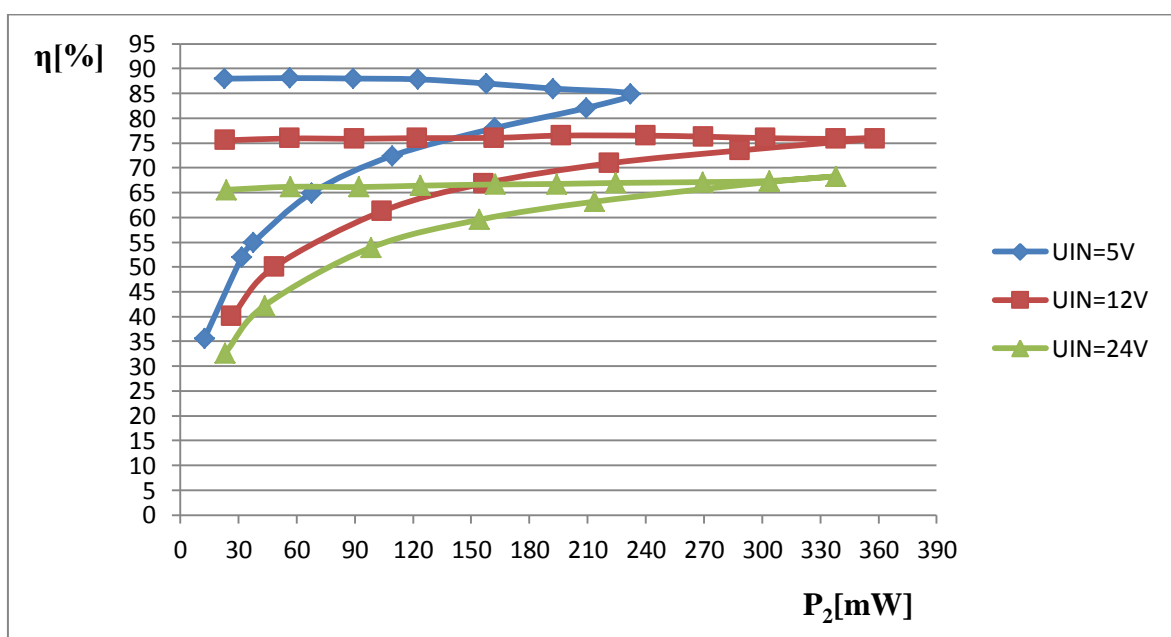
$$U_{R2} = \frac{U_{OUT}}{R_1+R_2} \cdot R_2 \Rightarrow R_1 = \left(\frac{U_{OUT}}{0,8} - 1 \right) \cdot R_2 \Rightarrow \left(\frac{3,3V}{0,8} - 1 \right) \cdot 240k\Omega = 750k\Omega \quad (26)[13]$$

pro DC/DC měniče s výstupním napětím 3,3V

11.1.5 Grafy závislostí a průběh pro dynamické zatížení pro LTC3631

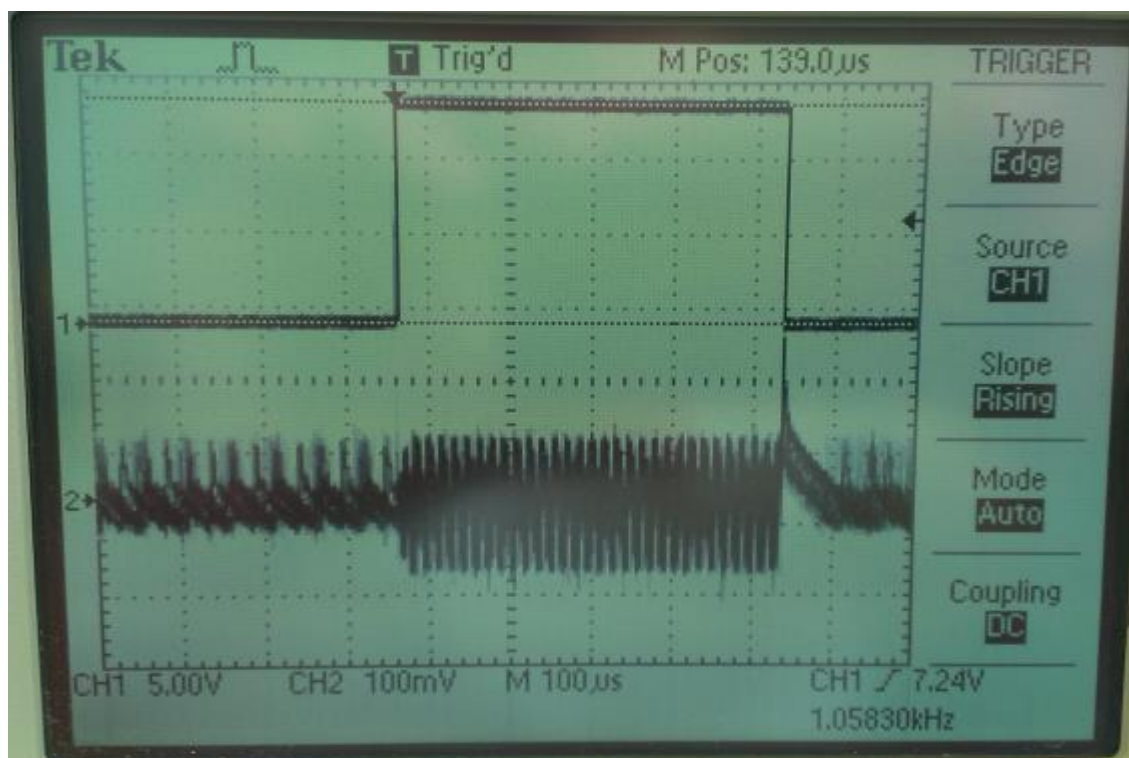


Obr. 42 Závislost výstupního napětí U_2 na výstupním proudu I_2 pro LTC3631



Obr. 43 Závislost účinnosti η [%] na výkonu P_2 pro LTC3631

pro DC/DC měniče s výstupním napětím 3,3V



Obr. 44 Dynamické vlastnosti LTC3631

11.1.6 Tabulky naměřených hodnot pro LTC1709

Tab. 7 Naměřené a vypočtené hodnoty statického měření pro $U_{IN}=5,7V$ pro obvod LTC1709

$U_{IN}=5,7V$ $R=5,5\Omega$																
$U_1[V]$	5,639	5,612	5,576	5,543	5,504	5,465	5,422	5,377	5,342	5,312	5,254	5,189	5,12	4,903	4,68	
$I_1[A]$	0,597	0,856	1,19	1,495	1,862	2,23	2,61	3,05	3,37	3,63	4,18	4,76	5,401	6,04	6,93	
$U_2[V]$	3,44	3,44	3,438	3,437	3,433	3,429	3,426	3,426	3,426	3,425	3,423	3,418	3,416	3,405	3,392	
$I_2[A]$	0,605	1,004	1,525	1,99	2,54	3,1	3,68	4,25	4,72	5,1	5,84	6,64	7,2	8,05	8,88	
$\Delta U_2[mV]$	81,6	98,4	98,4	98,4	105	105	114	114	122	122	130	130	130	130	130	
$P_1[W]$	3,37	4,80	6,64	8,29	10,25	12,19	14,15	16,40	18,00	19,28	21,96	24,70	27,65	29,61	32,43	
$P_2[W]$	2,08	3,45	5,24	6,84	8,72	10,63	12,61	14,56	16,17	17,47	19,99	22,70	24,60	27,41	30,12	
$\eta[\%]$	61,82	71,90	79,01	82,54	85,08	87,22	89,09	88,78	89,82	90,59	91,02	91,89	88,94	92,56	92,87	

pro DC/DC měniče s výstupním napětím 3,3V

Tab. 8 Naměřené a vypočtené hodnoty statického měření pro $U_{IN}=12V$ pro obvod LTC1709

$U_{IN} = 12V$ $R = 5,5\Omega$									
$U_1[V]$	12,034	12,019	12,001	11,984	11,963	11,929	11,906	11,88	11,84
$I_1[A]$	0,637	0,761	0,92	1,057	1,236	1,41	1,593	1,786	2,1
$U_2[V]$	3,499	3,497	3,496	3,494	3,494	3,494	3,493	3,486	3,473
$I_2[A]$	0,618	1,013	1,531	2,01	2,58	3	3,55	4,35	5,18
$P_1[W]$	7,67	9,15	11,04	12,67	14,79	16,82	18,97	21,22	24,86
$P_2[W]$	2,16	3,54	5,35	7,02	9,01	10,48	12,40	15,16	17,99
$\eta[\%]$	28,21	38,73	48,48	55,44	60,97	62,32	65,38	71,47	72,35

Tab. 9 Naměřené a vypočtené hodnoty statického měření pro $U_{IN}=24V$ pro obvod LTC1709

$U_{IN} = 24V$ $R = 5,5\Omega$									
$U_1[V]$	24,06	24,04	24,04	24,03	24,02	24,02	24	24	23,98
$I_1[A]$	0,355	0,423	0,466	0,518	0,563	0,601	0,647	0,698	0,783
$U_2[V]$	3,495	3,5	3,503	3,5	3,5	3,5	3,5	3,5	3,5
$I_2[A]$	0,612	1,009	1,24	1,526	1,8	2,02	2,29	2,61	3,11
$\Delta U_2[mV]$	352	356	372	372	372	372	372	372	372
$P_1[W]$	8,54	10,17	11,20	12,45	13,52	14,44	15,53	16,75	18,78
$P_2[W]$	2,14	3,53	4,34	5,34	6,30	7,07	8,02	9,14	10,89
$\eta[\%]$	25,04	34,73	38,77	42,91	46,59	48,97	51,62	54,53	57,97

11.1.7 Vypočtené hodnoty pro LTC1709

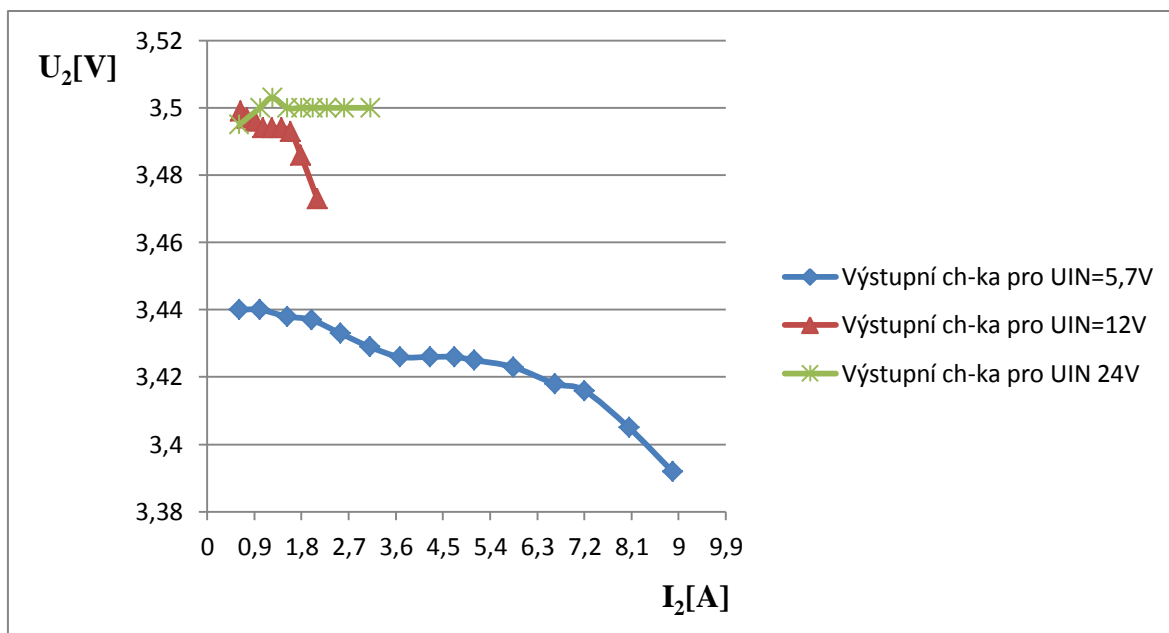
$$\Delta I_L = \left(\frac{U_{OUT}}{f \cdot L}\right) \cdot \left(1 - \frac{U_{OUT}}{U_{IN}}\right) \Rightarrow L = \left(\frac{3,5V}{300kHz \cdot 30\% \cdot 20A}\right) \left(1 - \frac{3,5V}{24V}\right) = 1,66\mu H$$

$$R_{SENSE} = \frac{50mV}{I_{MAX} + \Delta I_{RIPPLE}} = 0,0018\Omega$$

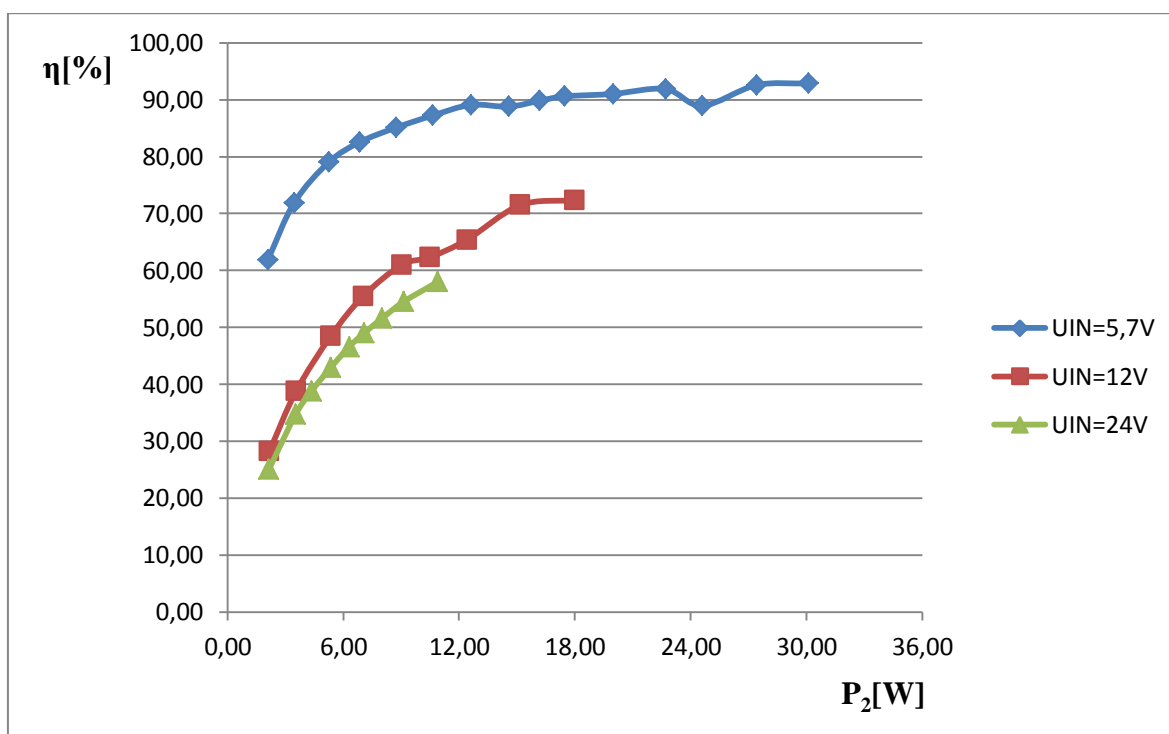
$$D = \frac{U_{OUT}}{U_{IN}} = \frac{3,5V}{24V} = 0,146$$

$$\Delta I_{RIPPLE} = \left(\frac{2 \cdot U_{OUT}}{f \cdot L}\right) \cdot \left(\frac{(1-2 \cdot D) \cdot (1-D)}{(1-2 \cdot D)+1}\right) = \left(\frac{2 \cdot 3,5V}{300kHz \cdot 1\mu H}\right) \cdot \left(\frac{(1-2 \cdot 0,146) \cdot (1-0,146)}{(1-2 \cdot 0,146)+1}\right) = 8,26A$$

pro DC/DC měniče s výstupním napětím 3,3V



Obr. 45 Závislost výstupního napětí U_2 na výstupním proudu I_2 pro LTC1709



Obr. 46 Závislost účinnosti η [%] na výkonu P_2 pro LTC1709

Závěr

Cílem této bakalářské práce bylo pochopit problematiku snižujících DC/DC měničů. Pro naplnění tohoto cíle bylo zvoleno sedm řídicích obvodů pro snižující DC/DC měniče. Z těchto sedmi řídicích obvodů byly zvoleny tři snižující DC/DC měniče LTC3631-3,3, LT3971 a LTC1709 od společnosti Linear Technology. Pro měniče LT3971 a LTC1709 byly vytvořeny návrhy desek plošných spojů a následně vyrobeny prototypy těchto desek. Pro měnič LTC3631-3,3 nebyl vytvořen návrh desky plošného spoje. Vzhledem k jeho jednoduchosti byl prototyp pouze umístěn na univerzální desku plošného spoje. Poté došlo k oživení všech třech prototypů a k následnému změření velikosti účinnosti při statickém zatěžování.

Po provedení měření měniče LTC3631 byly zjištěny následující skutečnosti. Při překročení maximálního dodávaného výstupního proudu pro dané vstupní napětí, výstupní napětí prudce klesalo. Řídicí obvod LTC3631 se v tomto případě pokoušel dodávat konstantní výstupní proud do zátěže. Měnič LTC3631 vykazoval při malém zatížení velkou účinnost a to až 88% při vstupním napětí $U_{IN} = 5V$. Zvýšením vstupního napětí při malém zatížení vykazoval měnič menší účinnost než v předchozím případě. Měření výstupního zvlněného napětí ukázalo, že při zvyšující se zátěži, se toto zvlnění zvyšovalo. Při změně vstupního napětí U_{IN} se prokázalo vyšší zvlnění než v předchozím případě při jiné hodnotě U_{IN} . Dynamické vlastnosti měniče LTC3631 ukázaly, že při zvýšení odběru proudu se zvýšila frekvence spínání vnitřních MOSFET tranzistorů. Následně LTC3631 reguloval hodnotu proudu pro danou velikost zátěže. Při rozepnutí tranzistoru byl zjištěn překmit, který představoval regulaci napětí na vyšší hodnotu odběru zátěže. Výše zmíněné dynamické vlastnosti měniče se na osciloskopu zobrazily změnou zatěžovacího odporu.

Měnič LTC1709 se před měřením statických vlastností nepodařilo správně oživit. Při zkoumání důsledků bylo zjištěno, že docházelo k částečnému překrytí spínacích signálů tranzistorů. Tedy, že druhý tranzistor sepnul dříve, než sepnul první. Tento jev se projevil jako velké oteplení tranzistoru. Při vstupním napětí $U_{IN} = 5,7V$ a zátěži $R=5,5\Omega$ při měření statického zatížení jevil měnič známky funkce. Změřené výstupní zvlnění bylo ale nestálé a kmitavé. Z toho důvodu se nedalo správným způsobem změřit výstupní zvlnění. Zvýšením napětí $U_{IN}=12V$ tento obvod rovněž fungoval. Byl namáhán menším proudem z důvodu daleko vyššího oteplení tranzistorů. Zvlněné výstupní napětí nebylo možné změřit.

pro DC/DC měniče s výstupním napětím 3,3V

Průběhy zvlnění na osciloskopu se nedařilo stabilizovat, jelikož byly příliš kmitavé. Při dalším zvýšení napětí $U_{IN}=24V$ bylo zaznamenáno mnohem vyšší oteplení tranzistorů. V tomto případě bylo ale možné zvlněné napětí stabilizovat a změřit. Měření dynamických vlastností nebylo provedeno z důvodu špatné funkce měniče, na kterou již dříve ukazovalo příliš kmitavé a nestálé zvlnění výstupního napětí. Důsledkem špatné funkce měniče byl nejspíš s největší pravděpodobností chybný návrh desky plošného spoje zapříčiněný nedostatkem zkušeností s touto problematikou. Dle mého mínění byl problém funkce měniče způsoben především dlouhými vodivými cestami a špatným umístěním zemnění. K napravení těchto chyb mohlo být využito možnosti vyrobení dalšího vzorku desky plošného spoje, na jehož vyrobení byl bohužel nedostatek času.

Měnič LT3971 se před měřením statických vlastností nepodařilo oživit. Měnič měl na svém výstupu napětí 3,3V. Při zatížení nedodával proud 1,3A dle datového listu. Po zvýšení zatížení dodával maximálně 20mA. Při zkoumání důsledků bylo zjištěno, že obvod pracuje pouze na frekvenci 100kHz místo 800kHz, i přestože byla rezistorem nastavena o velikosti 49,9k Ω dle tabulky v datovém listu. Tato frekvence byla měřena z průběhu podobnému sekvenčnímu režimu na základě datového listu. Dle mého mínění byla dále chyba i ve zpětnovazební smyčce.

I přes vyskytnuté problémy při měření mohu konstatovat, že cíl bakalářské práce byl splněn.

Seznam literatury

- [1] ABEL, Martin. Plošné spoje se SMD, návrh a konstrukce. 1. vyd. Pardubice: Nakladatelství Platan, 2000, 217 s. ISBN 80-902733-2-7.
- [2] Baba, David. Benefits of a multiphase buck converter. In: ti.com [online]. Texas Instruments, 2012. Dostupné z: <http://www.ti.com/lit/an/slyt449/slyt449.pdf>
- [3] BENDA, Vítězslav, PAPEŽ, Václav. Elektrotechnické komponenty výkonové elektrotechniky. 1. vyd. Praha: Nakladatelství ČVUT, 2006, 194 s. ISBN 80-010-3518-2
- [4] Cross-section of a typical planar power MOSFET. In: International Rectifier [online]. International Rectifier © 1995 – 2014. [25. 5. 2014]. Dostupné z: <http://www.irf.com/electronics/active-components>
- [5] D-MOS structure. In: Circuits today [online]. Circuits today © 2007–2011. [25.5.2014]. Dostupné z: <http://www.circuitstoday.com/double-diffused-mos-dmos>
- [6] FAKTOR, Zdeněk. Transformátory a tlumivky pro spínané zdroje. 1. Vyd. Praha: BEN. 2002, 248 s. ISBN 80-86056-91-0
- [7] HAMMERMBAUER, Jiří. Elektronické napájecí zdroje a akumulátory. 2.vyd. Plzeň: Vydavatelství ZČU, 1998, 181 s. ISBN 80-7082-411-5.
- [8] KLEIN, John. “Shoot-through” in Synchronous Buck Converters. In: <http://www.fairchildsemi.com/> [online]. Fairchild Semiconductor Corporation, 2003. [3.11.20013]. Dostupné z: <http://www.fairchildsemi.com/an/AN/AN-6003.pdf>

pro DC/DC měniče s výstupním napětím 3,3V

- [9] KREJČIŘÍK, Alexandr. Napájecí zdroje I: Základní zapojení analogových a spínaných napájecích zdrojů. 2. vyd. Praha: BEN, 1997, 341 s. ISBN 80-860-5602-3.
- [10] KREJČIŘÍK, Alexandr. Napájecí zdroje III: Pasivní součástky v napájecích zdrojích a preregulátory – aktivní harmonické filtry. 1. vyd. Praha: BEN, 1999, 349 s. ISBN 80-8605602-56-2.
- [11] KREJČIŘÍK, Alexandr. *DC/DC měniče*. 1. vyd. Praha: BEN - technická literatura, 2001, 111 s. ISBN 80-247-9062-9.
- [12] KREJČIŘÍK, Alexandr. Napájecí zdroje II: Integrované obvody ve spínaných zdrojích. 2. vyd. Praha: BEN, 1997, 341 s. ISBN 80-85056-03-1.
- [13] Linear technology [online]. Datasheets by LT3971, LTC1709, LTC3631, LT1616, LT3510, LTC3829, LTC3854. [25.5.2014].
Dostupné z: <http://cds.linear.com/docs/en/datasheet/3971af.pdf>
<http://cds.linear.com/docs/en/datasheet/1709f.pdf>
<http://cds.linear.com/docs/en/datasheet/3631fe.pdf>
<http://cds.linear.com/docs/en/datasheet/lt1616fs.pdf>
<http://cds.linear.com/docs/en/datasheet/3510fe.pdf>
<http://cds.linear.com/docs/en/datasheet/3829fa.pdf>
<http://cds.linear.com/docs/en/datasheet/3854fb.pdf>
- [14] Nowakowski Rich, Ning Tang. Efficiency of synchronous versus nonsynchronous buck converters. In: www.ti.com [online]. Texas Instruments, 2009. [3.11.2013].
Dostupné z: <http://www.ti.com/lit/an/slyt358/slyt358.pdf>
- [15] PINKER, Jiří, KOUCKÝ, Václav. Analogové elektronické systémy 1. část a 2. část. 4. vyd. Plzeň: Vydavatelství ZČU, 2010, 328 s. ISBN 978-80-7043-917-3

pro DC/DC měniče s výstupním napětím 3,3V

- [16] ROBINSON, Sam. Cycle-by-Cycle: Current Limiting Eases Design of Motor Drives. In: Power electronics [online]. Sam Davis. 1. 11. 2008. [25.5.2014].
Dostupné z: <http://powerelectronics.com/power-management/cycle-cycle-current-limiting-eases-design-motor-drives>
- [17] SAEGO, Jon. OPTI-LOOP Architecture Reduces Output Capacitance and Improves Transient Response. In: linear.com [online]. Linear technology Corporation, 1999. [25. 5. 2014].
Dostupné z: <http://cds.linear.com/docs/en/application-note/an76.pdf>
- [18] Spol. ON Semiconductor. LC Selection Guide for the DC-DC Synchronous Buck Converter, In: <http://www.onsemi.com> [online]. ON Semiconductor, 2013. [3.11.2013].
Dostupné z: http://www.onsemi.com/pub_link/Collateral/AND9135-D.PDF
- [19] VOBECKÝ, Jan, ZÁHLAVA, Vít. Elektronika součástky a obvody, principy a příklady. 1. vyd. Praha: Granada Publishing, 2000, 180 s. ISBN 978-80-7043-917-3
- [20] Wei Chan. High Efficiency, High Density, PolyPhase Converters for High Current Applications. In: cds.linear.com [online]. Linear technology Corporation, 1999.
Dostupné z: <http://cds.linear.com/docs/en/application-note/an77f.pdf>
- [21] YU, Gorge. Use Bootstrap Cell Circuits To Generate Multiple Voltages. In: Electronic design [online]. Nancy Friedrich. 14. 2. 2008. [25. 5. 2014].
Dostupné z: <http://electronicdesign.com/power/use-bootstrap-cell-circuits-generate-multiple-voltages>

pro DC/DC měniče s výstupním napětím 3,3V

- [22] YU, Gorge. Use Bootstrap Cell Circuits To Generate Multiple Voltages. In: Electronic design [online]. Nancy Friedrich. 14. 2. 2008. [25. 5. 2014]. Dostupné z: <http://electronicdesign.com/power/use-bootstrap-cell-circuits-generate-multiple-voltages>
- [23] WRONG, L.K., MAN, T.K.. How to best implement a synchronous buck converter. In: www.eetimes.com [online]. Patrick Mannion, 2008.[1. 6. 2014]. Dostupné z: http://www.eetimes.com/document.asp?doc_id=1273245
- [24] ZÁHLAVA, Vít. Návrh a konstrukce DPS: Principy a pravidla praktického návrhu. 1. vyd. Praha: BEN, 2010, 123 s. ISBN 978-80-7300-266-4.

Přílohy

Příloha A

LTC3631



FEATURES

- **Wide Input Voltage Range: Operation from 4.5V to 45V**
- **Overvoltage Lockout Provides Protection Up to 60V**
- **Internal High Side and Low Side Power Switches**
- **No Compensation Required**
- **100mA Output Current**
- **Low Dropout Operation: 100% Duty Cycle**
- **Low Quiescent Current: 12µA**
- 0.8V ±1% Feedback Voltage Reference
- Adjustable Peak Current Limit
- Internal and External Soft-Start
- Precise RUN Pin Threshold with Adjustable Hysteresis
- 3.3V, 5V and Adjustable Output Versions
- Only Three External Components Required for Fixed Output Versions
- Low Profile (0.75mm) 3mm × 3mm DFN and Thermally-Enhanced MS8E Packages

APPLICATIONS

- 4mA to 20mA Current Loops
- Industrial Control Supplies
- Distributed Power Systems
- Portable Instruments
- Battery-Operated Devices
- Automotive Power Systems

DESCRIPTION

The LTC3631 is a high voltage, high efficiency step-down DC/DC converter with internal high side and synchronous power switches that draws only 12µA typical DC supply current at no load while maintaining output voltage regulation.

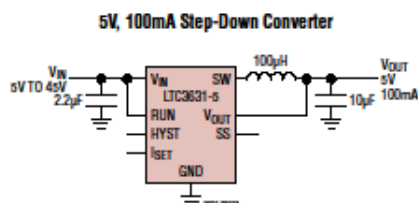
The LTC3631 can supply up to 100mA load current and features a programmable peak current limit that provides a simple method for optimizing efficiency in lower current applications. The LTC3631's combination of Burst Mode[®] operation, integrated power switches, low quiescent current, and programmable peak current limit provides high efficiency over a broad range of load currents.

With its wide 4.5V to 45V input range and internal overvoltage monitor capable of protecting the part from 60V surges, the LTC3631 is a robust converter suited for regulating a wide variety of power sources. Additionally, the LTC3631 includes a precise run threshold and a soft-start feature to guarantee that power system start-up is well-controlled in any environment.

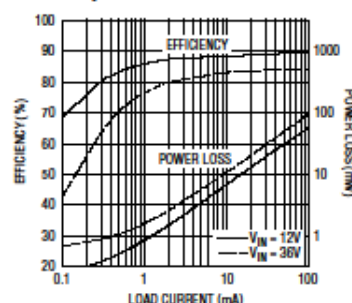
The LTC3631 is available in the thermally enhanced 3mm × 3mm DFN and MS8E packages.

LT, LT, LTC, LTM, Burst Mode, Linear Technology and the Linear logo are registered trademarks and ThinSOT is a trademark of Linear Technology Corporation. All other trademarks are the property of their respective owners.

TYPICAL APPLICATION



Efficiency and Power Loss vs Load Current



For more information www.linear.com/LTC3631

3631ba
1

Příloha B

LT3971



FEATURES

- **Ultralow Quiescent Current:**
2.8µA I_Q Regulating 12V_{IN} to 3.3V_{OUT}
- **Fixed Output Voltages:** 3.3V, 5V,
2.1µA I_Q Regulating 12V_{IN} to 3.3V_{OUT}
- **Low Ripple Burst Mode® Operation:**
Output Ripple < 15mV_{P-P}
- **Wide Input Voltage Range:** 4.3V to 38V
- **1.2A Maximum Output Current**
- **Adjustable Switching Frequency:** 200kHz to 2MHz
- **Synchronizable Between 250kHz to 2MHz**
- **Fast Transient Response**
- Accurate 1V Enable Pin Threshold
- Low Shutdown Current: $I_Q = 700nA$
- Power Good Flag
- Soft-Start Capability
- Internal Compensation
- Output Voltage: 1.19V to 30V
- Small Thermally Enhanced 10-Lead MSOP, 16-Lead MSOP and (3mm × 3mm) DFN Packages

APPLICATIONS

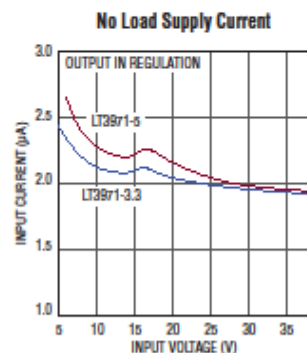
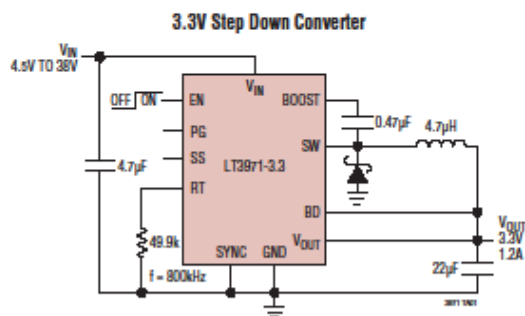
- Automotive Battery Regulation
- Power for Portable Products
- Industrial Supplies

DESCRIPTION

The LT[®]3971 is an adjustable frequency monolithic buck switching regulator that accepts a wide input voltage range up to 38V. Low quiescent current design consumes only 2.8µA of supply current while regulating with no load. Low ripple Burst Mode operation maintains high efficiency at low output currents while keeping the output ripple below 15mV in a typical application. An internally compensated current mode topology is used for fast transient response and good loop stability. A high efficiency 0.33Ω switch is included on the die along with a boost Schottky diode and the necessary oscillator, control and logic circuitry. An accurate 1V threshold enable pin can be used to shut down the LT3971, reducing the input supply current to 700nA. A capacitor on the SS pin provides a controlled inrush current (soft-start). A power good flag signals when V_{OUT} reaches 91% of the programmed output voltage. The LT3971 is available in small 10-lead MSOP and 3mm × 3mm DFN packages with exposed pads for low thermal resistance. A 16-lead MSOP is also offered which has enhanced pin-to-pin fault tolerance.

LT, LT, LTC, LTM, Linear Technology, the Linear logo and Burst Mode are registered trademarks of Linear Technology Corporation. All other trademarks are the property of their respective owners.

TYPICAL APPLICATION



Příloha C

LTC1709



FEATURES

- Two Output Stages Operate Antiphase Reducing Input Capacitance and Power Supply Noise
- 5-Bit VID Control (VRM 8.4 Compliant)
 V_{OUT} : 1.3V to 3.5V in 50mV/100mV Steps
- Current Mode Control Ensures Current Sharing
- True Remote Sensing Differential Amplifier
- OPTI-LOOP™ Compensation Minimizes C_{OUT}
- Programmable Fixed Frequency: 150kHz to 300kHz—Effective 300kHz to 600kHz Switching Frequency
- ±1% Output Voltage Accuracy
- Wide V_{IN} Range: 4V to 36V Operation
- Adjustable Soft-Start Current Ramping
- Internal Current Foldback
- Short-Circuit Shutdown Timer with Defeat Option
- Overshoot Soft-Latch Eliminates Nuisance Trips
- Low Shutdown Current: 20µA
- Small 36-Lead Narrow (0.209") SSOP Package

APPLICATIONS

- Desktop Computers
- Internet/Network Servers
- Large Memory Arrays
- DC Power Distribution Systems
- Battery Chargers

DESCRIPTION

The LTC®1709 is a 2-phase, VID programmable, synchronous step-down switching regulator controller that drives all N-channel external power MOSFET stages in a fixed frequency architecture. The 2-phase controller drives its two output stages out of phase at frequencies up to 300kHz to minimize the RMS ripple currents in both input and output capacitors. The 2-phase technique effectively multiplies the fundamental frequency by two, improving transient response while operating each channel at a optimum frequency for efficiency. Thermal design is also simplified.

An internal differential amplifier provides true remote sensing of the regulated supply's positive and negative output terminals as required in high current applications.

The RUN/SS pin provides soft-start and optional timed, short-circuit shutdown. Current foldback limits MOSFET dissipation during short-circuit conditions when overcurrent latchoff is disabled. OPTI-LOOP compensation allows the transient response to be optimized for a wide range of output capacitors and ESR values.

LT, LTC and LT are registered trademarks of Linear Technology Corporation. OPTI-LOOP is a trademark of Linear Technology Corporation.

TYPICAL APPLICATION

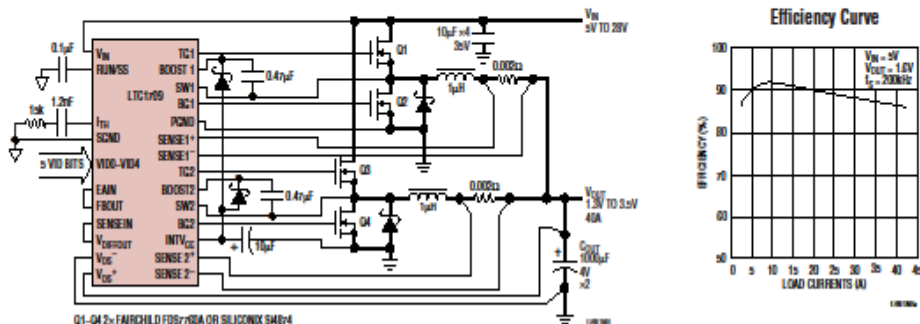


Figure 1. High Current 2-Phase Step-Down Converter



Příloha D

LTC1616



FEATURES

- **Wide Input Range: 3.6V to 25V**
- 5V at 400mA from 7V to 25V Input
- 3.3V at 400mA from 4.7V to 25V Input
- Fixed Frequency 1.4MHz Operation
- Uses Tiny Capacitors and Inductors
- Internally Compensated
- Low Shutdown Current: <1 μ A
- Low V_{CESAT} Switch: 220mV at 300mA
- Tiny 6-Lead SOT-23 Package

APPLICATIONS

- Wall Transformer Regulation
- Local Logic Supply Conversion:
12V to 5V
12V or 5V to 3.3V, 2.5V or 1.8V
- Distributed Supply Regulation
- Digital Cameras
- Battery-Powered Equipment

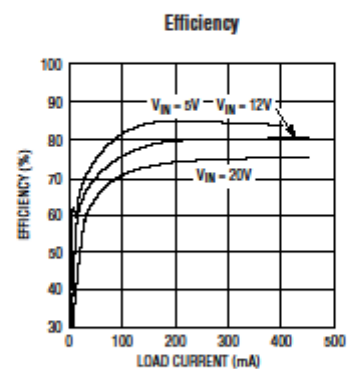
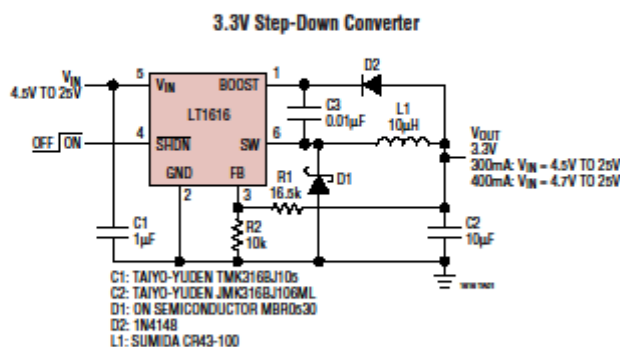
DESCRIPTION

The LT[®]1616 is a current mode PWM step-down DC/DC converter with internal 0.6A power switch, packaged in a tiny 6-lead SOT-23. The wide input range of 3.6V to 25V makes the LT1616 suitable for regulating a wide variety of power sources, from 4-cell batteries and 5V logic rails to unregulated wall transformers and lead-acid batteries. Its high operating frequency allows the use of tiny, low cost inductors and ceramic capacitors. With its internal compensation eliminating additional components, a complete 400mA step-down regulator fits onto 0.15 square inches of PC board area.

The constant frequency current mode PWM architecture and stable operation with ceramic capacitors results in low, predictable output ripple. Current limiting provides protection against shorted outputs. The low current (<1 μ A) shutdown provides complete output disconnect, enabling easy power management in battery-powered systems.

LT, LTC and LT are registered trademarks of Linear Technology Corporation.

TYPICAL APPLICATION



Příloha E

LT3510



LT3510

Monolithic Dual Tracking 2A Step-Down Switching Regulator

FEATURES

- **Wide Input Range: 3.1V to 25V**
- **Two Switching Regulators with 2A Output Capability**
- **Independent Supply to Each Regulator**
- **Adjustable/Synchronizable Fixed Frequency Operation from 250kHz to 1.5MHz**
- **Antiphase Switching**
- **Outputs Can be Paralleled**
- Independent, Sequential, Ratiometric or Absolute Tracking Between Outputs
- Independent Soft-Start and Power Good Pins
- Enhanced Short-Circuit Protection
- Low Dropout: 95% Maximum Duty Cycle
- Low Shutdown Current: <math><10\mu\text{A}</math>
- 20-Lead TSSOP Package with Exposed Leadframe

APPLICATIONS

- DSP Power Supplies
- Disc Drives
- DSL/Cable Modems
- Wall Transformer Regulation
- Distributed Power Regulation
- PCI Cards

LT, LT, LTC, LTM, Linear Technology, Burst Mode and the Linear logo are registered trademarks and ThinSOT is a trademark of Linear Technology Corporation. All other trademarks are the property of their respective owners.

DESCRIPTION

The LT[®]3510 is a dual current mode PWM step-down DC/DC converter with two internal 2.5A switches. Independent input voltage, feedback, soft-start and power good pins for each channel simplify complex power supply tracking/sequencing requirements.

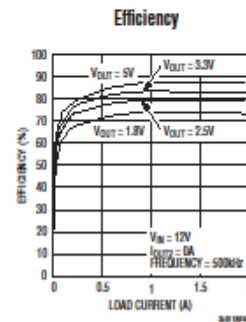
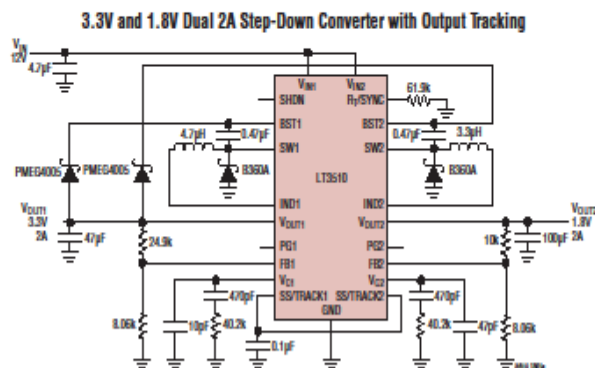
Both converters are synchronized to either a common external clock input or a resistor programmable fixed 250kHz to 1.5MHz internal oscillator. At all frequencies, a 180° phase relationship between channels is maintained, reducing voltage ripple and component size. Programmable frequency allows for optimization between efficiency and external component size.

Minimum input-to-output voltage ratios are improved by allowing the switch to stay on through multiple clock cycles, only switching off when the boost capacitor needs recharging, resulting in ~95% maximum duty cycle.

Each output can be independently disabled using its own soft-start pin, or by using the SHDN pin the entire part can be placed in a low quiescent current shutdown mode.

The LT3510 is available in a 20-lead TSSOP package with exposed leadframe for low thermal resistance.

TYPICAL APPLICATION



1

Příloha F

LTC3829



LTC3829

3-Phase, Single Output Synchronous Step-Down DC/DC Controller with Diffamp

FEATURES

- Optional Nonlinear Control for Fast Response
- $\pm 0.75\%$, 0.6V Reference Accuracy
- PWM, Stage Shedding™ or Burst Mode® Operation
- High Efficiency: Up to 95%
- R_{SENSE} or DCR Current Sensing
- Programmable DCR Temperature Compensation
- Phase-Lockable Fixed Frequency: 250kHz to 770kHz
- True Remote Sense Differential Amplifier
- Programmable Active Voltage Positioning (AVP)
- Triple N-Channel MOSFET Synchronous Drive
- Wide V_{IN} Range: 4.5V to 38V Operation
- V_{OUT} Range: 0.6V to 5V without Diffamp
- V_{OUT} Range: 0.6V to 3.3V with Diffamp
- Clock Input and Output for 6-Phase Operation
- Adjustable Soft-Start or V_{OUT} Tracking
- 38-Pin (5mm × 7mm) QFN and FE Packages

APPLICATIONS

- Notebook and Palmtop Computers
- Telecom Systems
- Portable Instruments
- DC Power Distribution Systems

DESCRIPTION

The LTC3829 is a high performance 3-phase single output synchronous step-down DC/DC switching controller that drives all N-channel synchronous power MOSFET stages. A constant frequency current mode architecture allows a phase-lockable frequency of up to 770kHz. Power loss and noise due to ESR of the input capacitors are minimized by operating the three controller output stages out of phase.

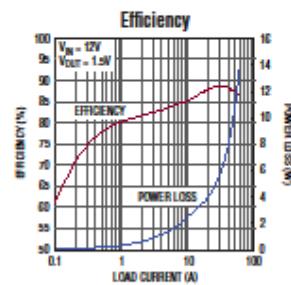
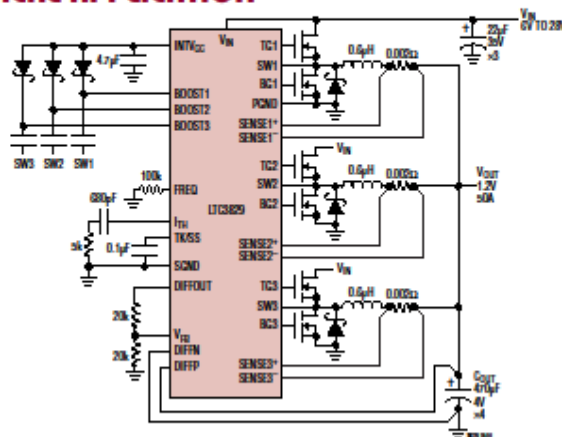
The LTC3829 can be configured for 6-phase operation, has DCR temperature compensation, and output foldback current limiting. This device features a precision 0.6V reference and a power good indicator.

Light load efficiency is optimized by using a choice of output Stage Shedding or Burst Mode operation. A differential amplifier provides true remote sensing of the output voltage at the point of load.

The LTC3829 is available in both low profile 38-pin 5mm × 7mm QFN and Exposed Pad FE packages.

L^T, LT, LTC, LTM, Burst Mode, OPTI-LOAD PolyPhase, Linear Technology, the Linear logo are registered trademarks and Stage Shedding, No R_{SENSE} are trademarks of Linear Technology Corporation. All other trademarks are the property of their respective owners. Protected by U.S. Patents, including 5481178, 5709919, 6929620, 6144194, 6177787, 6080268, 6498466, 6674274, 6611136.

TYPICAL APPLICATION



For more information www.linear.com/LTC3829

3829tb

1

Příloha G

LTC3854



LTC3854

Small Footprint, Wide V_{IN} Range Synchronous Step-Down DC/DC Controller

FEATURES

- Wide Operating V_{IN} Range: 4.5V to 38V
- R_{SENSE} or DCR Current Sensing
- $\pm 1\%$ 0.8V Reference Accuracy Over Temperature
- 400kHz Switching Frequency
- Dual N-channel MOSFET Synchronous Drive
- Very Low Dropout Operation: 97% Duty Cycle
- Starts Up Into Pre-Biased Output
- Adjustable Output Voltage Soft-Start
- Output Current Foldback Limiting (Disabled During Soft-Start)
- Output Overvoltage Protection
- 5V LDO for External Gate Drive
- OPTI-LOOP[®] Compensation Minimizes C_{OUT}
- Low Shutdown I_Q : 15 μ A
- Tiny Thermally Enhanced 12-Pin 2mm \times 3mm DFN and MSOP Packages

APPLICATIONS

- Automotive Systems
- Telecom Systems
- Industrial Equipment
- Distributed DC Power Systems

DESCRIPTION

The LTC3854[®] is a high performance synchronous step-down switching DC/DC controller that drives an all N-channel synchronous power MOSFET stage.

The LTC3854 features a 400kHz constant frequency current mode architecture. The LTC3854 operates from a 4.5V to 38V (40V absolute maximum) input voltage range and regulates the output voltage from 0.8V to 5.5V.

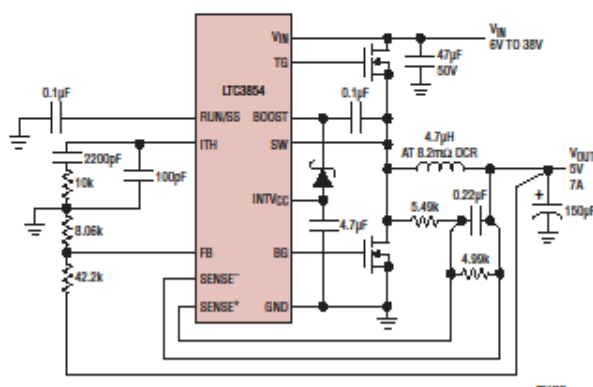
The RUN/SS pin provides both soft-start and enable features. OPTI-LOOP compensation allows the transient response to be optimized over a wide range of output capacitance and ESR values. Current foldback limits MOSFET dissipation during short circuit conditions. Current foldback functions are disabled during soft-start.

The LTC3854 has a minimum on-time at 75ns, making it well suited for high step-down ratios. The strong onboard MOSFET drivers allow the use of high power external MOSFETs to produce output currents up to 20A.

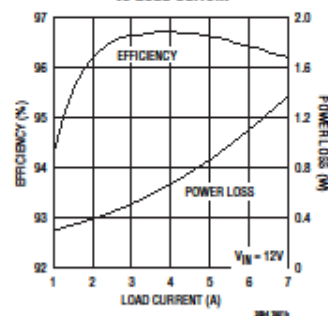
LT, LT, LTC, LTM, Linear Technology, the Linear logo and OPTI-LOOP are registered trademarks of Linear Technology Corporation. All other trademarks are the property of their respective owners. Protected by U.S. Patents, including 5706919, 6498466, 6406150, 6222231.

TYPICAL APPLICATION

High Efficiency Synchronous Step-Down Converter



Efficiency and Power Loss vs Load Current



1