

**ZÁPADOČESKÁ UNIVERZITA V PLZNI
FAKULTA ELEKTROTECHNICKÁ**

KATEDRA ELEKTROMECHANIKY A VÝKONOVÉ ELEKTRONIKY

DIPLOMOVÁ PRÁCE

Řízení tříúrovňového měniče s upínacími diodami

ZADÁNÍ DIPLOMOVÉ PRÁCE

(PROJEKTU, UMĚLECKÉHO DÍLA, UMĚLECKÉHO VÝKONU)

Jméno a příjmení: **Bc. Martin VOTAVA**
Osobní číslo: **E12N0072P**
Studijní program: **N2612 Elektrotechnika a informatika**
Studijní obor: **Průmyslová elektronika a elektromechanika**
Název tématu: **Řízení tříúrovňového měniče s upínacími diodami**
Zadávací katedra: **Katedra elektromechaniky a výkonové elektroniky**

Z á s a d y p r o v y p r a c o v á n í :

1. Popište topologii, základní princip funkce a možnosti využití tříúrovňového měniče s upínacími diodami.
2. Uveďte možnosti stabilizace napětí na kondenzátorech meziobvodu.
3. Navrhněte simulační model měniče v prostředí Matlab/Simulink, popř. PLECS a otestujte vybraný algoritmus řízení.
4. Upravte algoritmus pro využití v mikroprocesorovém regulátoru.



Rozsah grafických prací: **podle doporučení vedoucího**
Rozsah pracovní zprávy: **30 - 40 stran**
Forma zpracování diplomové práce: **tištěná/elektronická**
Seznam odborné literatury:


Student si vhodnou literaturu vyhledá v dostupných pramenech podle doporučení vedoucího práce.

Vedoucí diplomové práce: **Ing. Tomáš Glasberger, Ph.D.**
Regionální inovační centrum elektrotechniky

Datum zadání diplomové práce: **14. října 2013**
Termín odevzdání diplomové práce: **12. května 2014**


Doc. Ing. Jiří Hamarbauer, Ph.D.
děkan




Prof. Ing. Václav Kús, CSc.
vedoucí katedry

V Plzni dne 14. října 2013

Abstrakt

Předkládaná diplomová práce je zaměřena na řízení výkonového polovodičového tříúrovňového měniče s upínacími diodami. Práce obsahuje teoretický úvod do problematiky, návrh a popis simulačního modelu tohoto měniče, návrh řídicího algoritmu založeného na vektorové PWM a jeho modifikace. Cílem těchto modifikací je oproti původní verzi algoritmu zlepšení frekvenčního spektra. Jeden z těchto modifikovaných algoritmů je implementován do mikroprocesorového regulátoru a jeho funkčnost ověřena na laboratorním vzorku pohonu s tímto typem měniče řadou experimentů ve vybraných ustálených a přechodových stavech.

Klíčová slova

Tříúrovňový měnič s upínacími diodami, pulzně šířková modulace, vektorová pulzně šířková modulace, prostorový vektor, napěťový střídač

Abstract

The master thesis is focused on control of power semiconductor three-level neutral point clamped converter. Thesis contains theoretical introduction, simulation model of this converter, control algorithm based on vector PWM and its modifications. Goal of these modifications is to improve frequency spectrum of this algorithm. One of these modified algorithms is also implemented to microprocessor controller and its functionality is tested on laboratory drive with this type of converter by series of experiments in selected steady and transient states.

Key words

Three-level neutral point clamped converter, pulse width modulation, vector pulse width modulation, space vector, voltage inverter

Prohlášení

Prohlašuji, že jsem tuto diplomovou/bakalářskou práci vypracoval samostatně, s použitím odborné literatury a pramenů uvedených v seznamu, který je součástí této diplomové práce.

Dále prohlašuji, že veškerý software, použitý při řešení této bakalářské/diplomové práce, je legální.

.....
podpis

V Plzni dne 7.5.2014

Martin Votava

Poděkování

Tímto bych rád poděkoval vedoucímu diplomové práce Ing. Tomášovi Glasbergerovi, Ph.D. za cenné profesionální rady, připomínky a metodické vedení práce. Rovněž bych chtěl poděkovat Ing. Petru Kamenickému a Ing. Tomáši Košanovi za vstřícnost a pomoc při získání potřebných informací a podkladů.

Obsah

Seznam symbolů a zkratk.....	1
1 Úvod	3
2 Více úrovňový měnič s upínacími diodami.....	5
2.1 Základní topologie	5
2.2 Základní princip	5
2.2.1 PWM	7
2.2.2 Vektorová PWM.....	7
3 Napětí ve stejnosměrném meziobvodu.....	9
3.1 Kompenzace napětí kondenzátorů	10
3.1.1 Kompenzace napětí kondenzátorů úpravou topologie	11
3.1.2 Kompenzace napětí kondenzátorů úpravou algoritmu PWM	11
3.1.3 Úpravou vektorové modulace	12
4 Simulační model.....	15
4.1 Vektorová PWM řízená symetrickým pilovým signálem.....	17
4.1.1 Určení sektor	17
4.1.2 Určení oblasti a úhlu α	18
4.1.3 Určení poměrných dob sepnutí skutečných vektorů	19
4.1.4 Určení vhodných vyvažujících kombinací	20
4.1.5 Určení spínacích kombinací	21
4.1.6 Řízení tranzistorů	24
4.2 Vektorová PWM s lepší dynamikou regulace.....	25
4.3 Vektorová PWM řízená asymetrickým pilovým signálem	25
4.4 Provedení obvodů v bloku Plecs	28
5 Implementace algoritmu v systému reálného času.....	30
5.1 Driver víceúrovňového měniče	30
5.2 MLC interface	30
5.2.1 Analogově digitální převodník.....	31
5.2.2 CPLD.....	31
5.2.3 FPGA.....	32

5.3	DSP TMS320F28335	32
5.4	Úprava algoritmu pro DSP	33
5.4.1	Časové rozvržení algoritmu	33
5.4.2	Nastavení PWM	34
5.4.3	Nastavení AD převodníku	35
6	Měření a porovnání algoritmů	36
6.1	Simulace s ideálními parametry	36
6.1.1	Průběhy napětí a proudů	36
6.1.2	Spektrální analýza	38
6.1.3	Vliv hloubky modulace na THD	41
6.1.4	Vliv spínací frekvence na THD	43
6.1.5	Závislost zvlnění napětí kondenzátorů na kapacitě	44
6.1.6	Závislost zvlnění napětí kondenzátorů na účinníku	45
6.2	Simulace měřeného obvodu s vybraným algoritmem	46
6.2.1	Spektrální analýza	48
6.3	Měření vybraného algoritmu na reálném NPC	51
6.3.1	Spektrální analýza	53
	Závěr	57
	Použitá literatura	59
	Přílohy	1
	Příloha A - Blokové schéma řídicí části algoritmu 2	1
	Příloha B - Blokové schéma řídicí části algoritmu 3	3
	Příloha C - Blokové schéma dvouúrovňového měniče	5

Seznam symbolů a zkratek

du/dt	Derivace napětí podle času
C_1, C_2	Kondenzátor 1, 2
U_{C1}, U_{C2}	Napětí kondenzátoru 1, 2.
$S1, S1', S4, S4'$..	Tranzistory první fáze
$S3, S3', S6, S6'$..	Tranzistory druhé fáze
$S5, S5', S2, S2$...	Tranzistory třetí fáze
i_{z1}, i_{z2}, i_{z3}	Fázový proud střídače
U_{10}, U_{20}, U_{30}	Fázový napětí střídače
PWM.....	Pulse width modulation
\mathbf{u}	Prostorový vektor
u_1, u_2, u_3	Okamžitá hodnota napětí zátěže
U_d	Napětí stejnosměrného zdroje
V_0	Nulový vektor
$VS1, VS2$	Malý vektor
VM	střední vektor
$VL1, VL2$	velký vektor
i_a, i_b, i_c	fázový proudy zátěže
i_0	proud tekoucí do uzlu mezi kondenzátory
NPC.....	Neutral point clamped
m_1, m_2	Pomocné vektory
m_n	Normalizovaná velikost hloubky modulace
z_{V0}	Poměrná doba sepnutí vektoru V_0
z_{VS0}	Poměrná doba sepnutí vektoru VS_0
z_{VS1}	Poměrná doba sepnutí vektoru VS_1
z_{VM}	Poměrná doba sepnutí vektoru VM
z_{VL1}	Poměrná doba sepnutí vektoru VL_1
z_{VL2}	Poměrná doba sepnutí vektoru VL_2
V_{ref}	Referenční vektor
CMP	Pole obsahující poměrnou dobu sepnutí jednotlivých tranzistorů měniče
algoritmus 1	algoritmus vektorové PWM řízené symetrickým pilovým signálem
algoritmus 2	algoritmus vektorové PWM s lepší dynamikou
algoritmus 3	algoritmus vektorové PWM řízené asymetrickým pilovým signálem

IGBT	Isolated gate bipolar transistor
MLC interface	Vývojový kit pro víceúrovňové měniče s procesorem a FPGA
CPLD	Complex programmable logic device
A/D převodník ...	Analogo-digitální převodník
FPGA	Field-programmable gate array
DSP	Digital signal Processor
ARC	Absolutní rotační snímač
IRC.....	Inkrementální čidlo otáček
DMA	Direct memory access
GPIO	General purpose input/output
FPU	Floating point unit
RAM	Random access memory
CAP.....	Capture module
QEP.....	Quadrature encoder pulse
L.....	Indukčnost zátěže
R.....	Odpor zátěže
f_v	Výstupní frekvence
f_s	Spínací frekvence
Z.....	Modul impedance zátěže
THD _u	Total harmonic distortion
P_n	Jmenovitý výkon motoru
U_{sn}	Jmenovité napětí motoru
I_n	Jmenovitý proud motoru
f_{sn}	Jmenovitá frekvence statoru
n_n	Jmenovité otáčky motoru
D/A převodník ...	Digitálně analogový převodník
$\Delta u_{C\%}$	Zvlnění napětí kondenzátoru v procentech
U_{Cmin}	Minimální hodnota napětí kondenzátorů v ustáleném stavu
U_{Cmax}	Maximální hodnota napětí kondenzátorů v ustáleném stavu
$U_C(AV)$	Střední hodnota napětí kondenzátorů v ustáleném stavu

1 Úvod

První tříúrovňový střídač byl představen v 80. letech minulého století. Oproti klasickému dvouúrovňovému střídači poskytl řadu výhod [1].

Mezi hlavní výhody patří poloviční hodnota stejnosměrného napětí na jednotlivých polovodičových prvcích. Díky tomu lze ve stejnosměrném meziobvodu oproti dvouúrovňovému měniči zvýšit napětí a při stejném proudu přenést vyšší výkon. [1], [4]

Další velkou výhodou je proud zátěže, jehož průběh je díky více napěťovým úrovním oproti dvouúrovňovému méně zvlněn. Navíc vlivem více úrovní se sníží i napěťový skok při přepnutí mezi úrovněmi. Díky tomu se sníží amplituda harmonických. Navíc se výrazně zmenší vliv derivace napětí podle času (du/dt) při přepnutí úrovně výstupního napětí, tím se například omezí případný negativní vliv měniče na pohon nebo se sníží nároky na případný filtr a tím i jeho rozměry a cena.

Mezi nevýhody tříúrovňového střídače naopak patří potřeba většího počtu součástek. Což má navzdory menším požadavkům na dimenzování součástek negativní dopad na cenu a celkový rozměr obvodu. Větší počet spínaných součástek má také vliv na složitost modulačního algoritmu, což dále vede k navýšení požadavků na mikroprocesor.

Dalším nevýhodou a problémem, kterým se zabývá i tato práce, je stabilizace napětí na kondenzátorech. Napětí na kondenzátorech je při sepnutí určitých prvků proudem zátěže negativně ovlivňováno. Dochází k posunu napěťové hladiny neutrální úrovně, a tím i k posunutí napěťových vektorů.

Stabilizovat lze mnoha způsoby, nicméně s ohledem na rozvoj mikroprocesorové techniky se nejjednodušším řešením jeví úprava řídicího algoritmu. Takovýto algoritmus nejenom spíná dané tranzistory dle požadavku na výstupní napětí, ale hlídá i napětí na kondenzátorech. Porovnává jejich velikosti. Na základě čehož se snaží vhodnou kombinací sepnutí daných tranzistorů nastavit potřebný směr proudu tekoucího kondenzátory, který by svým působením vyrovnával rozdíl napětí, vhodně vybíjel a nabíjel dané kondenzátory dle této hodnoty.

Kromě problematiky balancování napětí se práce dále věnuje možnosti zlepšení již existujícího algoritmu, proto si práce stanovuje následující cíle:

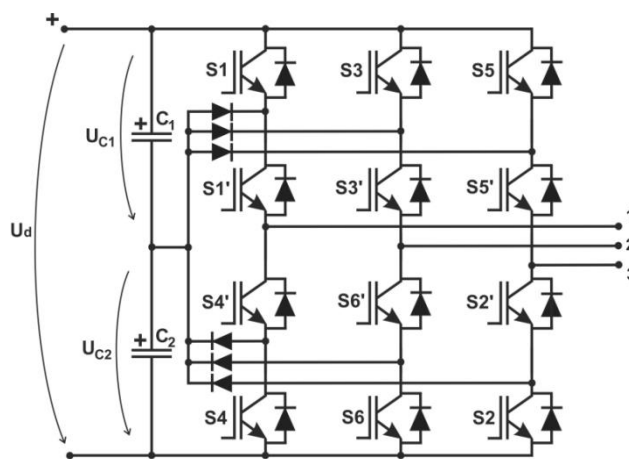
- Provést rešerši základní topologie, základního principu funkce a možnosti stabilizace napětí na kondenzátorech tříúrovňového měniče s upínacími diodami.

- Navrhnout simulační model tohoto měniče v prostředí simulink pomocí toolboxu Plecs.
- Pro tento model upravit algoritmus vektorové PWM tříúrovňového měniče, tak aby byla zajištěna stabilizace napětí kondenzátorů a oproti původnímu algoritmu lepší frekvenční spektrum výstupního fázového napětí.
- Porovnat takto upravený algoritmus s původním a s algoritmem vektorové PWM dvouúrovňového měniče.
- Dále upravit tento algoritmus, tak aby jej bylo možné využít v mikroprocesorovém regulátoru.
- Porovnat průběhy měniče řízeného mikroprocesorovým regulátorem s průběhy simulačního modelu měniče.

2 Více úrovňový měnič s upínacími diodami

2.1 Základní topologie

Tříúrovňový střídač vychází z topologie dvouúrovňového střídače. Oproti běžnému střídači má navíc úroveň 0. Proto je k dosažení správné funkce střídače potřeba více součástek. Existuje více způsobů realizace, na Obr. 1 je zobrazeno schéma popisovaného tříúrovňového střídače s upínacími diodami.



Obr. 1: Základní topologie[2].

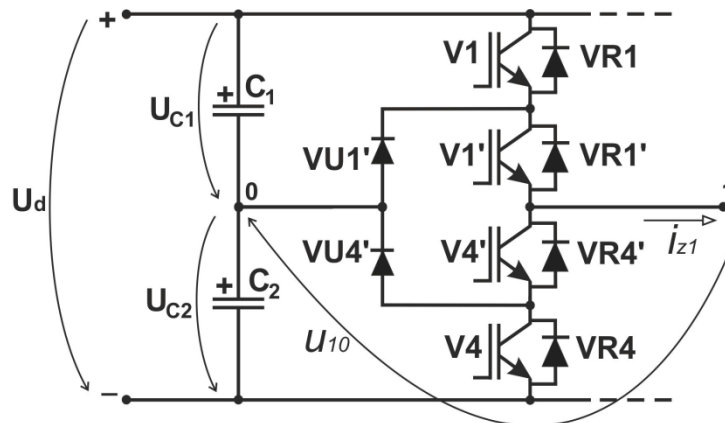
Ze schématu je patrné, že pro správnou funkci obvod musí obsahovat čtyři sériově zapojené tranzistory. Dále pro vytvoření nulové úrovně jsou nezbytné dva kondenzátory, které rozdělují napětí stejnosměrného meziobvodu na polovinu. Střed mezi kondenzátory je vždy připojen ke každé fázi přes upínací diody do uzlu mezi horní dvojicí tranzistorů (S1, S1') a do uzlu mezi spodní dvojicí (S4', S4). Upínací diody zabraňují zkratování kondenzátorů, které by vzniklo sepnutím horního tranzistoru (S1) anebo spodního tranzistoru (S4) v jednotlivých fázích.[2]

2.2 Základní princip

Tříúrovňový střídač má tři úrovně fázového napětí střídače $+U_{C1}$, 0 , $-U_{C2}$. Z těchto tří úrovní dle Obr. 2 lze sestavit tři možné kombinace sepnutí viz Tab. 1, přičemž mohou být vždy přivedeny zapínací impulzy pouze na dva sousední tranzistory.[2]

Napěťová úroveň 1 ($+U_{C1}$) nastane přivedením spínacích impulzu na horní dvojici tranzistorů (V1, V1'). Pokud bude proud fáze kladný, povedou tranzistory (V1, V1'). Pokud bude proud záporný, povedou diody (VR1, VR1').[2]

Úroveň 0 nastane přivedením spínacích impulsů na prostřední tranzistory ($V1'$, $V4'$), přičemž kladný proud fáze poteče přes horní tranzistor a horní upínací diodu ($V1'$, $VU1'$), záporný proud poteče přes spodní tranzistor a spodní upínací diodu ($V4'$, $VU4'$). Úroveň -1 ($-U_{C2}$) nastane přivedením zapínacích impulsů na ($V4'$, $V4$). Záporný proud zátěže teče přes tranzistory ($V4'$, $V4$) a kladný přes diody ($VR4'$, $VR4$). Obdobně lze sestavit tabulka i pro zbylé fáze.[2]



Obr. 2: Zapojení jedné fáze[2].

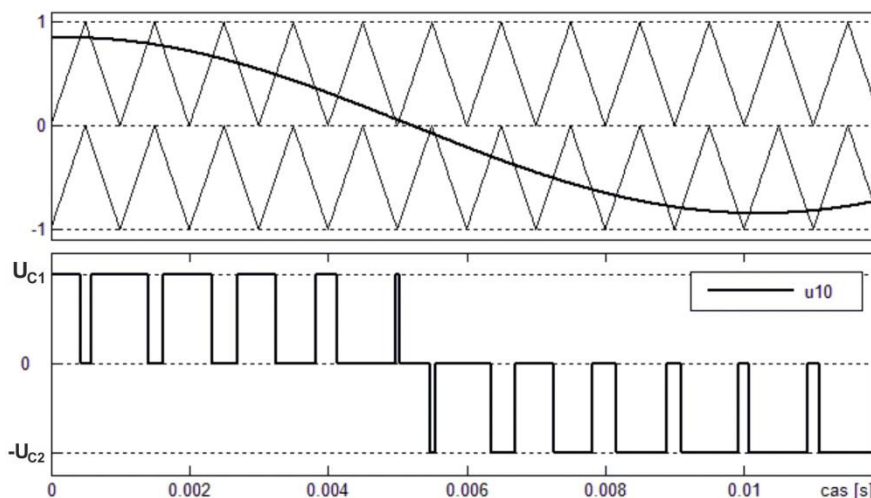
Úroveň U_{10}		U_{C1}	0	U_{C2}
Zapínací signál je na:		V1, V1'	V1', V4'	V4, V4'
Proud vedou:	je-li $i_{z1} > 0$	V1, V1'	V1', VU1'	V4, V4'
	je-li $i_{z1} < 0$	VR1, VR1'	V4', VU4'	VR4, VR4'

Tab. 1: Spínání tranzistorů jedné fáze[2].

Z tabulky vyplývá, že zároveň nesmí být sepnuty tranzistory ($V1, V4$), ($V1, V4'$) a ($V1', V4$), ($V1', V4'$). Při odpovídající modulaci u tříúrovňového střídače tyto stavy sepnutí nesmí nastat. Mezi takovéto modulace patří například PWM nebo vektorová modulace.[2]

2.2.1 PWM

PWM u tříúrovňového střídače je podobná PWM u dvouúrovňového. Oproti PWM u dvouúrovňového střídače se porovnávají dvě napětí pilového průběhu o stejné frekvenci s jedním průběhem řídicího signálu, viz Obr. 3.[2]



Obr. 3: Průběh napětí jedné fáze při PWM řízení [2].

Z uvedeného obrázku vyplývá, že pokud je řídicí napětí větší než napětí horní pily, budou sepnuty tranzistory (V1, V1'). Pokud je řídicí napětí menší než napětí horní pily a zároveň větší než napětí spodní pily, budou sepnuty tranzistory (V1', V4'). Je-li řídicí napětí menší než napětí spodní pily budou sepnuty tranzistory (V4, V4'). Obdobně jsou spínané zbylé dvě fáze, s tím rozdílem, že řídicí napětí je posunuto o 120° respektive 240° stupňů. Amplitudou řídicích sinusových napětí pak lze nastavit efektivní hodnotu první harmonické výstupního napětí. Frekvence výstupního napětí je řízena frekvencí řídicího napětí. Frekvencí pilových napětí je řízena spínací frekvencí.[2]

2.2.2 Vektorová PWM

V případě vektorového řízení je nejprve nutno zavést tzv. prostorový vektor, který je dán rovnicí:

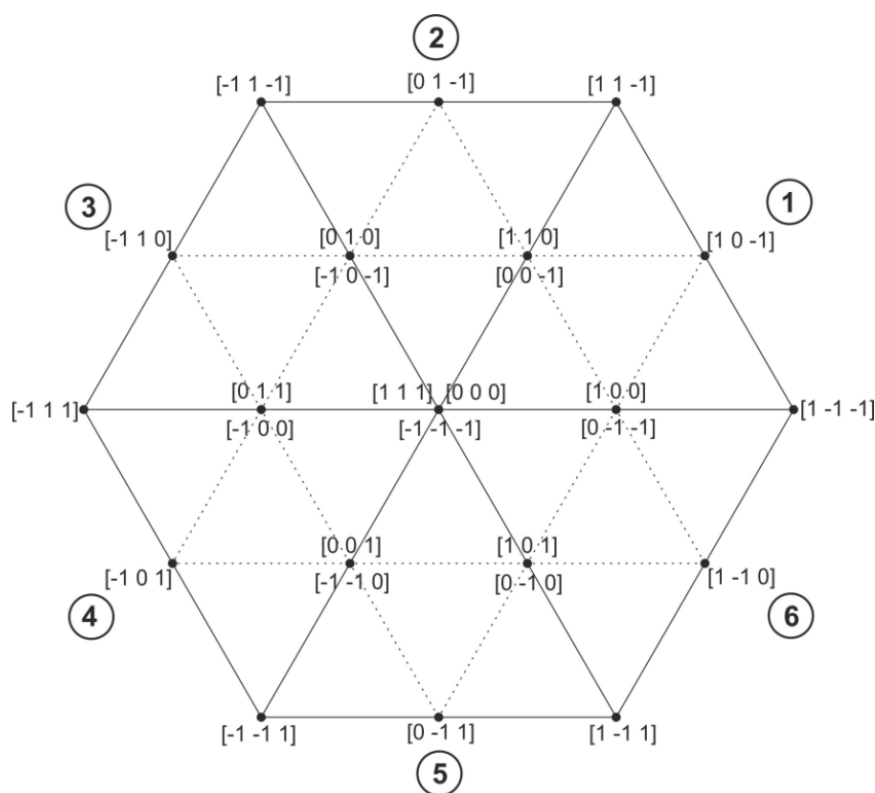
$$\mathbf{u} = \frac{2}{3} \cdot (u_1 + u_2 \cdot e^{j \cdot 2\pi/3} + u_3 \cdot e^{j \cdot 4\pi/3}) \quad (1)$$

Prostorový vektor \mathbf{u} je součtem okamžitých hodnot fázových napětí střídače, přičemž druhá a třetí fáze jsou prostorově natočeny o 120° respektive 240°. V případě tříúrovňového

střídače je k dispozici 3^n možných spínacích kombinací, kde n je počet fází. Pro třífázový střídač platí $n=3$ a vychází tedy 27 možných spínacích kombinací.

Z těchto 27 kombinací lze sestavit diagram s 19 výstupními vektory. Diagram lze rozdělit na 6 sektorů po 60° stupních. Jednotlivé sektory dále lze rozdělit na 4 oblasti, viz Obr. 4. Číslíčky v závorkách udávají, ke kterým tranzistorům daných fází střídače jsou přiváděny spínací impulzy. Například kombinace 1, 0, -1 znamená napětí U_{C1} na fázi 1, 0 ve fázi 2, $-U_{C2}$ ve fázi 3, při této kombinaci jsou spínací impulzy přivedeny dle Obr. 1 k tranzistorům S1, S1', S3', S6', S2', S2. [2]

Vektory mohou nabývat 4 různých velikostí. Nulové vektory (V0) mají velikost 0, malé vektory (VS) $\frac{U_d}{3}$, střední vektory (VM) $\frac{U_d}{\sqrt{3}}$, velké vektory (VL) $\frac{2U_d}{3}$. [2]



Obr. 4: Realizovatelné napěťové vektory a spínací kombinace [2].

Ze tří skutečných vektorů lze sestavit libovolný referenční vektor. Obdobně jako u vektorové PWM dvouúrovňového střídače jsou velikost a úhel referenčního vektoru určeny výběrem skutečných vektorů a jejich poměrnou dobou sepnutí. Z hlediska kvality spektra výstupního signálu je nutné volit skutečné spínané vektory co nejbližší k referenčnímu. [2]

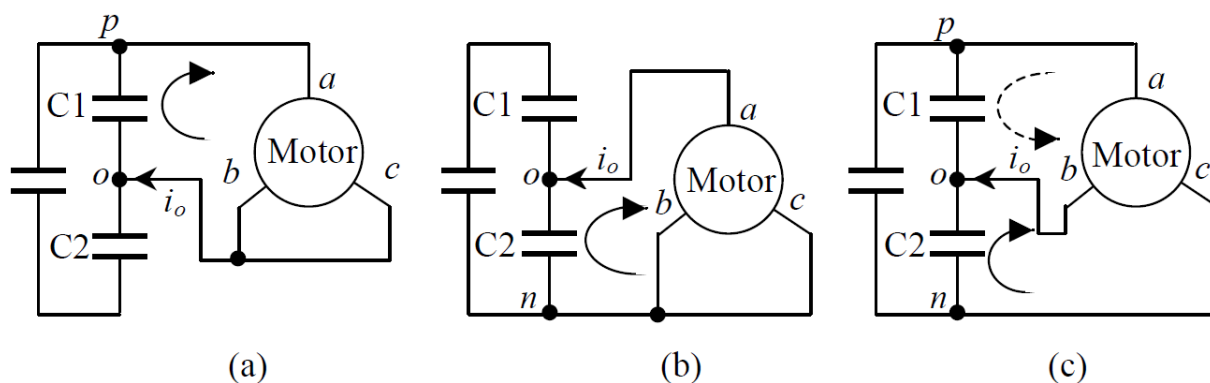
3 Napětí ve stejnosměrném meziobvodu

Jak již bylo zmíněno výše, stejnosměrný meziobvod je tvořen dvěma sériově řazenými kondenzátory, viz Obr. 1. Z obrázku je zřejmé, že napětí kondenzátorů bude nabíjeno případně vybíjeno, pokud se fázové proudy střídače budou uzavírat přes kondenzátory. Přes kondenzátory teče proud, pokud jsou tranzistory sepnuty tak, že jedna či dvě fáze mají výstup v napěťové úrovni 0 (při vektorech V_S a V_M). [3]

Pro určení těchto proudů je vhodné využít náhradní schéma znázorněné na Obr. 5 a dle prvního Kirchhoffova zákona odvodit rovnici:

$$i_a + i_b + i_c = 0 \quad (2)$$

Z náhradního schématu a rovnice (2) lze odvodit směr a velikost proudu i_o tekoucího středem mezi kondenzátory, který je roven součtu proudů fází s výstupem v napěťové úrovni 0.



Obr. 5: Náhradní schéma pro spínací kombinace a) (1,0,0), b) (0,-1,-1), c) (1,0,-1) [3].

Na Obr. 5 jsou uvedeny tři konkrétní kombinace, při nichž dochází k ovlivňování napětí kondenzátorů.

U konkrétní kombinace ad a) je jedna fáze připojena ke kladnému pólu zdroje a dvě ke středu mezi kondenzátory. Proud i_o tekoucí do středu mezi kondenzátory je roven i_a (respektive $-i_b - i_c$).

U kombinace ad b) je jedna fáze připojena ke středu mezi kondenzátory a dvě k zápornému pólu zdroje. Proud i_o je roven $-i_a$ (respektive $i_b + i_c$).

U kombinace ad c) je jedna fáze připojena ke středu mezi kondenzátory, jedna ke kladnému pólu zdroje a jedna k zápornému pólu. Proud i_o je roven $-i_b$ (respektive $i_a + i_c$).

Platí-li u těchto kombinací rovnice:

$$u_{C1} = u_{C2} = \frac{u_d}{2} \quad (3)$$

Lze vypočítat velikost proudů tekoucích kondenzátory:

$$|i_{C1}| = |i_{C2}| = \frac{|i_0|}{2} \quad (4)$$

Dle těchto kombinací lze obdobně odvodit velikost a směr proudu i_0 zbylých kombinací. Viz Tab. 2.

Kombinace sepnutí	i_0	Kombinace sepnutí	i_0	Kombinace sepnutí	i_0
(0,-1,-1)	i_a	(1,0,0)	$-i_a$	(1,0,-1)	i_b
(1,1,0)	i_c	(0,0,-1)	$-i_c$	(0,1,-1)	i_a
(-1,0,-1)	i_b	(0,1,0)	$-i_b$	(-1,1,0)	i_c
(0,1,1)	i_a	(-1,0,0)	$-i_a$	(-1,0,1)	i_b
(-1,-1,0)	i_c	(0,0,1)	$-i_c$	(0,-1,1)	i_b
(1,0,1)	i_b	(0,-1,0)	$-i_b$	(1,-1,0)	i_c

Tab. 2: Kombinace sepnutí a velikosti proudů ovlivňující napětí na kondenzátorech[3].

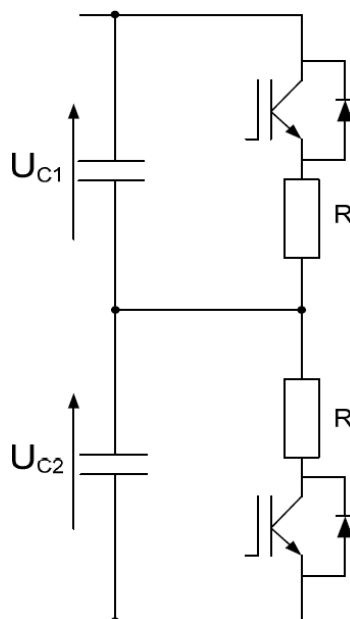
Rozdíl napětí na kondenzátorech vyvolaný těmito kombinacemi sepnutí způsobí nenulovou hodnotu výstupního napětí při úrovni 0, což má za následek deformaci křivky výstupního napětí a vznik stejnosměrné složky ve výstupním napětí. Dále velký rozdíl napětí může způsobit zvýšené napěťové namáhání součástek. Z těchto důvodů je nutné vyrovnávat (balancovat) napětí na jednotlivých kondenzátorech.

3.1 Kompenzace napětí kondenzátorů

Napětí na kondenzátorech lze balancovat úpravou topologie pomocí speciálních obvodů nebo vhodnou úpravou řídicího algoritmu. Ten volí kombinace tak, aby pokud možno docházelo k vyrovnávání napětí. Další možností je upravit algoritmus tak, aby počítal s nenulovou úrovní 0 a upravoval tak poměrné doby sepnutí jednotlivých tranzistorů v závislosti na rozdílu napětí kondenzátorů. [4]

3.1.1 Kompenzace napětí kondenzátorů úpravou topologie

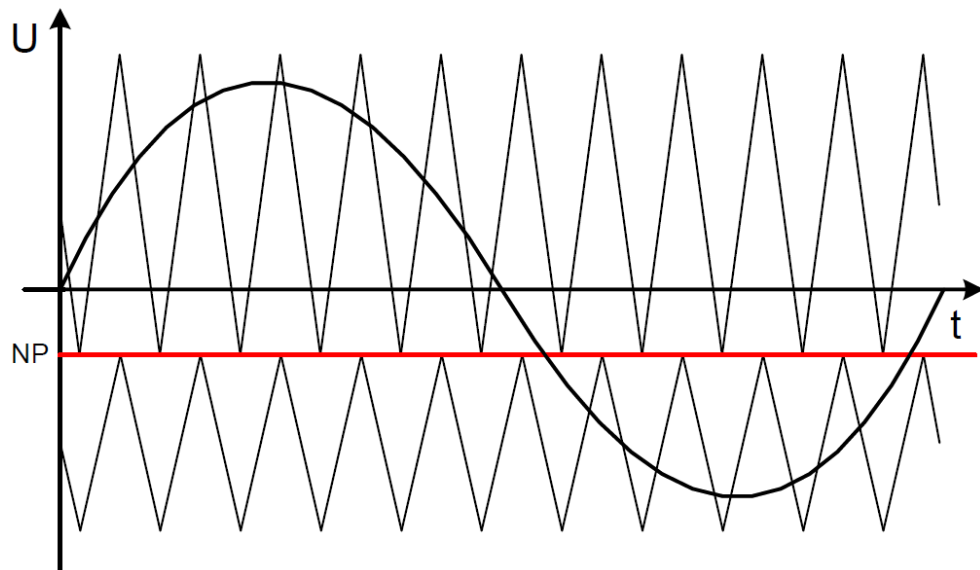
Nejjednodušším řešením, jak vyrovnávat napětí na kondenzátorech, je kompenzace pomocí sériového zapojení rezistoru a tranzistoru. Tato metoda sebou nese dvě značné nevýhody. První nevýhodou je potřeba dalších součástek. Druhou jsou ztráty způsobené průtokem vybíjecího proudu přes rezistor. Výhodou je, že napětí kondenzátorů může být upravováno v libovolném pracovním režimu měniče. [4]



Obr. 6: Kompenzační obvod[4].

3.1.2 Kompenzace napětí kondenzátorů úpravou algoritmu PWM

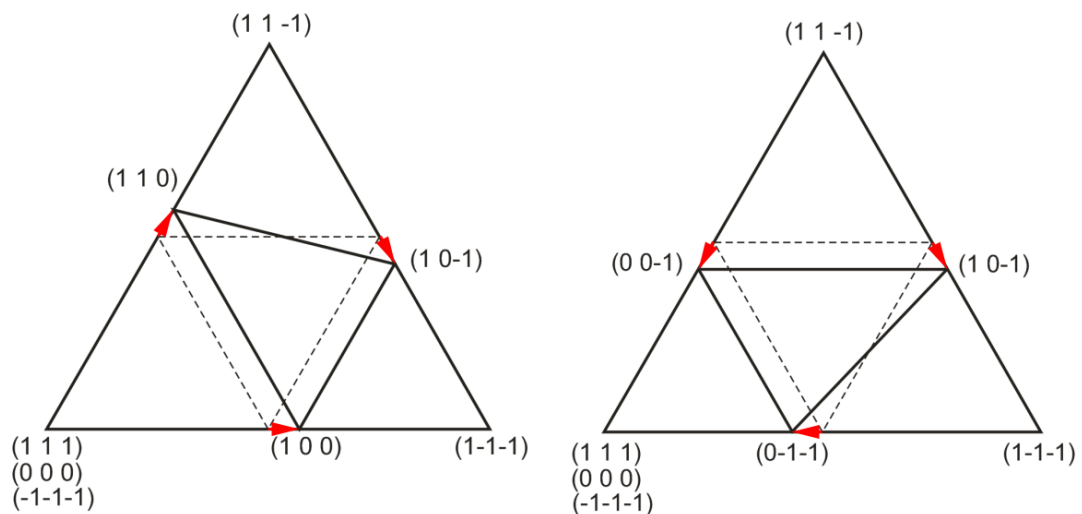
Metoda spočívá v úpravě řízení uvedeného v kapitole 2.2.1. Oproti PWM uvedené v kapitole 2.2.1 je přímo úměrně měněna amplituda pilových signálů v závislosti na napětí kondenzátorů. Takovou úpravu ukazuje Obr. 7, kde poměr velikostí nosných signálů přísluší poměru napětí kondenzátorů. Z toho vyplývá, že nevyváženost napětí je kompenzována poměrnou dobou sepnutí jednotlivých tranzistorů.



Obr. 7: Úprava PWM[4].

3.1.3 Úpravou vektorové modulace

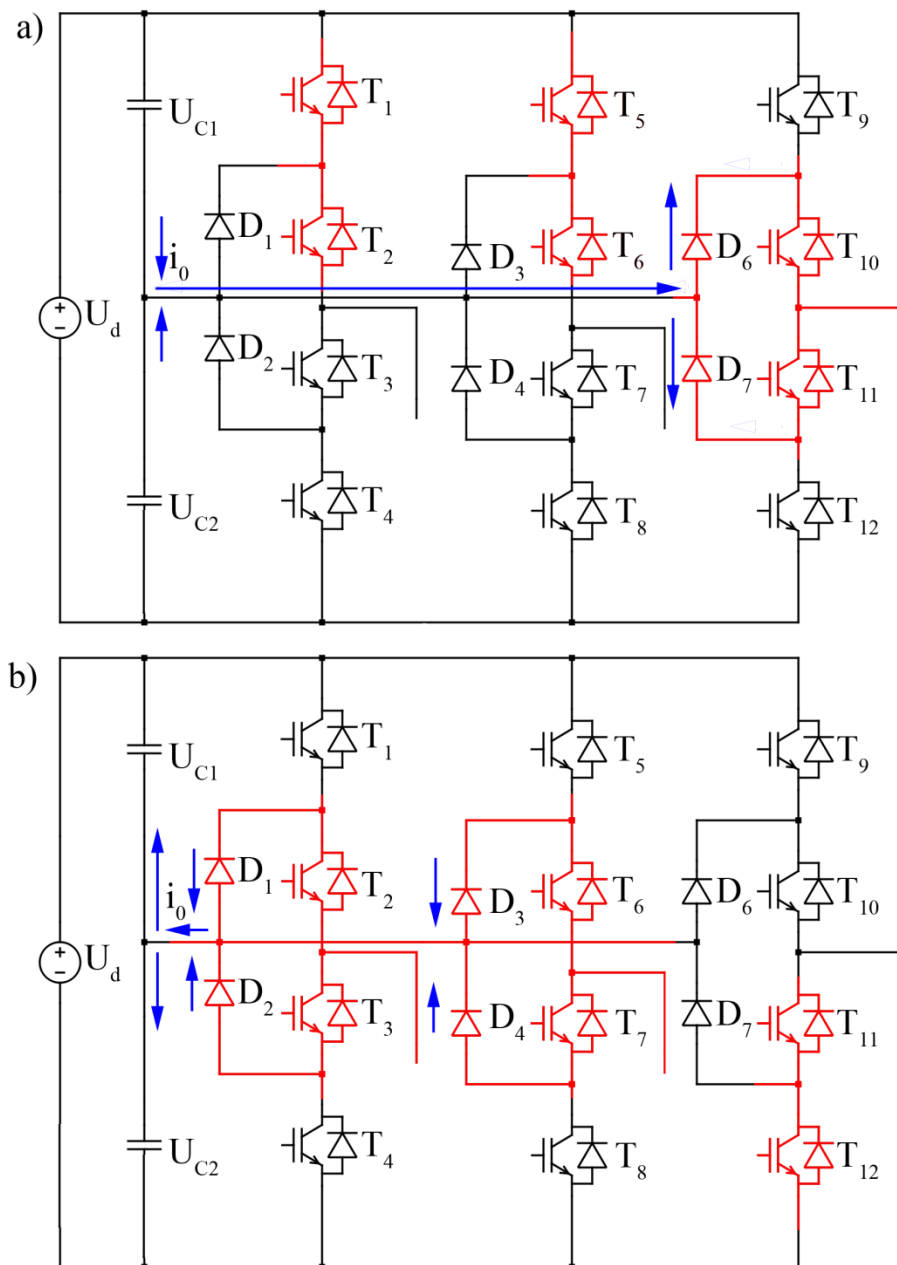
U vektorové modulace dochází vlivem nevyváženého napětí kondenzátorů k posunu u prostorových vektorů, kde je alespoň jedno fázové napětí v úrovni nula, viz Obr. 8. U malých vektorů navíc závisí posun mimo rozdílů napětí také na zvolené kombinaci.



Obr. 8: Posunutí vektorů vlivem nevyváženosti napětí[4].

Oproti PWM lze vektorovou PWM upravit, tak aby bylo napětí kondenzátorů balancováno. Balancování je zaručeno volbou vhodných spínacích kombinací dle napětí kondenzátorů a fázových proudů. K vyrovnávání napětí kondenzátorů dochází vždy, když je sepnut libovolný malý vektor. Dle Obr. 4 každý z těchto vektorů nabízí dvě spínací kombinace, přičemž každá kombinace má jinou polaritu proudu tekoucího kondenzátory.

Pro názornost lze například uvažovat dvě spínací kombinace jednoho malého vektoru (1,1,0) a (0,0,-1) uvedené na Obr. 9. Je patrné, že v případě malého vektoru je ovlivňováno napětí kondenzátorů při obou spínacích kombinacích. Jedna kombinace napětí kondenzátorů vyrovnává a druhá dále rozvažuje. Vyrovnávající kombinace je určena napětím kondenzátorů a polaritě příslušného fázového proudu.



Obr. 9: Příklad dvou kombinací pro jeden malý vektor[4].

Velikost proudu i_0 konkrétně uvedené kombinace lze určit dle Tab. 2. V obou kombinacích je proud dán $-i_c$, respektive i_c . Velikost proudu i_0 nelze volbou kombinace

daného vektoru řídit, nicméně lze řídit jeho polarita. Na Obr. 9 je znázorněn kladný směr i_c (proud vtéká do zátěže).

Bude-li proud i_c záporný proud i_0 u kombinace a) bude kladný (proud bude vtékat do uzlu mezi kondenzátory). Kondenzátor C_1 bude vybíjen, C_2 nabíjen. U kombinace b) bude i_0 záporný (proud bude vytékat z uzlu). C_1 bude nabíjen, C_2 vybíjen.

Bude-li proud i_c kladný proud i_0 u kombinace a) bude záporný. Kondenzátor C_1 bude nabíjen, C_2 vybíjen. U kombinace b) bude i_0 kladný. C_1 nabíjen, C_2 bude vybíjen.

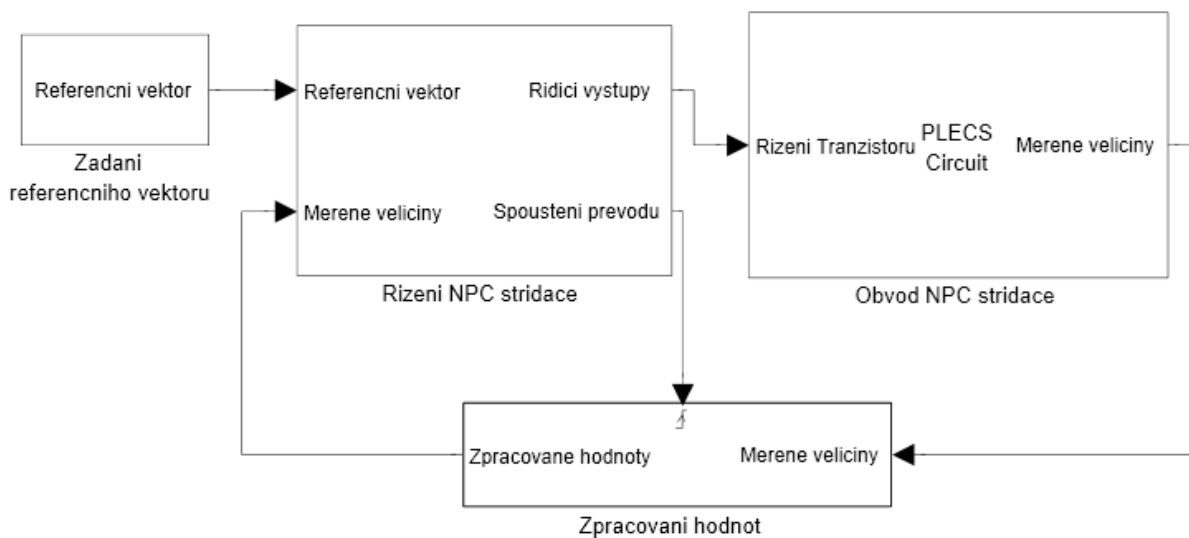
Bude-li platit $u_{C1} < u_{C2}$ vyvažující kombinací při kladném proudu i_c bude kombinace a), při záporném proudu kombinace b). Obdobně lze odvodit zbylé malé vektory. Pro sektor 1 vycházejí vyrovnávající kombinace dle Tab. 3.

	$U_{C1} > U_{C2}$	$U_{C2} > U_{C1}$
$i_a > 0$	(1, 0, 0)	(0, -1, -1)
$i_a < 0$	(0, -1, -1)	(1, 0, 0)
$i_c > 0$	(0, 0, -1)	(1, 1, 0)
$i_c < 0$	(1, 1, 0)	(0, 0, -1)

Tab. 3: Spínací kombinace vyrovnávající napětí kondenzátoru pro sektor 1[2].

4 Simulační model

Simulační model je proveden v prostředí MATLAB/Simulink. Pro lepší přehlednost lze model rozdělit na čtyři části **Zadání referenčního vektoru**, **Řízení NPC střídače**, **Obvod NPC střídače** a **Zpracování hodnot**.



Obr. 10: Simulační model.

Nejmenší část do počtu prvků **Zpracování hodnot** je určená pouze pro zpracování měřených hodnot na začátku dané modulační periody. Pro přiblížení modelu k reálnému střídači, bylo v rámci simulace uvedené v kapitole 6.2 do této části přidáno dopravní zpoždění. Dále lze do této části modelu přidat algoritmus pro vyhodnocování proudů zátěže, což je vhodné pro NPC střídače s jedním proudovým čidlem.

Druhou nejmenší částí je **Zadání referenčního vektoru**. Pro simulace v kapitolách 6.1 a 6.2 je v této části pouze čítač zadávající úhel od 0 do 360 stupňů a konstanta zadávající hloubku modulace. Nicméně tento blok je připraven pro případnou nadřazenou regulační smyčku, například vektorové řízení motoru, atd.

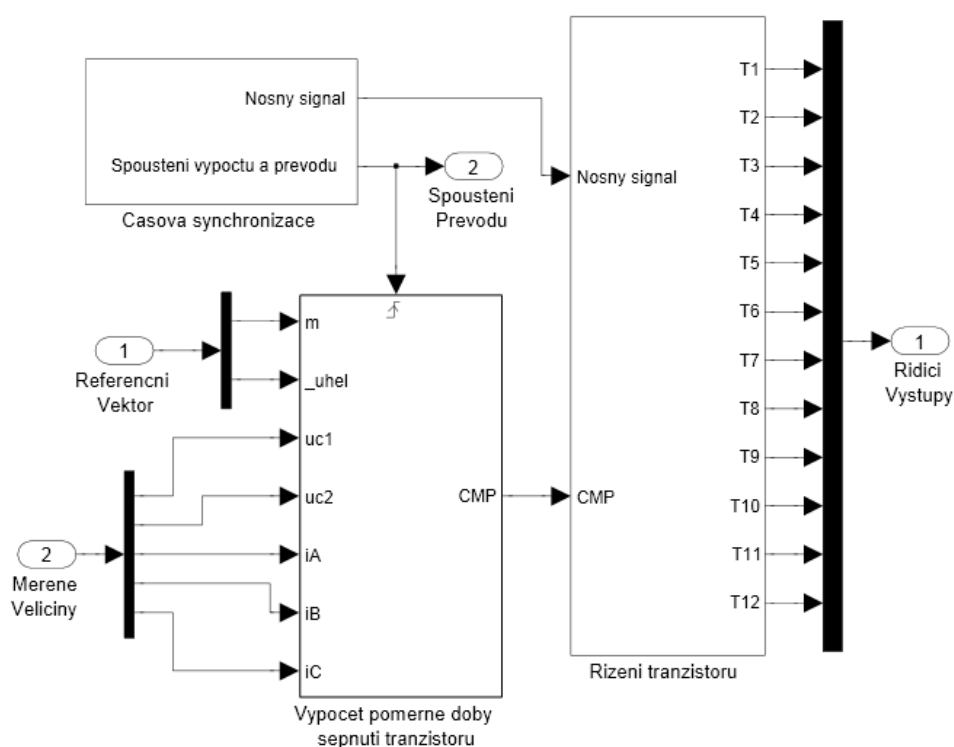
Část modelu **Obvod NPC střídače** je dle zadání modelována v toolboxu Plecs. Tato část modelu je detailně popsána v kapitole 4.1.

Část **Řízení NPC střídače** je nejsložitější, proto je dále rozdělena na další části. Oproti ostatním částem se zde některé bloky liší v závislosti na zvoleném algoritmu modulace. Účelem této části je na základě naměřených hodnot a zadaného vektoru řídit tranzistory NPC střídače. Pro toto řízení byly vyzkoušeny tři algoritmy vektorové modulace.

Níže v kapitole 4.1 je uvedena vektorová PWM řízená symetrickým pilovým signálem (algoritmus 1). Úpravou této PWM byla vytvořena vektorová PWM s lepší dynamikou řízení (algoritmus 2) a vektorová PWM řízená asymetrickým pilovým signálem (algoritmus 3). U těchto pozměněných algoritmů jsou v kapitolách 4.2 a 4.3 zobrazeny pouze jejich rozdíly oproti původní vektorové PWM.

Všechny algoritmy lze rozdělit dle Obr. 11 do tří bloků:

- Časová synchronizace
- Výpočet poměrné doby sepnutí tranzistorů
- Řízení tranzistorů



Obr. 11: blokové schéma části řízení NPC střídače.

Blok časová synchronizace generuje nosný signál modulace určený k řízení tranzistorů. Dalším úkolem tohoto bloku je spouštět měření veličin střídače a výpočet poměrných dob sepnutí nově zadaného referenčního vektoru ve vhodný okamžik.

Blok výpočet poměrné doby sepnutí tranzistorů na základě zadaného vektoru a naměřených hodnot vypočítává referenční hodnoty pro řízení jednotlivých tranzistorů.

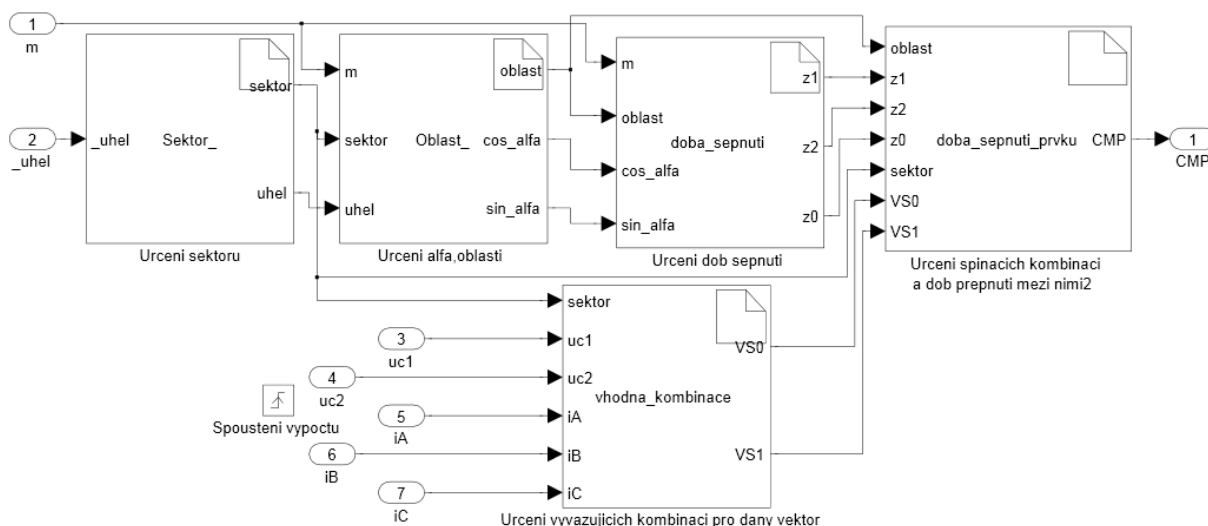
Blok Řízení tranzistorů posílá na základě porovnání okamžité hodnoty nosného signálu s referenčními hodnotami spínací impulsy na hradla tranzistorů.

4.1 Vektorová PWM řízená symetrickým pilovým signálem

V případě této vektorové PWM je pro ovládání tranzistorů volen symetrický pilový signál. Spouštění měření a výpočtu poměrných dob sepnutí nového vektoru vždy probíhá v nule pilového signálu.

Blok řízení tranzistorů je popsán v kapitole 4.1.6. Blok **výpočet poměrné doby sepnutí** je složitější, proto je jeho popis rozdělen do několika kapitol dle obsažených funkcí. Dle Obr. 12 je tento blok složen z několika funkcí:

- Určení sektoru
- Určení oblasti a úhlu α
- Určení poměrné doby sepnutí vektorů
- Určení vhodných vyvažujících kombinací
- Určení spínacích kombinací poměrných dob přepnutí mezi nimi



Obr. 12: Výpočet poměrných dob sepnutí tranzistorů.

4.1.1 Určení sektoru

První funkcí je určení sektoru. Tato funkce pouze udává, v jakém sektoru se nachází referenční vektor na základě jeho úhlu, viz Tab. 4. Například bude-li platit $0^\circ \leq \text{úhel} < 60^\circ$ vektor se nachází v prvním sektoru.

sektor	úhel
1	$\langle 0^\circ; 60^\circ \rangle$
2	$\langle 60^\circ; 120^\circ \rangle$
3	$\langle 120^\circ; 180^\circ \rangle$
4	$\langle 180^\circ; 240^\circ \rangle$
5	$\langle 240^\circ; 300^\circ \rangle$
6	$\langle 300^\circ; 360^\circ \rangle$

Tab. 4: Určení sektoru[2].

4.1.2 Určení oblasti a úhlu α

Funkce určení alfa a oblasti určuje dle rovnice (5) pomocný úhel α fiktivního vektoru v daném sektoru, respektive funkce sinus a cosinus úhlu alfa a oblast, ve které se nachází referenční vektor.

$$\alpha = \text{úhel} - (\text{sektor} - 1) \cdot \frac{\pi}{3} \quad (5)$$

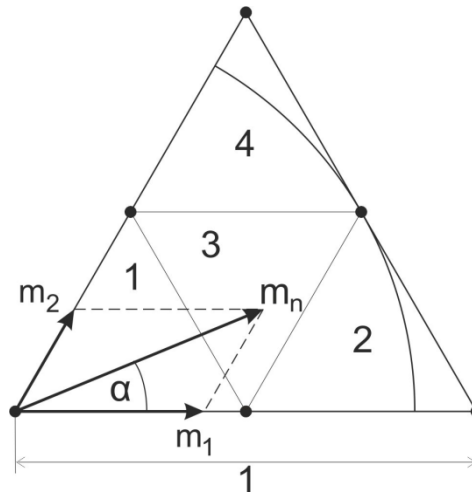
Pro sinusový průběh je hloubka modulace omezena na hodnoty $0 \leq m \leq 1$. Maximální hodnota je na Obr. 13 ohraničena kružnicí. Nicméně pro některé úhly referenčního vektoru lze dosáhnout vyšších hloubek modulace, proto je pro správné určení oblasti vektoru nutné normovat jeho velikost. Velikost poloměru naznačené kružnice je pouze $\sqrt{3}/2$ odvěsny trojúhelníka (maximální hloubky modulace), proto se pro normování používá následující rovnice:

$$m_n = \frac{\sqrt{3}}{2} m \quad (6)$$

Pro určení oblasti je dále nutné určit pomocné vektory m_1 a m_2 :

$$m_1 = m_n \cdot \left(\cos \alpha - \frac{\sin \alpha}{\sqrt{3}} \right) \quad (7)$$

$$m_2 = \frac{2}{\sqrt{3}} \cdot m_n \cdot \sin \alpha \quad (8)$$



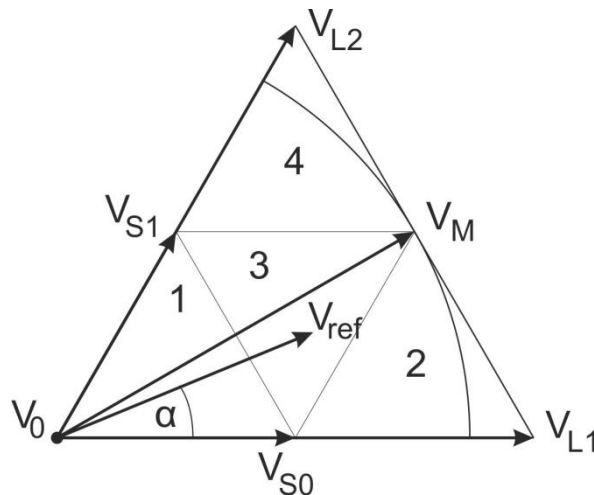
Obr. 13: Určení oblasti [2].

Z těchto rovnic lze dle Obr. 13 následujícím způsobem určit oblast.

1. Oblast nastává, pokud platí $m_1 + m_2 \leq 0,5$
2. Oblast nastává, pokud platí $m_1 \geq 0,5$
3. Oblast nastává, pokud platí $m_1 \leq 0,5$, $m_2 \leq 0,5$ a zároveň $m_1 + m_2 \geq 0,5$
4. Oblast nastává, pokud platí $m_2 \geq 0,5$

4.1.3 Určení poměrných dob sepnutí skutečných vektorů

Tato funkce ze znalosti hloubky modulace, oblasti a trigonometrických funkcí úhlu α určuje poměrnou dobu sepnutí skutečných vektorů v jedné periodě modulace.



Obr. 14: Výpočet poměrné doby sepnutí skutečných vektorů

Dle Obr. 14 jsou rovnice pro výpočet poměrné doby sepnutí skutečných vektorů závislé na oblasti. V oblasti 1 se poměrné doby sepnutí vektorů vypočtou následovně:

$$z_{VS0} = m \cdot (\sqrt{3} \cos \alpha \cdot \sin \alpha) \quad (9)$$

$$z_{VS1} = 2 \cdot m \cdot \sin \alpha \quad (10)$$

$$z_{V0} = 1 - z_{VS0} - z_{VS1} \quad (11)$$

V oblasti 2:

$$z_{VS0} = 2 - m \cdot (\sqrt{3} \cdot \cos \alpha + \sin \alpha) \quad (12)$$

$$z_{VL1} = -1 + m \cdot (\sqrt{3} \cdot \cos \alpha - \sin \alpha) \quad (13)$$

$$z_{VM} = 2 \cdot m \cdot \sin \alpha \quad (14)$$

V oblasti 3:

$$z_{VS0} = 1 - 2 \cdot m \cdot \sin \alpha \quad (15)$$

$$z_{VM} = -1 + m \cdot (\sqrt{3} \cdot \cos \alpha + \sin \alpha) \quad (16)$$

$$z_{VS1} = 1 + m \cdot (-\sqrt{3} \cdot \cos \alpha + \sin \alpha) \quad (17)$$

V oblasti 4:

$$z_{VS1} = 2 - m \cdot (\sqrt{3} \cdot \cos \alpha + \sin \alpha) \quad (18)$$

$$z_{VM} = m \cdot (\sqrt{3} \cdot \cos \alpha - \sin \alpha) \quad (19)$$

$$z_{VL2} = -1 + 2 \cdot m \cdot \sin \alpha \quad (20)$$

4.1.4 Určení vhodných vyvažujících kombinací

Paralelně je prováděna funkce Určení vyvažující kombinace, která na základě sektoru a zpětné vazby od střídače (napětí na kondenzátorech a fázových proudů) určí spínací kombinace malých vektorů vyrovnávající napětí na kondenzátorech ve stejnosměrném meziobvodu. Při výběru vhodných spínacích kombinací daného referenčního vektoru algoritmus využívá pravidlo uvedené v Tab. 3.

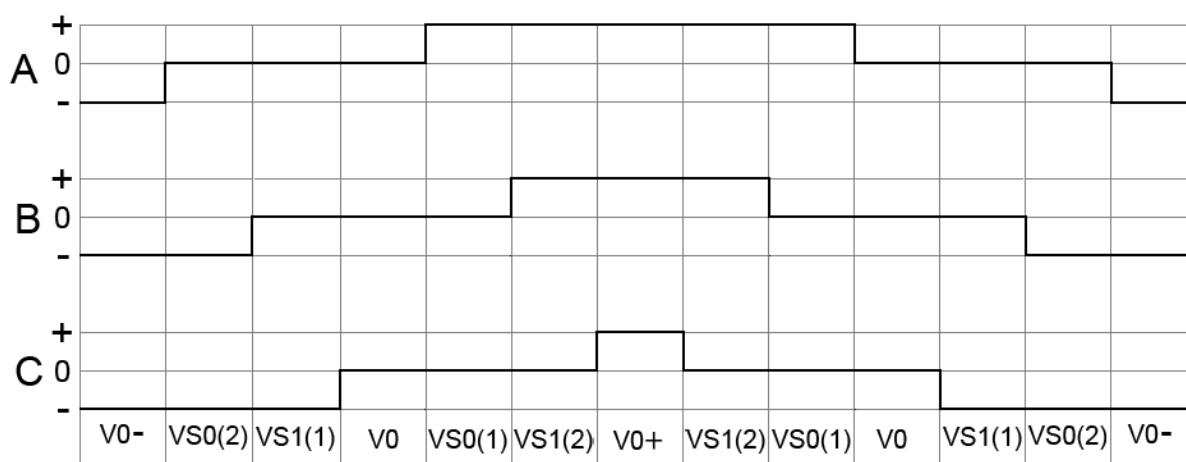
4.1.5 Určení spínacích kombinací

Dále následuje funkce Určení spínacích kombinací a poměrných dob přepnutí mezi nimi, která sestavuje spínací diagram. Funkce je nastavena tak, aby byl využíván maximální počet spínacích kombinací. Z toho vyplývá nutnost rozdělení doby sepnutí malých vektorů mezi vyvažující a rozvažující kombinace sepnutí. Ukázalo se výhodné zvolit poměr 1:4 pro vyvažující kombinace. Kromě dodržení správných poměrných dob sepnutí skutečných vektorů je vždy spínací diagram sestaven tak, aby s ohledem na napěťový skok fázového napětí a spínací ztráty byla vždy naráz provedeno pouze jedno přepnutí.

Pro přehlednost je výhodné zavést označení VS0(1) a VS1(1) pro kombinace vektorů VS0 a VS1, kde jsou dvě fáze v napěťové úrovni 0. VS0(2) a VS1(2) pro kombinace vektorů VS0, VS1 kde je jedna fáze v úrovni 0. Dále se zavede značení V0- pro kombinaci (-1, -1, -1), V0(0) pro (0, 0, 0), V0+ pro (1, 1, 1). Poté vycházejí spínací posloupnosti pro liché sektory (1,3,5) stejně. Totéž platí i pro sudé sektory (2,4,6), proto jsou spínací diagramy zobrazeny pro obecně pro liché a sudé sektory.

Pro názornost je vhodné na rozdíl sektoru rozlišit spínací diagramy dle oblasti, ve které se nachází referenční vektor. Což vede na čtyři různé kombinace pro liché sektory a čtyři pro sudé sektory, kdy každá oblast má svou posloupnost, přičemž v každé oblasti jsou využity všechny kombinace příslušných používaných skutečných vektorů.

Z Obr. 4 vyplývá, že oblast 1 je z hlediska vyrovnávání napětí kondenzátorů nejnvýhodnější. Pro oblast 1 jsou využívány dva vektory VS0, VS1, které mohou kompenzovat napětí kondenzátorů a jeden vektor V0, který neovlivňuje napětí na kondenzátorech.



Obr. 15: Spínací diagram pro oblast 1 v sektoru 1[2].

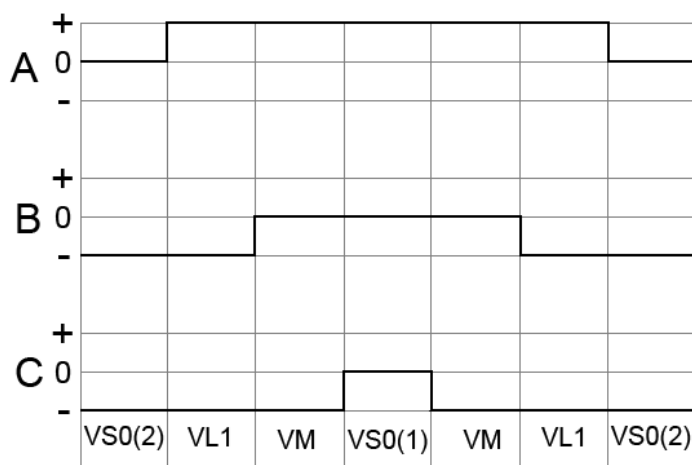
Na Obr. 15 je zobrazen spínací diagram pro první oblast lichých sektorů. Diagram začíná spínací kombinací $V0-$, kde má nejvíce fází úroveň výstupního napětí -1 . U každé následující spínací kombinace dojde k navýšení úrovně výstupního napětí jedné fáze, tak se postupuje až do dosažení spínací kombinace $V0+$, kde má nejvíce fází úroveň 1 . Poté se každou kombinací snižuje úroveň až do spínací kombinace $V0-$. Tím se zaručí sepnutí všech spínacích kombinací během jedné modulační periody v této oblasti a navíc je dodržena podmínka pouze jednoho přepnutí při změně spínací kombinace.

Pro zachování této podmínky pro sudé sektory je nezbytné zaměnit pořadí spínacích kombinací vektorů, $VS0(2)$ zaměnit s pořadím $VS1(2)$ a $VS0(1)$ zaměnit s $VS1(1)$. Díky tomu, že je v této oblasti spínací kombinace $V0-$ na začátku a na konci, je tato podmínka dodržena i při přechodu mezi sektory.

Provoz ve druhé oblasti je z hlediska vyrovnávání napětí na kondenzátoru nevýhodný. Tato oblast využívá dva napětí ovlivňující vektory $VS0$, VM , přičemž polaritu proudu tekoucího kondenzátory lze ovlivnit pouze u vektoru $VS0$. U vektoru VM jsou napětí kondenzátorů vyrovnávána nebo rozvažována v závislosti na jejich hodnotě a na polaritě proudu příslušné fáze. Zde nelze ovlivnit, zda tento vektor bude napětí kondenzátorů vyvažovat nebo rozvažovat.

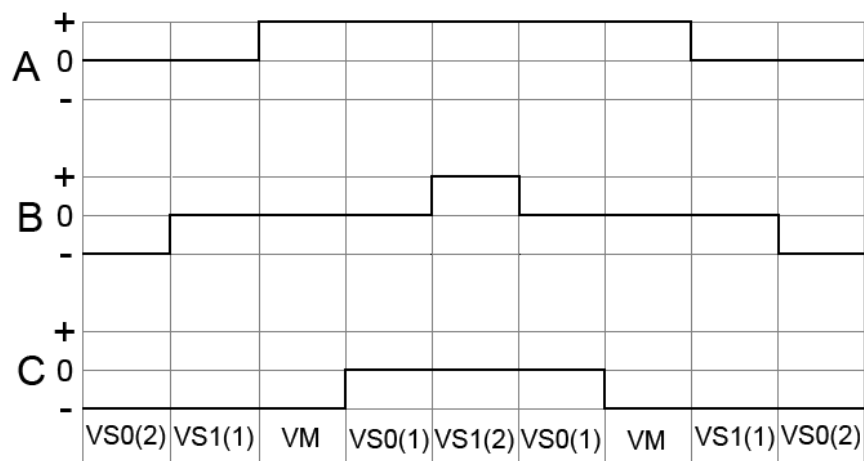
Spínací diagram v této oblasti pro liché sektory je zobrazen na Obr. 16. Pro liché sektory je první a poslední kombinací $VS0(2)$, kde má nejvíce fází úroveň napětí -1 . V polovině spínacího diagramu je spínací kombinace $VS0(1)$.

Pro sudé sektory je oproti Obr. 16 zaměněno pořadí spínacích kombinací $VS0(2)$ s $VS0(1)$ a VM s $VL2$, tím je dodržena přepnutí pouze jedné fáze o jednu úroveň fázového napětí při změně spínací kombinace.



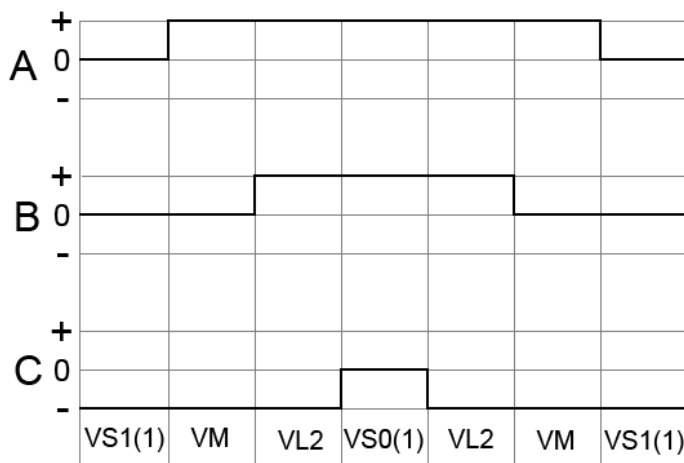
Obr. 16: Spínací diagram pro oblast 2 v sektoru 1[2].

V oblasti 3 lze oproti oblasti 2 lépe vyrovnávat napětí kondenzátorů. Napětí je ovlivňováno všemi třemi vektory, přičemž u dvou lze nastavit polarita proudu tekoucího kondenzátory. Spínací diagram je obdobný oblasti 1. Oproti tomuto diagramu má místo spínací kombinace $V0(0)$ kombinaci VM a spínací kombinace $V0-$ a $V0+$ jsou vynechány. Takto upravený diagram pro oblast 3 lichých sektorů je zobrazen na Obr. 17. Pro sudé sektory je stejně jako v případě oblasti 1 oproti lichým sektorům pořadí spínací kombinace $VS0(2)$ zaměnit s pořadím $VS1(2)$ a $VS0(1)$ zaměnit s $VS1(1)$.



Obr. 17: Spínací diagram pro oblast 3[2].

Oblast 4 je obdobná oblasti 2. Místo vektorů $VS0$ a $VL1$ jsou zde použity $VS1$ a $VL2$. Pro liché sektory je spínací diagram zobrazen na Obr. 18. Pro sudé sektory je nutno zaměnit pořadí VM s VL2, $VS1(1)$ s $VS1(2)$.



Obr. 18: Spínací diagram pro oblast 4[2].

Dle těchto spínacích diagramu je vypočteno šesti prvkové výstupní pole CMP. Jednotlivé prvky tohoto pole udávají čas v poměrných jednotkách, kdy má dojít k přepnutí daných dvojic tranzistorů.

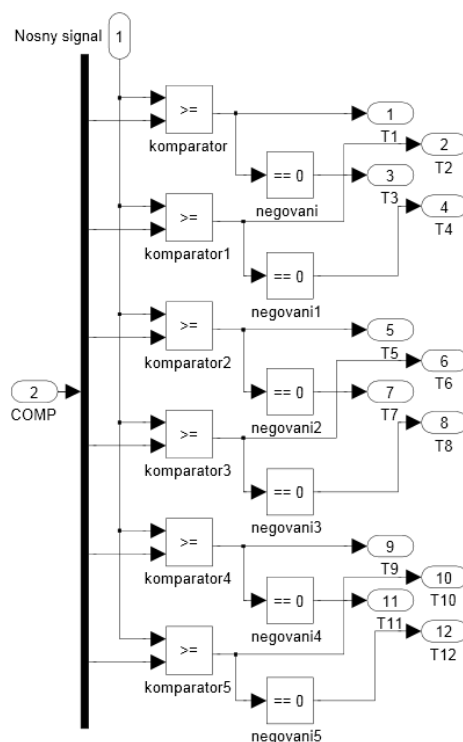
4.1.6 Řízení tranzistorů

Řízení tranzistorů je samostatným blokem. Vstupem této funkce je na základě spínacího diagramu výše vypočtené pole CMP (časy přepnutí daných dvojic tranzistorů) a proměnná nosný signál (pila). Na jejichž základě lze řídit dvojice tranzistorů dle Tab. 5. Kde Tx jsou výstupy pro T1,3,5,7,9,11 (vždy první tranzistor z dvojice). Ty jsou výstupy pro zbylé tranzistory (vždy druhý tranzistory z dvojice).

CMP[dané dvojice tranzistorů] < Nosný signál	Tx	Ty
0	0	1
1	1	0

Tab. 5: Logická tabulka pro řídicí výstup jednoho tranzistoru.

Dle Tab. 5 je horní tranzistor Tx sepnut a spodní Ty vypnut, pokud je hodnota nosného signálu větší než hodnota daného prvku z CMP. Pro hodnoty signálu menší než daného prvku je naopak sepnut spodní tranzistor Ty a horní tranzistor Tx je vypnut. Z této logiky lze dle schématu uvedeného na Obr. 19 řídit jednotlivé tranzistory.



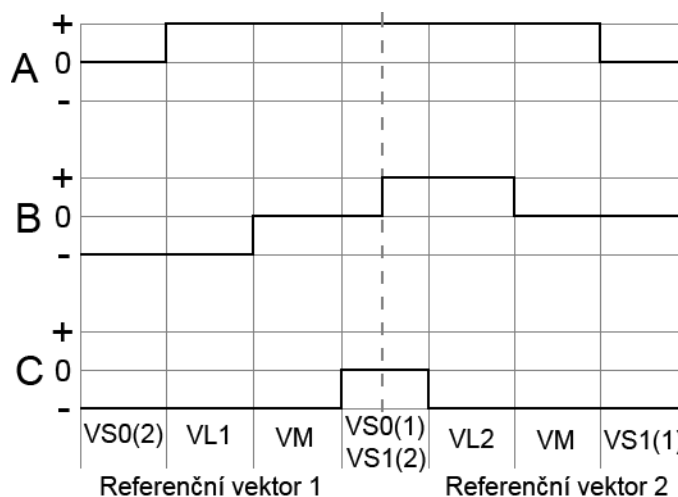
Obr. 19: Řízení tranzistorů.

4.2 Vektorová PWM s lepší dynamikou regulace

Vektorová modulace s lepší dynamikou regulace (algoritmus 2) byla zpracována dle návrhu uvedeného v literatuře [2] na zlepšení původní vektorové PWM (algoritmu 1). Kompletní blokové schéma řídicí části tohoto algoritmu je uvedeno v příloze A.

Tato vektorová PWM má stejné bloky jako původní. Rozdíl oproti původní vektorové PWM je v rychlosti změny referenčního vektoru, kdy nový vektor je zadáván nejenom v nule, ale i v periodě nosného signálu (pily). Následkem toho se jeden referenční vektor rozdělí na dva různé s poloviční délkou. Spínací diagram této PWM je podobný diagramu původní PWM.

Nicméně v rámci jedné periody nosného signálu může nastat, že oba referenční vektory budou z jiného sektoru nebo oblasti. Takovýto příklad je zobrazen na Obr. 20, kde oba vektory jsou ze stejného sektoru, ale první vektor je z oblasti 2, zatímco druhý z oblasti 4.



Obr. 20: Příklad spínacího diagramu algoritmu 2.

Od této úpravy bylo očekáváno nejenom lepší frekvenční spektrum, ale i snížení zvlnění napětí kondenzátorů vlivem lepší dynamiky, kdy lze v periodě opětovně určit. Naproti tomu je očekávána při zachování stejné spínací frekvence oproti původnímu algoritmu větší výpočetní náročnost (referenční vektory jsou vypočítávány dvakrát za periodu pily).

4.3 Vektorová PWM řízená asymetrickým pilovým signálem

Alternativou může být vektorová PWM řízená asymetrickým pilovým signálem, kde je nový referenční vektor zadáván v nule nosného signálu stejně jako u původní vektorové PWM. Kompletní blokové schéma řídicí části tohoto algoritmu je uvedeno v příloze B.

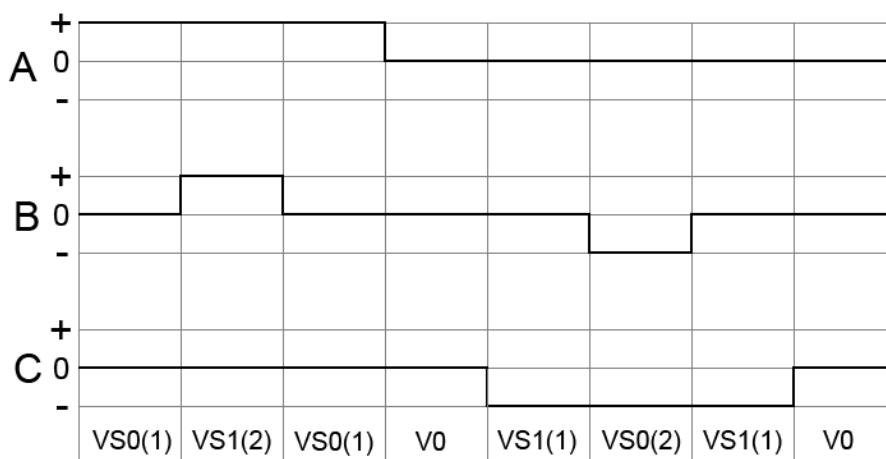
Pro dosažení kvalitního spektra je kvůli změně nosného signálu nutné změnit pořadí spínaných kombinací, tím se změní i spínací diagram. Při sestavování je výhodné využít označení spínací kombinací uvedené v kapitole 4.1.4. Po zavedení tohoto označení vycházejí spínací diagramy obdobně, liší se pouze dle oblasti zadaného referenčního vektoru.

Spínací diagram pro oblast 1 je zobrazen na Obr. 21. V této se začíná kombinací VS0(1), následují kombinace VS1(2), VS0(1), V0, VS1(1), VS0(2), VS1(1). Poslední kombinací je V0, díky tomu lze volit další referenční vektor s minimálním napěťovým skokem (změní se naráz úroveň pouze jednoho fázového napětí).

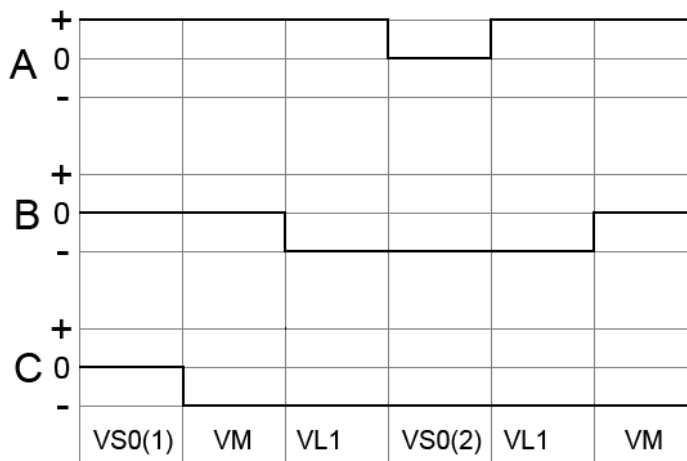
Spínací diagram pro oblast 2 je zobrazen na Obr. 22. Tato oblast počíná kombinací VS0(1), pokračuje kombinacemi VM, VL1, VS0(2), VL1 a končí kombinací VM.

Spínací diagram pro oblast 3 je zobrazen na Obr. 23. V této oblasti je první sepnutou kombinací VS0(1), následují VS1(2), VS0(1), VM, VS1(1), VS0(2), VS1(1), VM.

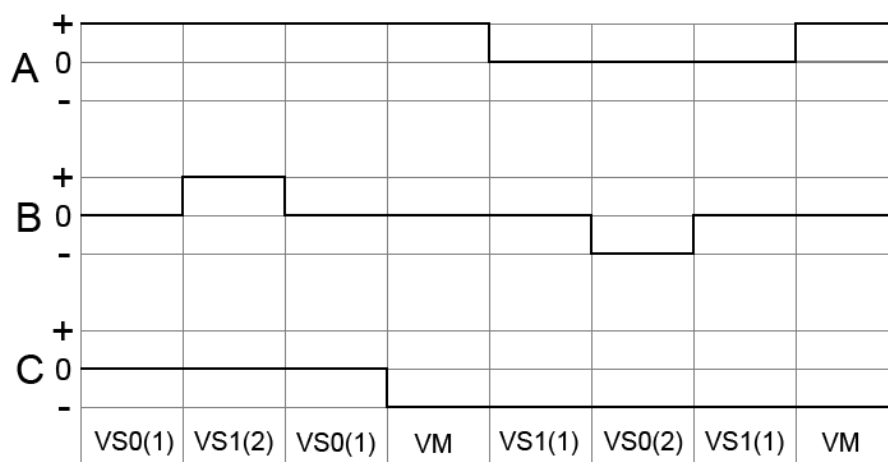
Spínací diagram pro oblast 4 je zobrazen na Obr. 24. V této oblasti je první sepnutou kombinací VS1(1), pokračují kombinace VM, VL2, VS1(2), VL2, VM.



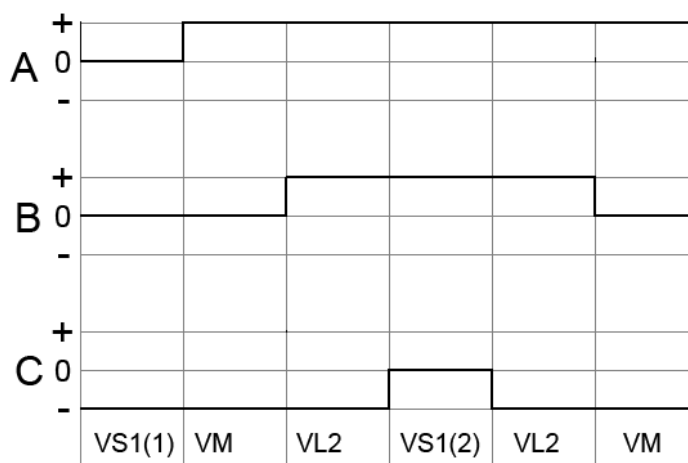
Obr. 21: Spínací diagram oblasti 1 v sektoru 1 dle algoritmu 3.



Obr. 22: Spínací diagram oblasti 2 v sektoru 1 dle algoritmu 3

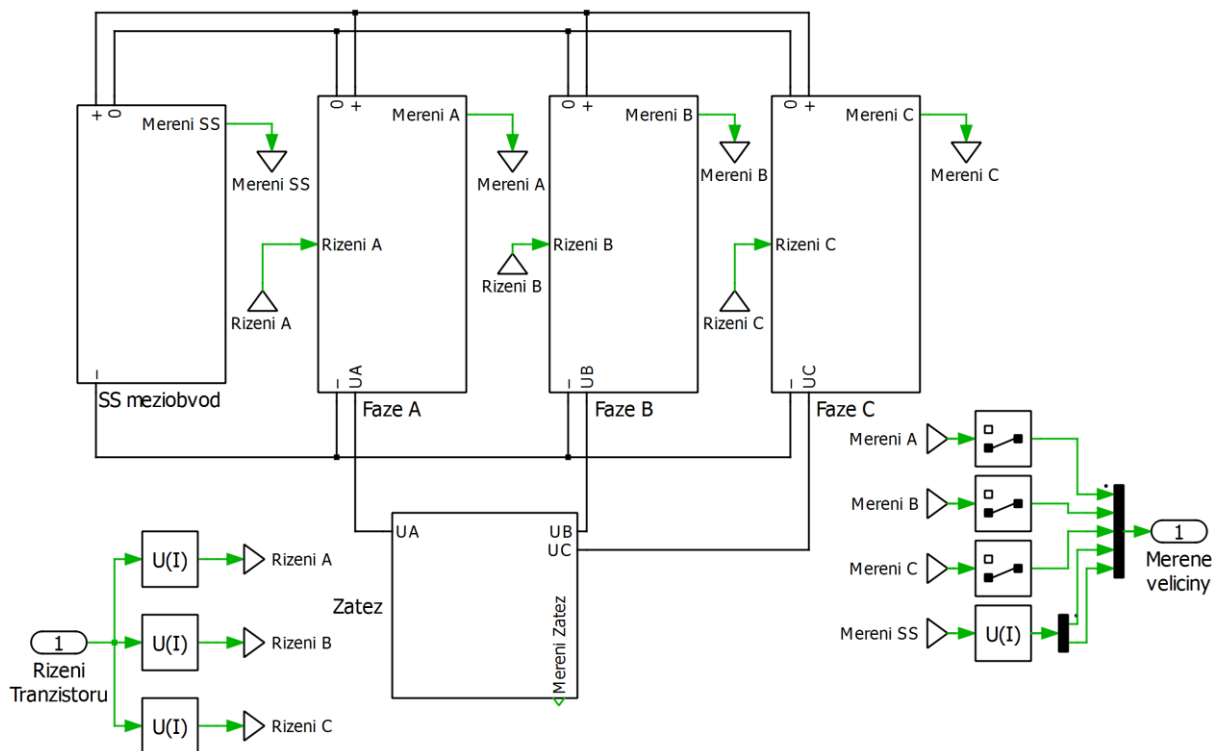


Obr. 23: Spínací diagram oblasti 3 v sektoru 1 dle algoritmu 3



Obr. 24: Spínací diagram oblasti 4 v sektoru 1 dle algoritmu 3

4.4 Provedení obvodů v bloku Plecs



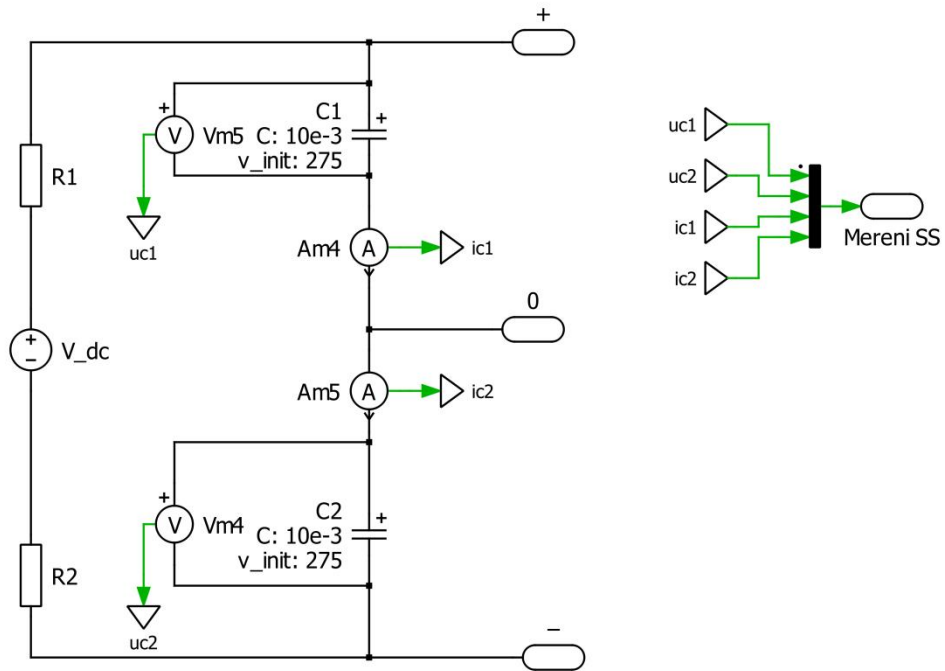
Obr. 25: Blokové schéma obvodu v PLECS.

V PLECS je realizován elektrický obvod střídače a zátěže. Dle Obr. 25 jsou vstupy řídicí signály jednotlivých tranzistorů. Výstupy jsou naměřené hodnoty v jednotlivých blocích. Vlastní obvod je rozdělen do několika podsystémů:

- Stejnoseměrný meziobvod
- Fáze A
- Fáze B
- Fáze C
- Zátěž

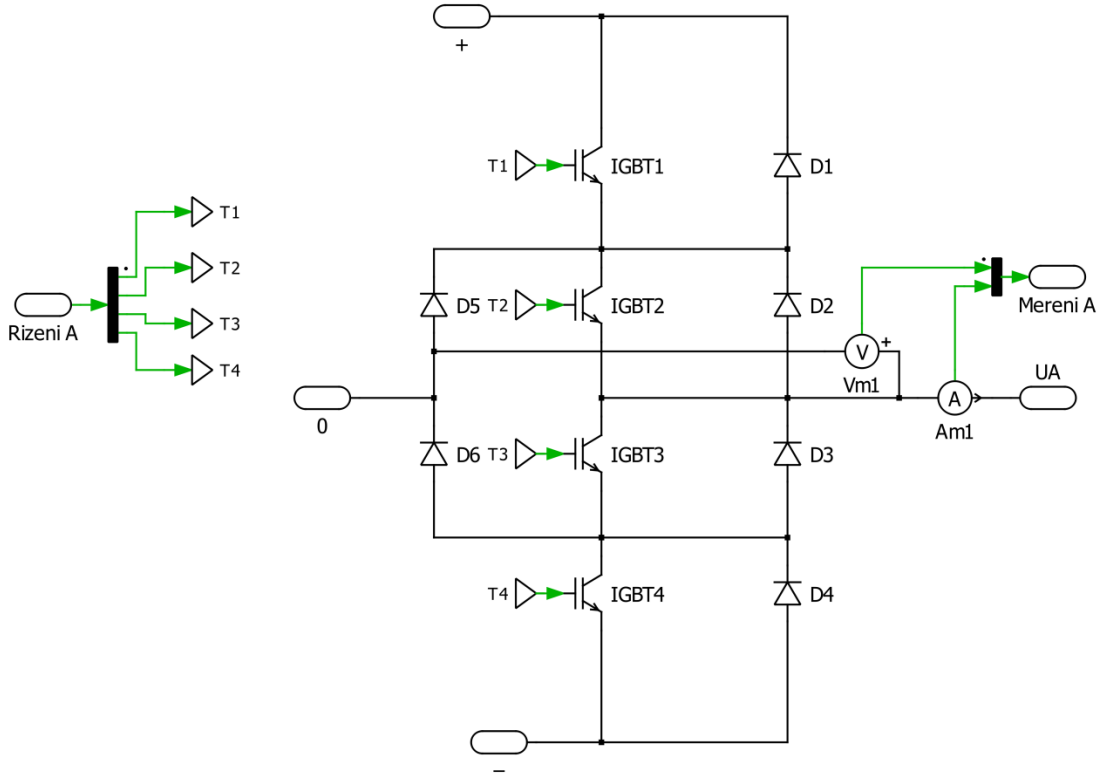
Stejnoseměrný meziobvod je zobrazen na Obr. 26. V tomto podsystému je měřeno napětí a proud kondenzátorů.

Obvod je složen z napěťového zdroje 750 V, ze dvou kondenzátorů C_1 , C_2 o kapacitě 10 mF a ze dvou rezistorů R_1 , R_2 o hodnotě 0,05 Ω , které představují parazitní vnitřní odpor zdroje a přívodů k střídači.



Obr. 26: Schéma stejnosměrného meziobvodu.

V podsystémech Fáze se nachází tranzistory, měření fázového napětí střídače a fázového proudu, viz Obr. 27.



Obr. 27: Schéma jedné fáze.

5 Implementace algoritmu v systému reálného času

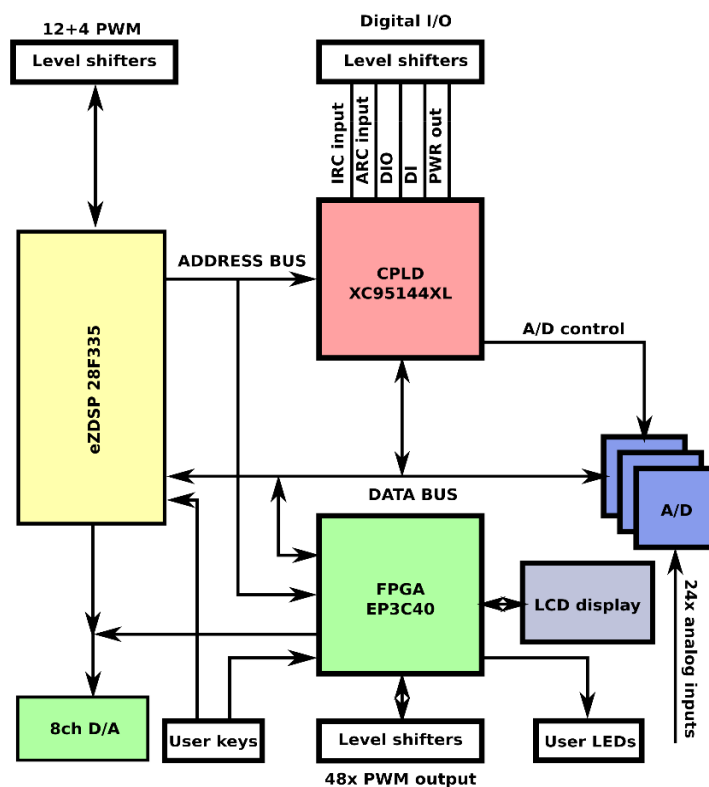
Implementace byla provedena pro tříúrovňový NPC ovládaný vývojovým kitem určeným pro řízení víceúrovňových měničů, tzv. MLC interface. MLC interface je určen na spolupráci s řadou digitálních signálových procesorů, z těchto DSP byl kvůli vlastnostem a parametrům uvedených v kapitole 5.3 vybrán TMS320F28335 od firmy Texas Instruments.

5.1 Driver víceúrovňového měniče

Řízení tříúrovňového střídače je prováděno prostřednictvím driveru. Driver zajišťuje buzení IGBT a jejich galvanické oddělení od MLC interface. Dále zabraňuje sepnutí zakázaných spínacích kombinací a měří napětí a proudy střídače. K tomu využívá 24 měřících převodníků, jejichž výstupy jsou vyvedeny na tři osmi pinové konektory

5.2 MLC interface

MLC interface byl navržen speciálně pro řízení víceúrovňových měničů. Lze rozdělit do několika bloků, viz blokové schéma na Obr. 28. Z hlediska výše uvedeného algoritmu jsou důležité bloky CPLD, A/D, FPGA a Level shifters pro PWM output.



Obr. 28: Blokové schéma MLC interface[6].

5.2.1 Analogově digitální převodník

Z Obr. 28 vyplývá, že při implementaci je dána přednost externím A/D převodníkům před integrovaným. MLC interface má osazeny celkem tři plně diferenciální, bipolární osmnáctibitové externí převodníky typu AD7609. Obsluhu zajišťuje ovladač v procesoru nebo entita v FPGA pomocí firmware v CPLD. Podpora v CPLD je klíčová, neboť tento převodník není konfigurovatelný pomocí své datové sběrnice. Konfigurace (přepínání rozsahů, nastavení over-samplingu atd.) se totiž provádí nastavením logických úrovní na příslušných konfiguračních vstupech. Více viz kapitola 5.2.2. Každý převodník, resp. jeho rozsah a oversampling je nastavitelný samostatně.[6]

Z Tab. 6 je vidět, že v porovnání s A/D převodníkem integrovaným v TMS320F28335 je použitý převodník podstatně (50x) pomalejší. Ovšem k dispozici jsou převodníky tři, je tedy možné spojit jejich vstupy paralelně a spouštět je s časovým posunem a tím dosáhnout 3x rychlejšího převodu za cenu menšího počtu vstupů.[6]

Je také třeba zvážit použití over-samplingu, neboť ten je realizován v AD převodníku a násobně prodlužuje dobu převodu. Tzn. 2x oversampling, omezí samplerate na 125kS/s atd.[5]

Parametr	Hodnota
Rozsah vstupního napětí	+/-5V, +/-10V
Rozsah dovoleného vstupního napětí	+/-16,5V
Rozlišení	18 bitů
Doba převodu (vyplý over-sampling)	2 μ s
Maximální samplerate	250 kS/s

Tab. 6: Parametry AD převodníku [6].

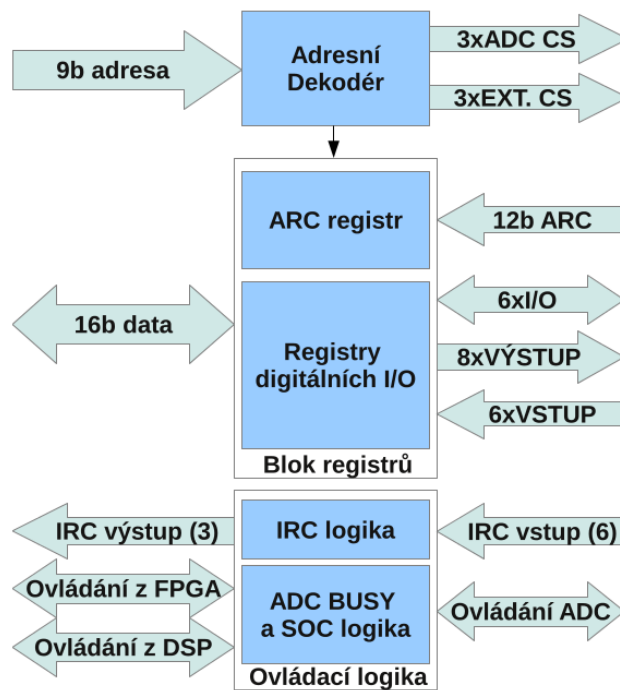
5.2.2 CPLD

Obvod CPLD zajišťuje především korektní obsluhu, adresování a nastavování A/D převodníků. Blokové schéma je naznačeno na Obr. 29. Z pohledu procesoru jsou převodníky mapovány na adresní místo 0x1 až 0x3 v rámci bloku externích adres procesoru.[6]

Základem logiky v CPLD obvodu je dekodér adres, který má rezervovaný rozsah adres od 0x000 do 0x00F, zbylý adresní prostor 0x010 až 0x1FF, tj. 496 adres, je využitelný logikou v obvodu FPGA, případně dalšími periferiemi.[6]

CPLD obvod je dále přímo propojen s FPGA i DSP tak, aby mohl generovat přerušení např. po dokončení převodu A/D převodníku, změně na vstupech atd.[6]

Druhá doplňková funkce je rozšíření počtu univerzálních vstupů a výstupů, ARC a IRC vstup.[6]



Obr. 29: CPLD logika[6].

5.2.3 FPGA

FPGA slouží především k ovládní 48 digitálních výstupů, kterými disponuje. Každý z těchto výstupů je vyveden přes level shifter, který je nastavitelný na výstupní napětí 3,3, 5 nebo 15 voltů.[6]

FPGA také může pomocí DMA (kdy zablokuje procesoru přístup na externí adresovou a datovou sběrnici) přímo komunikovat s A/D převodníky, případně s CPLD a na něj napojenými vstupy a výstupy.[6]

5.3 DSP TMS320F28335

TMS320F28335 byl vybrán kvůli žádanému počtu periférií, zejména PWM modulů. Dalšími přednostmi procesoru jsou hardwarová podpora výpočtu v plovoucí desetinné čárce (FPU), frekvence, atd. Důležité parametry procesoru pro výše uvedený algoritmus jsou uvedeny v Tab. 7.

Jádro může pracovat s maximální frekvencí až 150 MHz. Navíc mikrokontroler má více než dostatečně velkou paměť pro program a paměť pro data. Díky tomu a další přednostem tohoto DSP lze rozšířit algoritmus např. přidat vektorové řízení asynchronní či synchronního motoru, aniž by bylo nutné přidat další DSP.

Ovládání driveru střídače usnadňuje 88 GPIO a 6 PWM modulů. PWM moduly jsou 16 bitové. Každý PWM modul má dva výstupy a dva compare registry. Výstupy mohou pracovat nezávisle, přičemž každý má svůj vlastní compare registr, sepnutí těchto výstupů je v jiný okamžik.

CPU	C28x
FPU	Ano
Frekvence	150 MHz
RAM	68 kB
Flash	512 kB
Šířka sběrnice	16 b
PWM	6 modulů
CAP/QEP	1
GPIO	88
Timers	3

Tab. 7: Parametry TMS320F28335.

5.4 Úprava algoritmu pro DSP

Pro DSP je nutno upravit algoritmus tak, aby řízení tranzistorů i výpočty poměrných dob sepnutí tranzistorů oproti simulaci probíhaly v reálném čase. Za tímto účelem je nezbytné vhodně časově rozvrhnout algoritmus, využít vhodné správně nastavené periférie a driver pro buzení IGBT.

5.4.1 Časové rozvržení algoritmu

Po resetu začíná program nastavením DSP, MLC interface, integrovaných a externích periférií, přerušení. Dále následuje resetování driveru a odblokování funkce budičů IGBT tranzistorů. Dále následuje rezerva. Sem lze vložit další funkce např. komunikace, diagnostika, atd.

Hlavní část programu (řídící algoritmus 2) vypočítávající ze znalosti měřených napětí kondenzátorů a fázových proudů dle zadaného referenčního vektoru poměrné doby sepnutí tranzistorů je umístěna v přerušení, které nastává dvakrát za periodu PWM čítače vždy po dokončení převodu A/D převodníku. Z toho vyplývá, že za méně než půl modulační periody musí DSP vždy stihnout vypočítat poměrnou dobu sepnutí tranzistorů, zvládnout obsloužit některé periférie a případné přidané aplikace.

Spouštění převodu A/D převodníku nastává vždy na začátku periody PWM čítače (modulační periody) a v polovině periody PWM čítače (v amplitudě PWM čítače).

Nicméně z hlediska regulace je lepší nastavit spouštění A/D převodníků co nejpozději před začátkem dalšího vektoru. Díky tomu by bylo menší dopravní zpoždění a hodnoty proudů a napětí byly aktuálnější. Na druhou stranu by takto zvolené řešení mohlo způsobit problém s časovým rozvržením programu při implementaci nadřazeného řídícího algoritmu (např. vektorového řízení). Navíc při takto zvoleném spouštění A/D převodníků nebylo zaznamenáno znatelné zlepšení kvality regulace, proto je voleno spouštění převodu A/D převodníků v 0 a polovině periody PWM čítače.

Dále kvůli přesnosti a snížení zatížení DSP je pro řízení tranzistorů nutné využít PWM modul. PWM modul porovnává hodnotu compare registru s aktuální hodnotou counter registru PWM. Dle toho se nastaví řídicí výstup.

5.4.2 Nastavení PWM

Aby byl průběh PWM čítače co nejvíce srovnatelný se symetrickým pilovým průběhem v simulaci, je PWM čítač nastaven tak, aby čítal a nahoru a dolů. Dělicí poměr předděličky je z hlediska funkčnosti modulační nastaven na nejmenší možnou hodnotu /2. Díky tomu je při zachování přesné spínací frekvence nastavena perioda PWM čítače, tak aby rozlišení bylo co největší a tím chyba nejmenší.

Oproti simulaci kde je použit pouze jeden generátor pilového průběhu, je zde použito několik PWM modulů s vlastním čítačem. Proto je kromě stejného nastavení všech použitých PWM modulů nutno zajistit jejich synchronizaci. Synchronizace je provedena vždy v nule čítače prvního PWM modulu. V tento okamžik je zbylým PWM modulům nastaven čítač do nuly.

Kromě řízení tranzistorů PWM moduly zajišťují synchronizaci algoritmu. To znamená, že spínají A/D převodník, který po převodu vyvolá přerušení obsahující řídicí algoritmus. Za tímto účelem musí být povoleno spínání A/D převodníku PWM moduly.

K spínání jsou kvůli omezeným možnostem nastavení zvoleny dva PWM moduly. První spíná převod v nule, druhý v amplitudě PWM čítače.

5.4.3 Nastavení AD převodníku

Pro daný algoritmus je využíván externí A/D převodník, nastavení tohoto převodníku je oproti integrovanému složitější. A/D je nutné nastavit pomocí obvodu CPLD, pro zapsání patřičných hodnot pro nastavení A/D převodníků je vhodné využít funkci `MLC_ADC_setup` deklarovanou v knihovně `MLC_driver.c`. Parametry této funkce jsou, rozsah a počet konverzí (oversampling).

Jelikož na výstupu měřícího převodníku driveru se napětí pohybuje od 0 do 3 V, volí se nejmenší možný rozsah 5 V. Parametr `oversampling` je z důvodu relativně dlouho trvajícího převodu nastaven na hodnotu 0.

6 Měření a porovnání algoritmů

Za účelem porovnání algoritmů vektorové PWM tříúrovňového střídače byly provedeny simulace s ideálními parametry (obvod je zatížen symetrickou RL zátěží a neobsahuje vybíjecí odpory). Na základě těchto simulací byl vybrán algoritmus s nejlepšími výsledky, jenž byl dále analyzován a porovnán s vektorovou PWM dvouúrovňového střídače. Dále byl tento algoritmus zvolen pro implementaci do modulátoru skutečného měniče. Před vlastní implementací byla funkčnost algoritmu dále ověřena další simulací. Tato simulace byla upravena tak, aby se model přiblížil parametrům vybraného laboratorního obvodu.

6.1 Simulace s ideálními parametry

Simulace s ideálními parametry (nulové vybíjecí odpory a symetrická RL zátěž) byly provedeny pro dvouúrovňový střídač, jehož model je uveden v příloze C a pro všechny navrhované algoritmy vektorové PWM u tříúrovňového NPC střídače. U všech algoritmů simulací byly vyhodnoceny časové průběhy veličin, spektrum fázového napětí zátěže. Pro algoritmus vektorové PWM s lepší dynamikou, který měl nejlepší vlastnosti, byly dále pozorovány závislost THD_u na spínací frekvenci, na hloubce modulace a zvlnění napětí kondenzátorů v závislosti na kapacitě, hloubce modulace a účinníku.

6.1.1 Průběhy napětí a proudů

Časové průběhy napětí a proudů byly zaznamenány a porovnány vždy pro největší hloubku modulace ($m = 1$). Pro ověření funkčnosti algoritmů byly zvoleny parametry tak, aby průběh proudu byl relativně zvlněný.

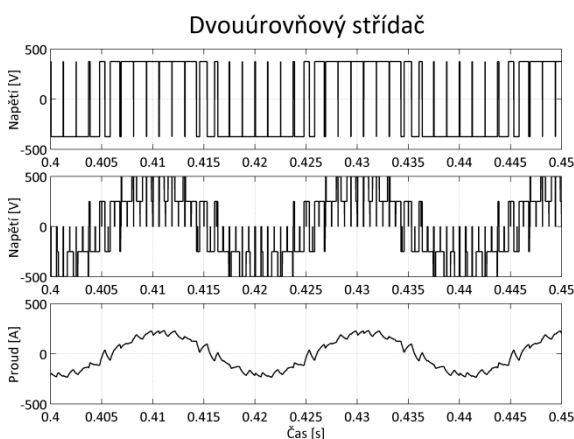
Frekvence výstupní napěťové křivky byla zvolena 50 Hz při spínací frekvenci 800 Hz. Ve stejnosměrném meziobvodu byla zvolena kapacita kondenzátorů $C_1 = C_2 = 10$ mF a napětí zdroje 750 V. Jako zátěž bylo zvoleno sériové zapojení rezistoru a indukčnosti o hodnotě odporu $R = 2 \Omega$ a hodnotě indukčnosti $L = 1$ mH, což představuje pro 50 Hz modul impedance $Z = 2,025 \Omega$.

Na Obr. 31, Obr. 32, Obr. 33 jsou zobrazeny časové průběhy napětí a proudu tříúrovňového střídače se třemi různými algoritmy, průběhy dvouúrovňového střídače jsou zobrazeny na Obr. 30. První graf na těchto obrázcích udává průběh fázového napětí střídače,

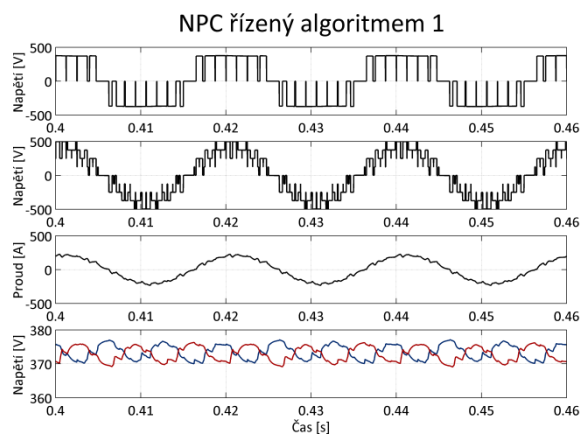
druhý fázové napětí zátěže, třetí proud zátěže. U algoritmů tříúrovňového střídače je navíc zobrazen čtvrtý graf s průběhy napětí na kondenzátorech.

U třífázového NPC střídače má křivka fázového napětí zátěže 9 úrovní, zatímco u dvouúrovňového pouze 5, což způsobí menší napěťový skok mezi úrovněmi. Díky tomu má křivka proudu zátěže u tříúrovňového střídače menší zvlnění oproti dvouúrovňovému střídači, což je nejvíce patrné při relativně malých hodnotách spínací frekvence a indukčnosti zátěže.

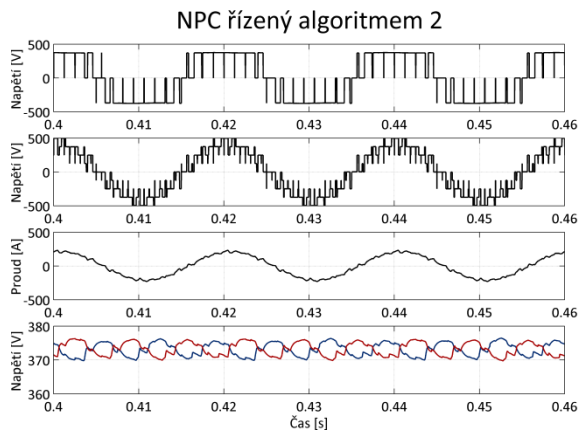
Nevýhodou může být vliv rozdílného napětí kondenzátorů, který posouvá úroveň 0 všech fázových napětí střídače. Nicméně z časových průběhů vyplývá, že napětí kondenzátorů jsou zvlněna jen minimálně, proto není ani pozorovatelný vliv rozdílných napětí na křivkách fázového napětí střídače a zátěže. Velikost zvlnění lze také ovlivnit velikostí kondenzátorů meziobvodu.



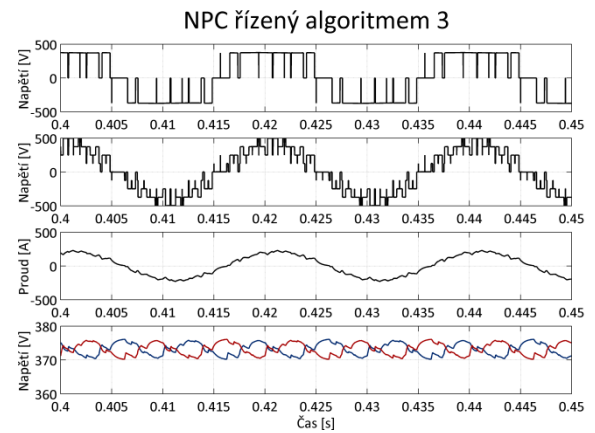
Obr. 30: Časový průběh fázového napětí střídače (graf 1), fázového napětí zátěže (graf 2), fázového proudu (graf 3) dvouúrovňového napěťového střídače při $f_v = 50$ Hz, $f_s = 800$ Hz, $U_{DC} = 750$ V, s připojenou zátěží $R = 2 \Omega$, $L = 1$ mH.



Obr. 31: Časový průběh fázového napětí střídače (graf 1), fázového napětí zátěže (graf 2), fázového proudu (graf 3), napětí kondenzátorů (graf 4) NPC s algoritmem 1 (původní vektorová PWM řízená symetrickým pilovým signálem) $C_1 = C_2 = 10$ mF, $U_{DC} = 750$ V, $f_v = 50$ Hz, $f_s = 800$ Hz, a zátěží $R = 2 \Omega$ a $L = 1$ mH.



Obr. 32: Časový průběh fázového napětí střídače (graf 1), fázového napětí zátěže (graf 2), fázového proudu (graf 3), napětí kondenzátorů (graf 4) NPC s algoritmem 2 (vektorová PWM s lepší dynamikou) při $C_1 = C_2 = 10 \text{ mF}$, $f_v = 50 \text{ Hz}$, $f_s = 800 \text{ Hz}$, $U_{DC} = 750 \text{ V}$ a zátěži $R=2 \text{ } \Omega$ a $L=1 \text{ mH}$.



Obr. 33: Časový průběh fázového napětí střídače (graf 1), fázového napětí zátěže (graf 2), fázového proudu (graf 3), napětí kondenzátorů (graf 4) NPC s algoritmem 3 (vektorová PWM řízená asymetrickým pilovým signálem) $C_1 = C_2 = 10 \text{ mF}$, $f_v = 50 \text{ Hz}$, $f_s = 800 \text{ Hz}$, $U_{DC} = 750 \text{ V}$ a zátěži $R=2 \text{ } \Omega$ a $L=1 \text{ mH}$.

6.1.2 Spektrální analýza

Spektrální analýza byla provedena u dvouúrovňového a u tříúrovňového střídače řízeného všemi uvedenými algoritmy vektorové PWM pro nejvyšší možnou hodnotu hloubky modulace pomocí programu Plecs. Parametry byly voleny stejně jako v případě kapitoly 6.1.1, to znamená:

Název veličiny	Označení veličiny	Hodnota
Spínací frekvence	f_s	800 Hz
Výstupní frekvence	f_v	50 Hz
Kapacita kondenzátoru	C_1, C_2	10 mF
Napětí zdroje	U_{DC}	750 V
Indukčnost zátěže	L	1 mH
Odpor zátěže	R	2 Ω
Hloubka modulace	m	1,0

Tab. 8: Parametry simulace určené pro spektrální analýzu

U spektrálních analýz byla do Tab. 9 pro všechny algoritmy zaznamenána úroveň první harmonické a vypočten činitel THD_u :

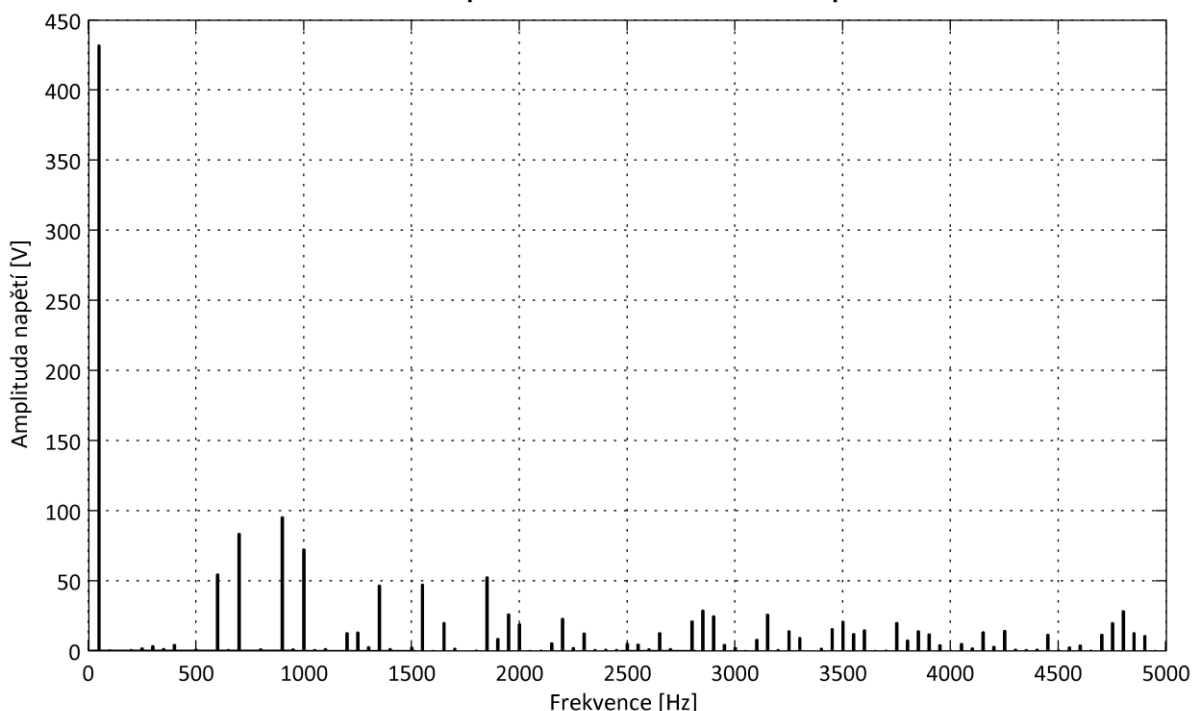
$$THD_u = \frac{\sqrt{\sum_{h=2}^{40} U_h^2}}{U_1} \quad (21)$$

Frekvenční spektrum vektorové PWM dvouúrovňového má dle teoretických předpokladů kvůli menšímu počtu úrovní horší kvalitu frekvenčního spektra křivky fázového napětí zátěže. Ve frekvenčním spektru jsou v postranním pásmu pozorovatelné oproti tříúrovňovému střídači harmonické až s dvojnásobnou úrovní. To se projeví i na činiteli THD_u , který je u dvouúrovňového střídače přibližně dvojnásobný.

Z uvedených vektorových modulací určených pro tříúrovňový střídač je nejhorší spektrum u algoritmu 3, s čímž souvisí velká spektrální hustota v postranním pásmu. Navíc při této modulaci dosahují napětí frekvencí v postranním pásmu největších amplitud, proto je i činitel THD_u oproti zbylým vektorovým PWM tříúrovňového střídače větší.

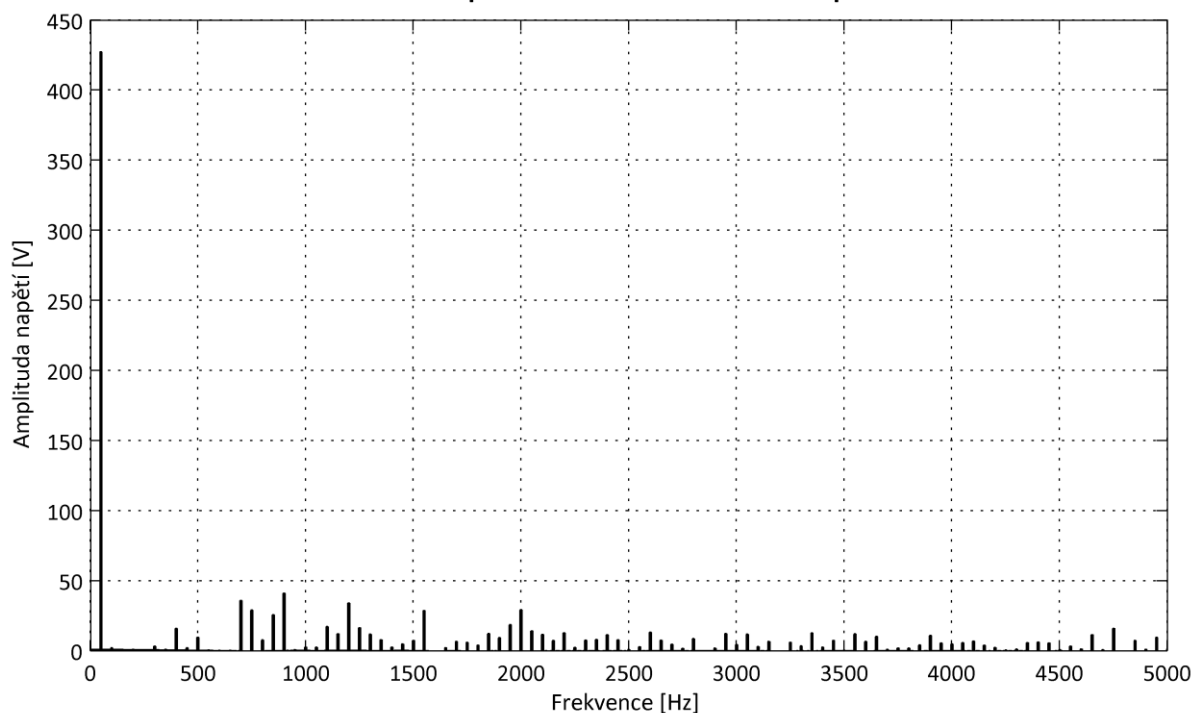
Naopak dle velikosti činitele THD_u je dle předpokladů nejlepší vektorová PWM s lepší dynamikou následovaná původní vektorovou PWM. Navzdory tomu, že jsou modulace až na časový interval zadávání nových referenčních vektorů stejné, je jejich frekvenční spektrum rozdílné. U původní vektorové PWM je v postranních pásmech obsažen větší počet harmonických, nicméně jejich úroveň je oproti vektorové PWM s lepší dynamikou, kde je obsaženo méně harmonických v postranním pásmu menší.

Frekvenční spektrum fázového napětí zátěže



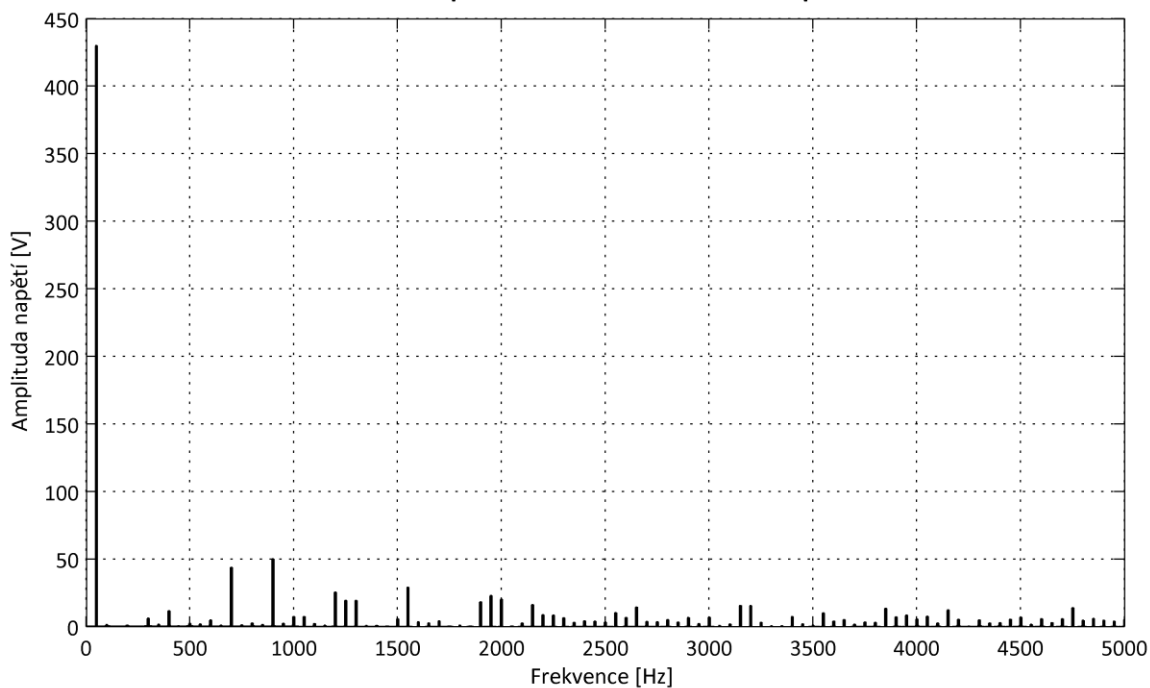
Obr. 34: Frekvenční spektrum fázového napětí zátěže dvouúrovňového střídače při $f_s = 800$ Hz, $f_r = 50$ Hz, $m = 1,00$, $U_{DC} = 750$ V a zatížení $R = 2 \Omega$, $L = 0,001$ H).

Frekvenční spektrum fázového napětí zátěže



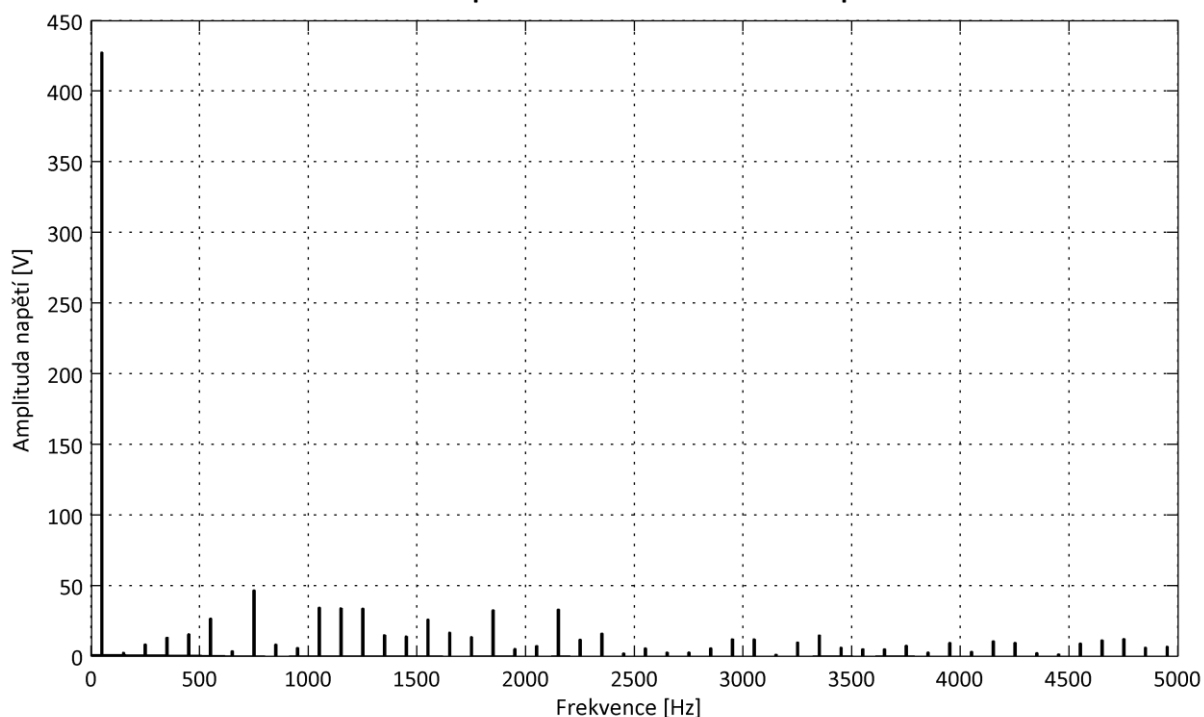
Obr. 35: Frekvenční spektrum fázového napětí zátěže tříúrovňového NPC střídače řízeného algoritmem 1 (původní vektorová PWM řízená symetrickým pilovým průběhem) při $f_s = 800$ Hz, $f_v = 50$ Hz, $m = 1,00$, $U_{DC} = 750$ V, $C_1 = C_2 = 10$ mF a zatížení $R = 2 \Omega$, $L = 0,001$ H.

Frekvenční spektrum fázového napětí zátěže



Obr. 36: Frekvenční spektrum fázového napětí zátěže tříúrovňového NPC střídače řízeného algoritmem 2 (vektorová PWM s lepší dynamikou) při $f_s = 800$ Hz, $f_v = 50$ Hz, $m = 1,00$, $U_{DC} = 750$ V, $C_1 = C_2 = 10$ mF a zatížení $R = 2 \Omega$, $L = 0,001$ H.

Frekvenční spektrum fázového napětí zátěže



Obr. 37: Frekvenční spektrum fázového napětí zátěže tříúrovňového NPC střídače řízeného algoritmem 3 (vektorová PWM řízená asymetrickým pilovým průběhem) při $f_s = 800$ Hz, $f_v = 50$ Hz, $m = 1,00$, $U_{DC} = 750$ V, $C_1 = C_2 = 10$ mF a zatížení $R = 2 \Omega$, $L = 0,001$ H.

	Algoritmus 1	Algoritmus 2	Algoritmus 3	Dvouúrovňový střídač
THD _u [%]	22,85	21,34	23,12	42,43
U ₍₁₎ [V]	427,17	429,78	427,35	431,86

Tab. 9 THDu a napětí první harmonické daných aplikací

6.1.3 Vliv hloubky modulace na THD

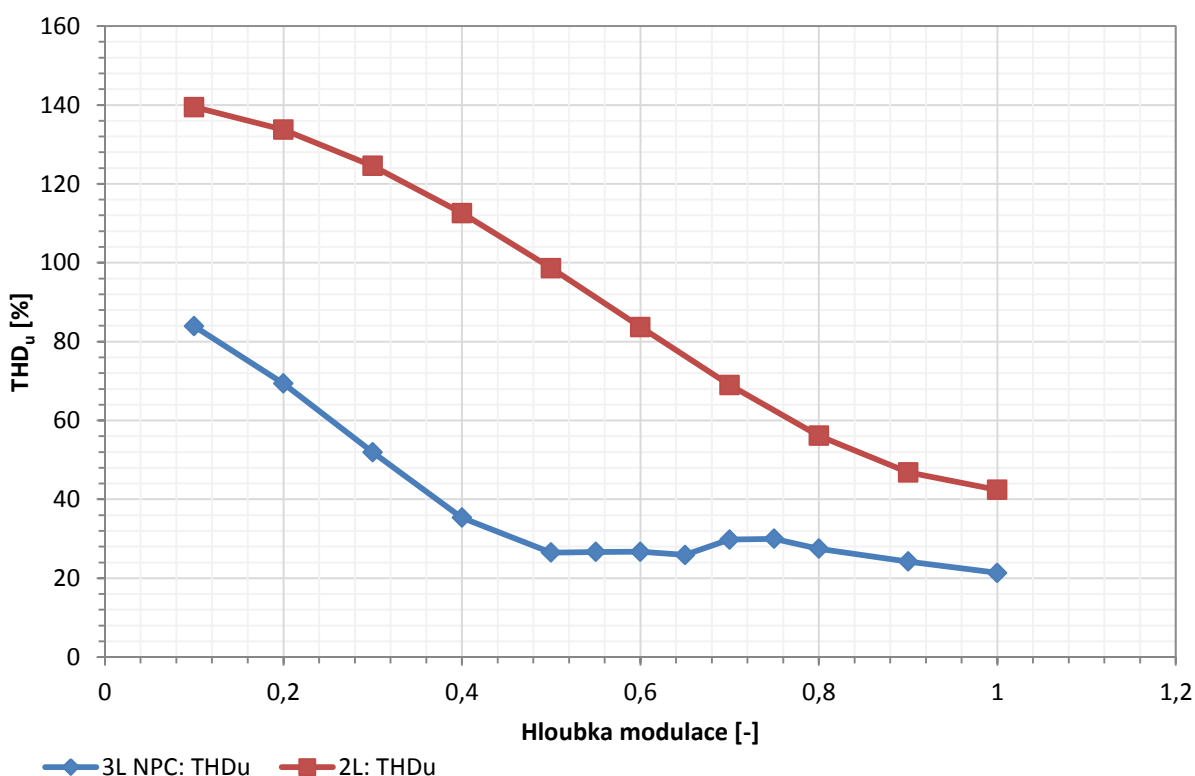
Vliv hloubky modulace byl měřen při stejných výše uvedených parametrech v Tab. 8 u dvouúrovňového a tříúrovňového střídače řízeného algoritmem 2 (vektorovou PWM s lepší dynamikou), který měl v předchozí kapitole nejmenší činitel THD_u. U obou typů střídače byl sledován průběh napětí na zátěži. Z něhož byla následně Fourierovou transformací určena amplituda napětí prvních čtyřiceti harmonických. Amplitudy harmonických byly dále použity dle rovnice (21) pro výpočet činitele THD_u, jehož výsledky spolu s hodnotou pro oba střídače byly vyneseny do grafu na Obr. 38.

THD_u je u obou měničů nejlepší pro velké hloubky modulace a téměř neustále roste se snižující se hloubkou modulace. Výjimkou jsou u tříúrovňového střídače hloubky modulací

v okolí hodnoty 0,6, kde se snižující se hloubkou postupně přestávají využívat oblasti 2 a 4, kvůli tomu se přestávají spínat velké napěťové vektory VL1 a VL2. Místo nich jsou v nižších hloubkách spínány malé vektory VS0, VS1. To zlepšuje kvalitu regulace napětí kondenzátorů, což dále vede ke změně rozložení úrovní napětí v postranním pásmu. Díky tomu jsou některé harmonické s vysokou úrovní mimo sledované pásmo do 2 kHz, což se projeví na snížení velikosti činitele THD_u .

Kromě závislosti velikosti činitele THD_u na hloubce modulaci je z Obr. 38 také patrná závislost na počtu úrovní. U tříúrovňového střídače je menší napěťový skok mezi dvěma sousedními úrovněmi fázového napětí střídače a zátěže, proto je u tohoto střídače činitel THD_u pro všechny hloubky modulace přibližně poloviční.

Závislost THD_u na m



Obr. 38: Graf závislosti THD_u dvou a tříúrovňového střídače řízeného algoritmem 2 (vektorová PWM s lepší dynamikou) na hloubce modulace zatížených $R = 2 \Omega$, $L = 1 \text{ mH}$ při $f_s = 800 \text{ Hz}$, $f_v = 50 \text{ Hz}$, $U_{DC} = 750 \text{ V}$, $C_1 = C_2 = 10 \text{ mF}$.

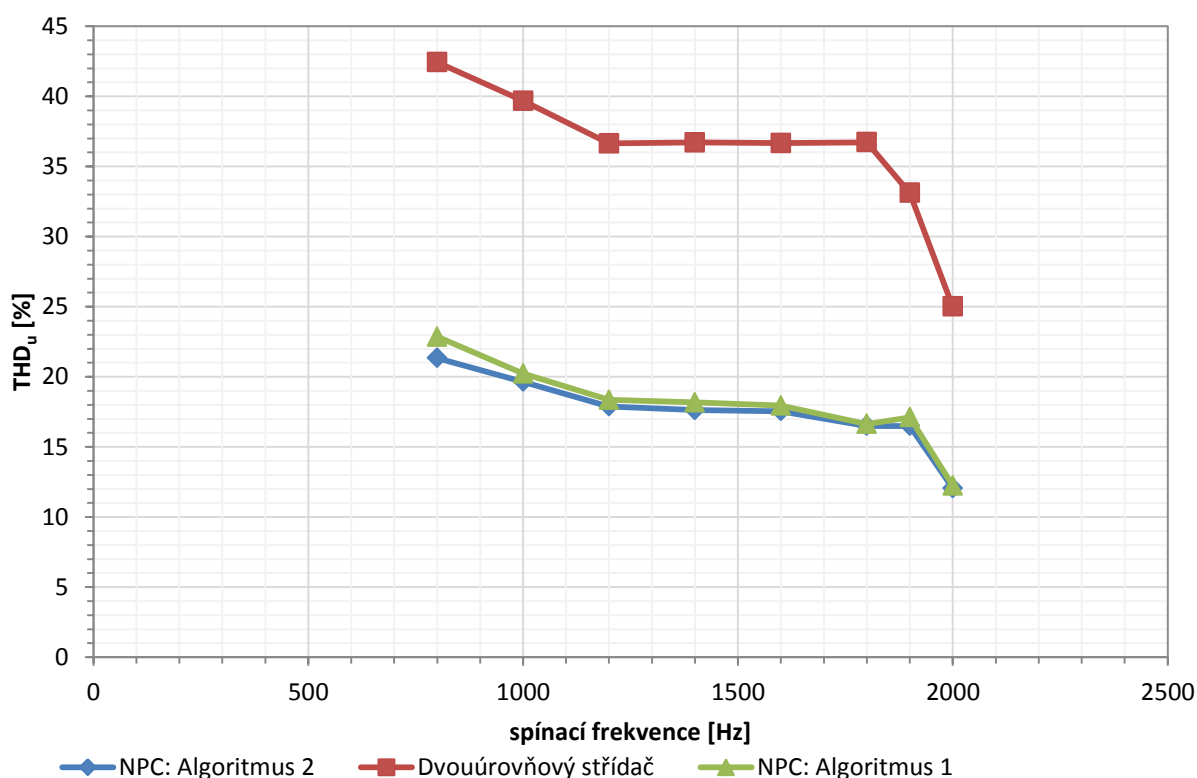
6.1.4 Vliv spínací frekvence na THD

Kromě vlivu hloubky modulace byl při parametrech uvedených v Tab. 8 zaznamenán vliv spínací frekvence, kde spínací frekvence byla volena v rozmezí 800 až 2000 Hz.

Na Obr. 39 dochází s rostoucí frekvencí ke zlepšení THD_u , což je způsobeno omezením sledovaného pásma při výpočtu THD_u do 2 kHz. Zvýšením spínací frekvence se harmonické u obou střídačů přesunou mimo sledované pásmo, a tím dojde ke zlepšení THD_u . Pokles činitele THD_u je nejvýraznější u spínacích frekvencí blízkých se 2 kHz, kde se již mimo sledované pásmo nachází většina harmonických kmitočtů postranního pásma s větší amplitudou.

Kromě závislosti na spínací frekvenci je na Obr. 39 pozorovatelná závislost činitele THD_u na typu použitého střídače, u dvouúrovňového je téměř dvojnásobný. Dále lze také pozorovat, že použitím algoritmu 2 lze oproti původnímu snížit činitel téměř u všech spínacích frekvencí přibližně o několik desetín procent.

Závislost THD_u na spínací frekvenci



Obr. 39: Graf závislosti THD_u na spínací frekvenci dvou a tříúrovňového střídače řízeného algoritmem 2 (vektorová PWM s lepší dynamikou) a algoritmem 1 (původní algoritmus) zatíženého $R = 2 \Omega$, $L = 1 \text{ mH}$ při $U_{DC} = 750 \text{ V}$, $m = 1,00$, $C_1 = C_2 = 10 \text{ mF}$, $f_v = 50 \text{ Hz}$.

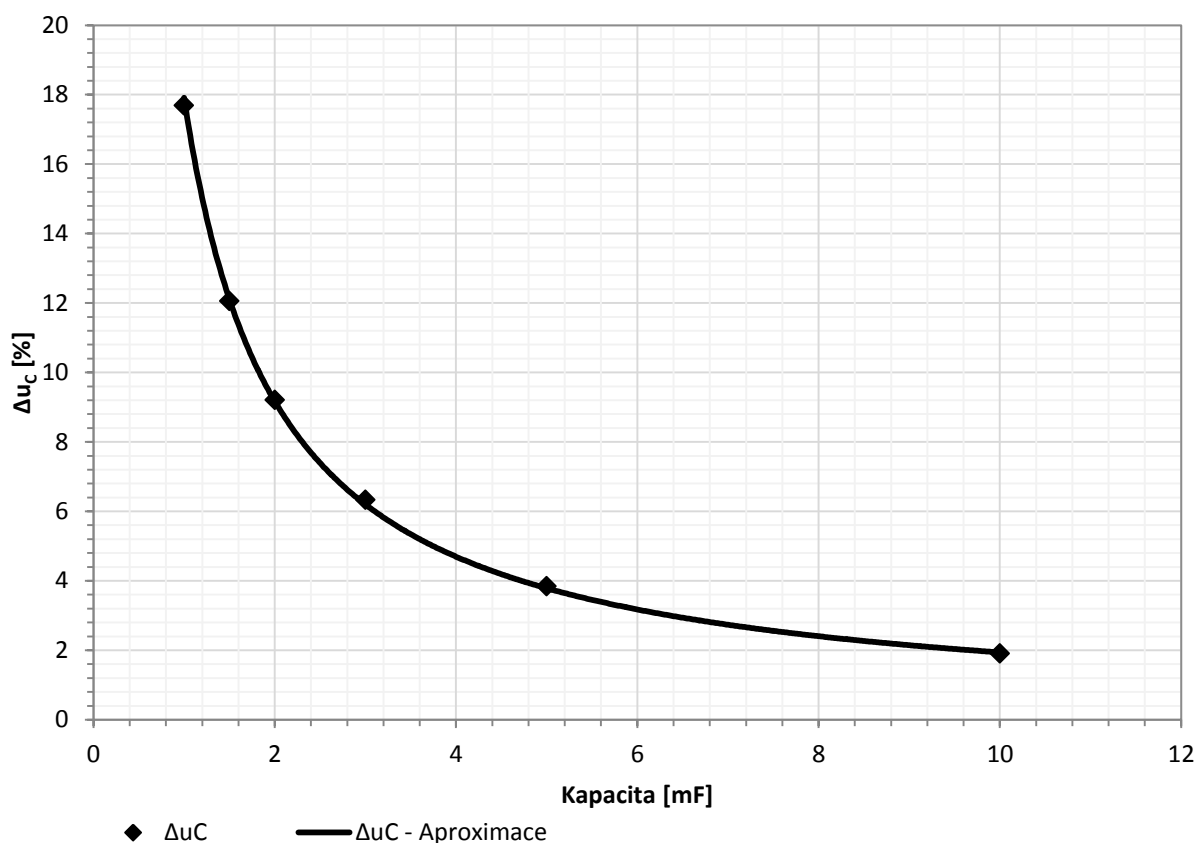
6.1.5 Závislost zvlnění napětí kondenzátorů na kapacitě

Při určování závislosti zvlnění napětí kondenzátorů byly využity parametry simulace uvedené v Tab. 8. Jediným rozdílem byla proměnná hodnota kapacity kondenzátorů, která byla volena v rozmezí 1 a 10 mF. Pro přesné určení zvlnění napětí kondenzátorů v ustáleném stavu byla využita rovnice:

$$\Delta u_{c\%} = \frac{U_{cmax} - U_{cmin}}{U_c(AV)} \cdot 100 \quad (22)$$

Po sestavení grafu zobrazeného na Obr. 40 je zřejmé, že Δu_c je hyperbolicky závislá na C. Výsledky zobrazené na tomto lze aplikovat pro různé proudy a kapacity, pokud je dodržena podmínka stejného poměru I/C, stejného napětí ve stejnosměrném meziobvodu a stejné spínací a výstupní frekvence.

Závislost Δu_c na C



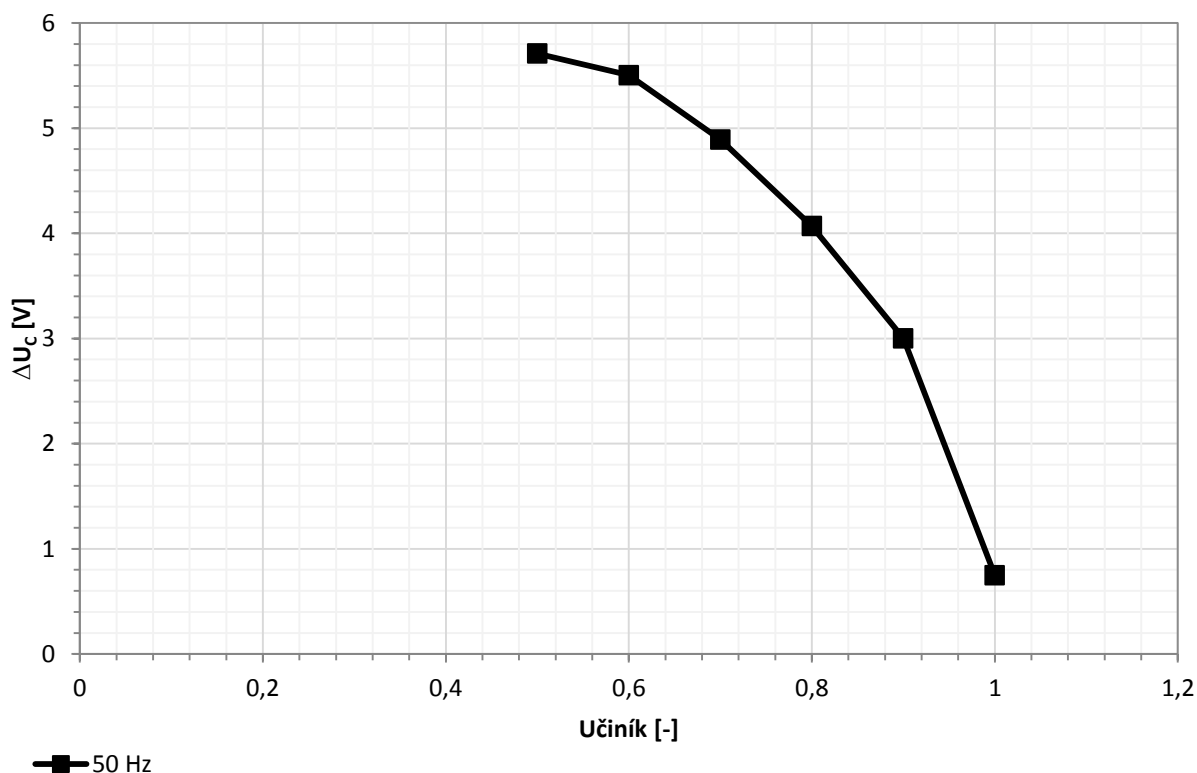
Obr. 40: Graf závislosti Δu_c na C tříúrovňového střídače řízeného algoritmem 2 (vektorová PWM s lepší dynamikou) zatíženého $R = 2 \Omega$, $L = 1 \text{ mH}$ při $m=1,00$, $f_s=800 \text{ Hz}$, $f_v= 50 \text{ Hz}$, $U_{DC} = 750 \text{ V}$.

6.1.6 Závislost zvlnění napětí kondenzátorů na účinníku

Na Obr. 41 je zobrazena závislost ΔU_C na účinníku při $f_v = 50$ Hz, $f_s = 800$ Hz, $m = 1,00$, $C_1 = C_2 = 10$ mF, $U_{DC} = 750$ V a při zatížení s konstantním modulem impedance $Z = 2,0245 \Omega$.

Z Obr. 41 je patrné, že při nižším účinníku je zvlnění napětí na kondenzátorech přibližně 7 krát větší. To je dáno fázovým posunem mezi napětím a proudem zátěže, kdy při fázovém posunu 90° je proud dané fáze největší pro pracovní oblasti, kde je nejdéle napětí dané fáze v úrovni 0. Díky tomu je část pracovního proudu tekoucí kondenzátory větší.

Závislost ΔU_C na účinníku



Obr. 41: Závislost ΔU_C na účinníku tříúrovňového střídače řízeného algoritmem 2 (vektorová PWM s lepší dynamikou) při $m=1,00$, $f_s = 800$ Hz, $f_v = 50$ Hz, $C_1=C_2=10$ mF, $U_{DC} = 750$ V.

6.2 Simulace měřeného obvodu s vybraným algoritmem

Hlavní účelem těchto simulací bylo ověřit, zda si algoritmus poradí s chybami, které by se mohly objevit u laboratorního měření. Dalším účelem bylo porovnání výsledků měřeného obvodu se simulací, proto byla simulace upravena, tak aby odpovídala parametrům obvodu. K Měniči byl připojen asynchronní motor s klecí nakrátko, jehož parametry náhradního schématu jsou uvedeny v Tab. 10. Motor byl zatížen třením v ložiskách, které lze určit rovnicí:

$$M_t = b \cdot \omega \quad (23)$$

Kde b činitel tření v ložiskách a ω úhlová rychlost rotoru.

Dále byly změněny kapacity kondenzátorů na 6,6 mF a napětí stejnosměrného zdroje nastaveno na 60 V. Oproti předchozím simulacím byly do stejnosměrného meziobvodu přidány vybíjecí nesymetrické rezistory, horní rezistor o hodnotě odporu 1,1 k Ω a spodního o hodnotě 0,9 k Ω (tolerance $\pm 10\%$). Dále bylo přidáno dopravní zpoždění o velikosti půl periody nosného signálu (625 μ s) mezi měřicí a řídicí obvod.

Název parametru	hodnota
R_s	2 Ω
R_r	3,56 Ω
L_h	0,0567 H
$L_{\sigma s}$	0,01049 H
$L_{\sigma r}$	0,01049 H
$2p$	4
J	0,0004 Nms ²
b	0,003 Nms

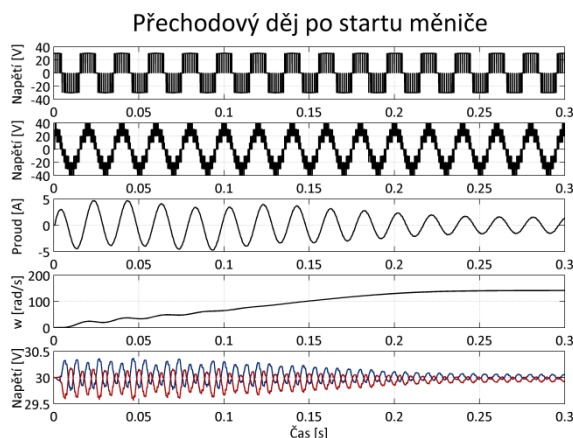
Tab. 10: Parametry náhradního schématu asynchronního motoru s kotvou nakrátko.

Simulace byly provedeny pro tři hodnoty hloubky modulace (1,0, 0,6, 0,4). Pro všechny hloubky modulace je na Obr. 43, Obr. 44, Obr. 45 zobrazen ustálený stav, pro $m = 1,0$ je navíc na Obr. 42 zaznamenán přechodový děj po startu měniče.

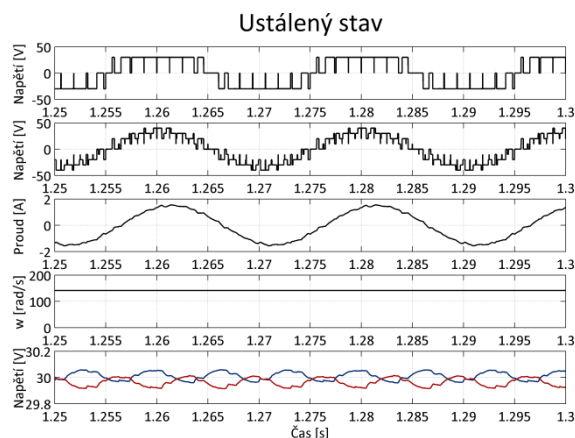
Z průběhů napětí a proudů při přechodovým ději po startu vyplývá, že algoritmus plní svou funkci. Napětí na kondenzátorech je i přes chyby způsobené vloženým dopravním zpožděním a přidáním nesymetrických rezistorů vyrovnané. Průběh fázového napětí zátěže má 9 úrovní, díky tomu se proud blíží sinusovému průběhu. Chyba je pouze v průběhu

proudu, kde se vlivem chyb modelu motoru objevuje proměnný offset. Tato chyba není způsobena algoritmem.

Detail průběhu v ustáleném stavu je zobrazen na Obr. 43. V této části simulace je oproti předchozím motor zatížen pouze vlastním třením, díky tomu je amplituda proudu první harmonické poloviční. Menší amplituda proudu a vyšší hloubka modulace snižují schopnost algoritmu vyrovnávat napětí kondenzátorů, což se v kombinaci s nesymetrickými vybíjecími rezistory a s dopravním zpožděním při převodu měřených hodnot na Obr. 43 projeví odchylkou ve střední hodnotě napětí kondenzátorů.



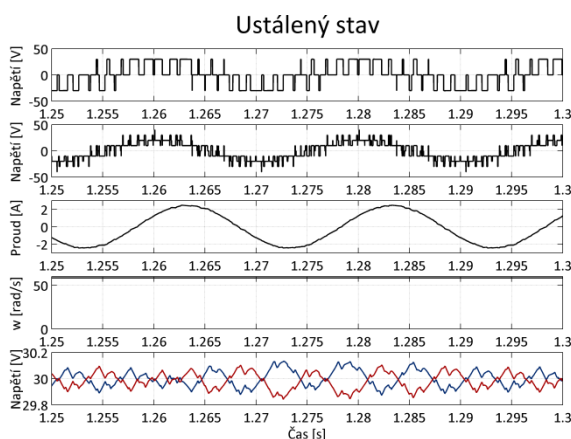
Obr. 42: Přechodový děj po startu tříúrovňového měniče zatíženého 250 W asynchronním motorem při $m = 1,0$, $f_v = 50$ Hz, $f_s = 800$ Hz, $U_{DC} = 60$ V, $C_1 = C_2 = 6,6$ mF, kde na grafu 1 je zobrazen průběh fázového napětí střídače, na grafu 2 fázové napětí zátěže, na grafu 3 proud zátěže, na grafu 4 úhlová rychlost, na grafu 5 napětí kondenzátorů.



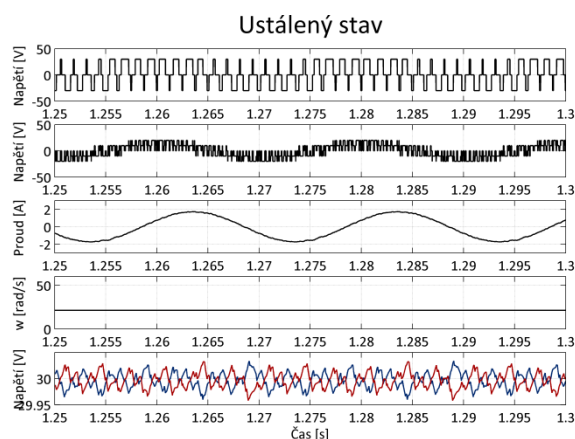
Obr. 43: Ustálený stav po přechodovém ději zobrazeným na Obr. 42, kde na grafu 1 je zobrazen průběh fázového napětí střídače, na grafu 2 fázové napětí zátěže, na grafu 3 proud zátěže, na grafu 4 úhlová rychlost, na grafu 5 napětí kondenzátorů.

Na Obr. 44. je zobrazen ustálený stav s připojeným motorem při hloubce modulace 0,6. Oproti Obr. 43 je vlivem menší hloubky modulace zvýšena schopnost regulátoru vyrovnávat napětí kondenzátorů. Díky tomu je napětí méně zvlňené a střední hodnoty napětí kondenzátorů se i přes vliv nesymetrických vybíjecích rezistorů téměř rovnají.

Na Obr. 45 je zobrazen ustálený stav při hloubce modulace 0,4. Oproti předchozím dvěma vyšším hloubkám modulace se zde využívají pouze napětí kondenzátorů neovlivňující nebo balancující vektory V_0 , V_{S0} , V_{S1} . Díky tomu je napětí ze všech tří uvedených hloubek modulací nejméně zvlňené a střední hodnota těchto napětí je téměř stejná.



Obr. 44: Průběh fázového napětí střídače (graf 1), fázového napětí zátěže (graf 2), fázového proudu zátěže (graf 3), úhlové rychlosti rotoru (graf 4), napětí kondenzátorů (graf 5) tříúrovňového měniče s připojeným asynchronním motorem zatíženým vlastním třením v ustáleném stavu při $m = 0,6$, $f_v = 50$ Hz, $f_s = 800$ Hz, $U_{DC} = 60$ V, $C_1 = C_2 = 6,6$ mF.



Obr. 45: Průběh fázového napětí střídače (graf 1), fázového napětí zátěže (graf 2), fázového proudu zátěže (graf 3), úhlové rychlosti rotoru (graf 4), napětí kondenzátorů (graf 5) tříúrovňového měniče s připojeným asynchronním motorem zatíženým vlastním třením v ustáleném stavu při $m = 0,4$, $f_v = 50$ Hz, $f_s = 800$ Hz, $U_{DC} = 60$ V, $C_1 = C_2 = 6,6$ mF.

6.2.1 Spektrální analýza

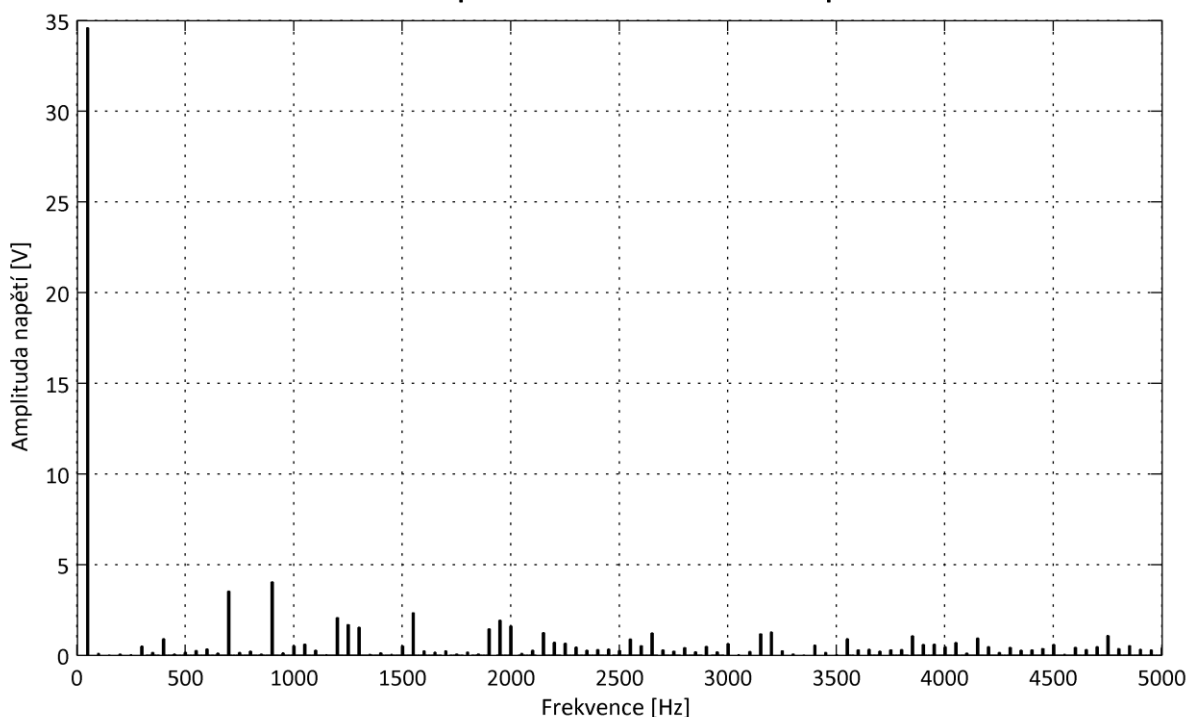
Spektrální analýza průběhu fázového napětí zátěže byla provedena s parametry uvedenými v kapitole 6.2 pomocí programu Plecs.

Při spínací frekvenci 800 Hz a výstupní frekvenci 50 Hz s hloubkou modulace 1,0 je spektrum zobrazené na Obr. 46 obdobné spektru na Obr. 36. Poměr a první harmonický a harmonických v postranním pásmu je téměř stejný jako v simulaci s ideálními parametry, viz kapitola 6.1.2.

Na Obr. 47. je zobrazeno spektrum při hloubce modulace 0,6. Při této hloubce modulace je oproti $m = 1,00$ (Obr. 46) v postranním pásmu frekvenčního spektra více harmonických, nicméně mají menší úroveň. To odpovídá simulacím s ideálními parametry, kde charakteristika závislosti činitele THD_u na hloubce modulace uvedená na Obr. 38 dosahuje při obou těchto hloubkách modulace přibližně stejně velkých hodnot.

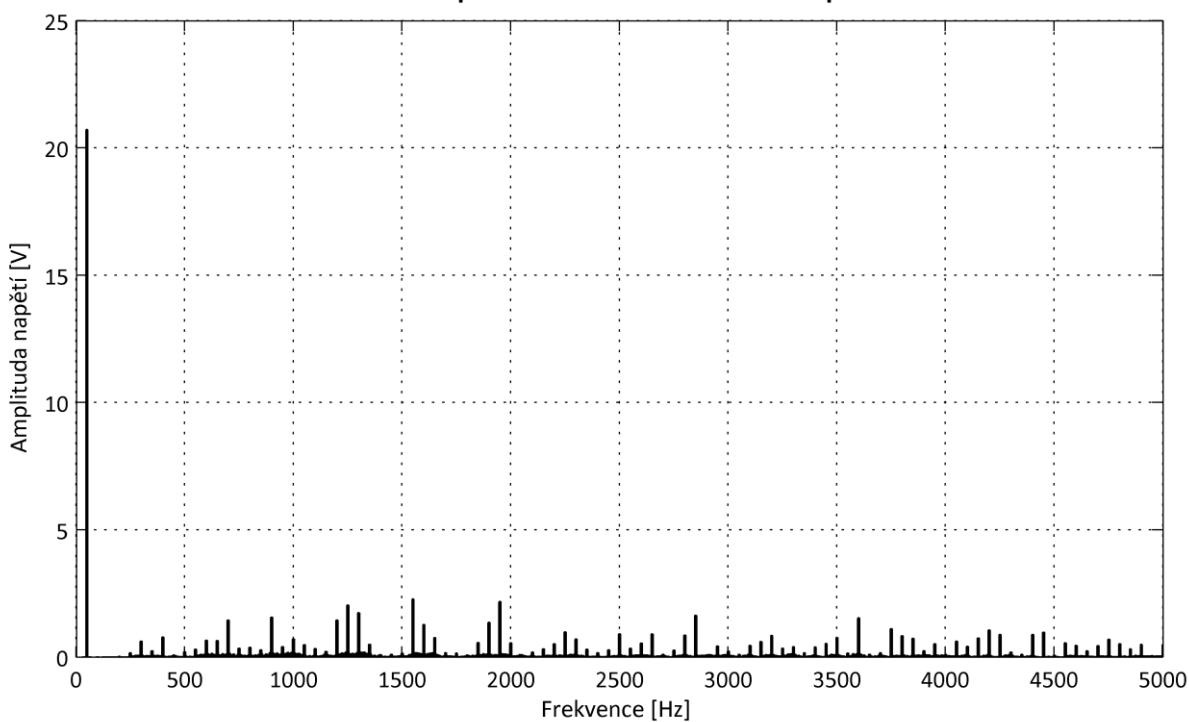
V nižších hloubkách se při snižování hloubky modulace výrazně zhoršuje kvalita frekvenčního spektra. To lze pozorovat na Obr. 48, kde je zobrazeno spektrum při hloubce modulace 0,4. V tomto případě se v postranním pásmu výrazně projevuje několik silnější harmonických okolo násobků spínacího kmitočtu. To odpovídá Obr. 38, který ukazuje, že k výraznému zhoršení frekvenčního spektra v této hloubce modulace také dochází i při simulaci s ideálními parametry.

Frekvenční spektrum fázového napětí zátěže

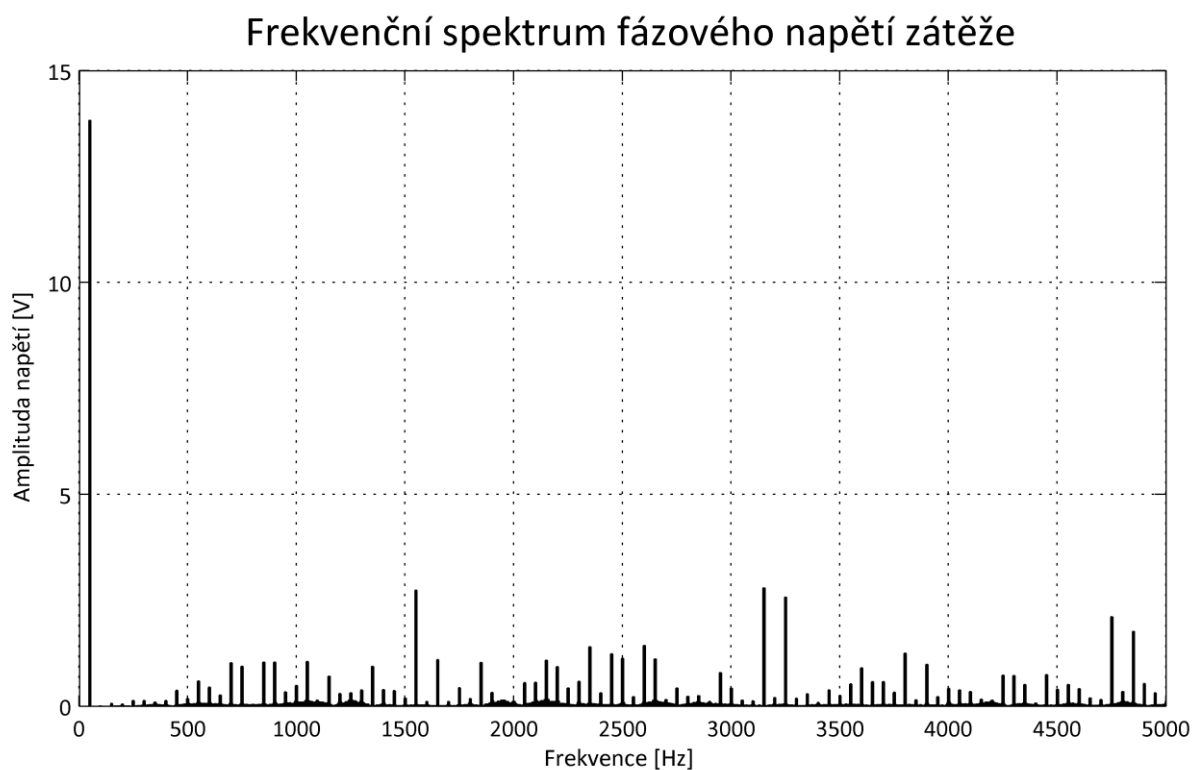


Obr. 46: Spektrální analýza fázového napětí zátěže tříúrovňového měniče s připojeným 250 W asynchronním motorem zatíženým vlastním třením při $m = 1,00$, $C_1 = C_2 = 6,6$ mF, $f_s = 800$ Hz, $f_v = 50$ Hz, $U_{DC} = 60$ V.

Frekvenční spektrum fázového napětí zátěže



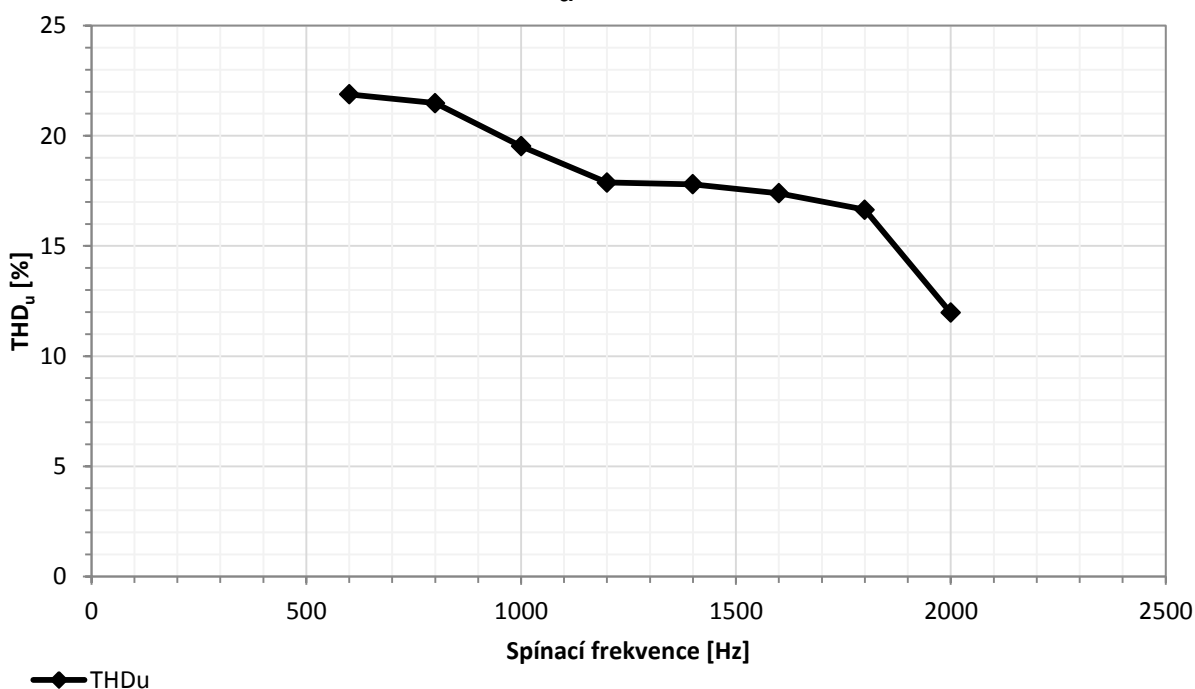
Obr. 47: Spektrální analýza fázového napětí zátěže tříúrovňového měniče s připojeným 250 W asynchronním motorem zatíženým vlastním třením při $m = 0,60$, $C = 6,6$ mF, $f_s = 800$ Hz, $f_v = 50$ Hz, $U_{DC} = 60$ V.



Obr. 48.: Spektrální analýza fázového napětí zátěže simulace měřeného obvodu s asynchronním motorem s kotvou nakrátko při $m = 0,40$, $C = 6,6 \text{ mF}$, $f_s = 800 \text{ Hz}$, $f_v = 50 \text{ Hz}$, $U_{DC} = 60 \text{ V}$.

Frekvenční spektrum lze stejně jako v případě simulace s ideálními parametry zlepšit zvětšením spínací frekvence. To potvrzuje charakteristika závislosti činitele THD_u na spínací frekvenci zobrazená na Obr. 49, kde s rostoucí spínací frekvencí klesá činitel THD_u .

Závislost THD_u na spínací frekvenci



Obr. 49: Závislost THDu na spínací frekvenci tříúrovňového střídače zatíženého asynchronním motorem nakrátko při $f_v = 50$ Hz, $C_1 = C_2 = 6,6$ mF, $U_{DC} = 60$ V.

6.3 Měření vybraného algoritmu na reálném NPC

Pro implementaci do DSP byl stejně jako v kapitole 6.2 vybrán algoritmus vektorové PWM s lepší dynamikou. Tento algoritmus měl v simulacích nejlepší spektrum a nejlépe balancoval napětí kondenzátorů.

K měniči byl připojen asynchronní motor, jehož parametry jsou použity pro model v kapitole 6.2. Elektrické parametry tohoto motoru jsou uvedeny v Tab. 11. Motor byl stejně jako v simulacích zatížen pouze vlastním třením v ložiskách. Napětí ve stejnosměrném meziobvodu o hodnotě 60 V bylo dodáno pomocí dvou stejnosměrných stabilizovaných zdrojů napětí zapojených do série. Kapacita kondenzátorů měniče byla 6,6 mF.

Název parametru	hodnota
P_n	250 W
U_{sn}	48 V (D)
I_n	3,65 A
f_{sn}	50 Hz
n_n	1350 ot/min

Tab. 11: Štítkové údaje motoru.

Obdobně jako v simulacích byl zaznamenán přechodový děj po spuštění měniče s maximální hloubkou modulace a ustálený stav pro několik různých hloubek modulace. Pro tato měření byla zvolena výstupní frekvence 50 Hz a spínací frekvence 800 Hz.

Na Obr. 50, Obr. 51, Obr. 52 a Obr. 53 jsou zobrazeny průběhy změřené osciloskopem, fialově je zaznamenáno fázové napětí zátěže, zeleně proud zátěže, světle a tmavě modře napětí na kondenzátorech. Napětí zátěže bylo změřeno rozdílovou napěťovou sondou přímo na svorkovnici motoru, proud zátěže proudovou sondou. Napětí kondenzátorů bylo změřeno pomocí měřících převodníků driveru střídače, jejichž výstupní hodnota byla získána pomocí dvou pasivních napěťových sond na výstupech D/A převodníku.

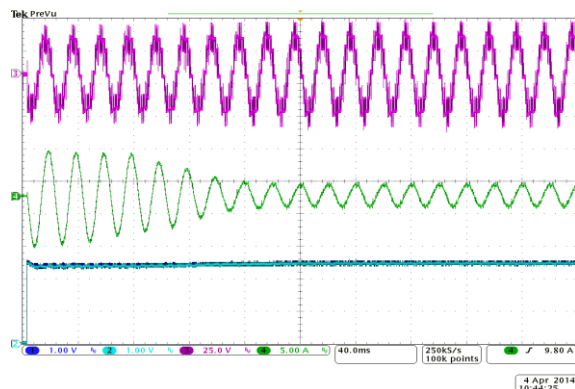
Účelem měření přechodového děje bylo zjistit, zda si algoritmus poradí s náhlou změnou zátěže. Na Obr. 50 lze pozorovat, že změna zatížení nemá pozorovatelný vliv průběh napětí zátěže. Průběhy napětí kondenzátorů potvrzují závislost zvlnění na odebíraném proudu, při větším proudu je větší zvlnění. Dále je z nich pozorovatelný vliv vnitřního odporu zdroje a parazitního odporu přívodů, kdy při větším proudu je vlivem úbytků na těchto odporech napětí menší. Nicméně díky správně fungujícímu algoritmu a vhodnému rozdělení času mezi rozvažující a vyvažující kombinace nedochází k větším odchýlkám napětí kondenzátorů.

Účelem měření průběhů střídače v ustáleném stavu při různých hloubkách modulace bylo určit jejich kvalitu, a zda se blíží průběhům simulace.

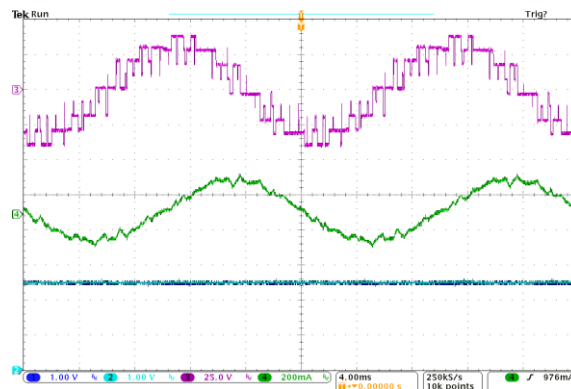
Na Obr. 51 je zobrazen průběh s hloubkou modulace 1,0. Lze pozorovat, že tento průběh se blíží simulaci. Napětí kondenzátorů je i přes malou možnost kompenzace vyrovnané.

Na Obr. 52. je zobrazen průběh s hloubkou modulace 0,6. Průběh se blíží simulaci. Napětí kondenzátorů je oproti vyšším hloubkám modulace méně zvlněné. Což je způsobeno menším proudem a větším prostorem pro kompenzaci napětí kondenzátorů.

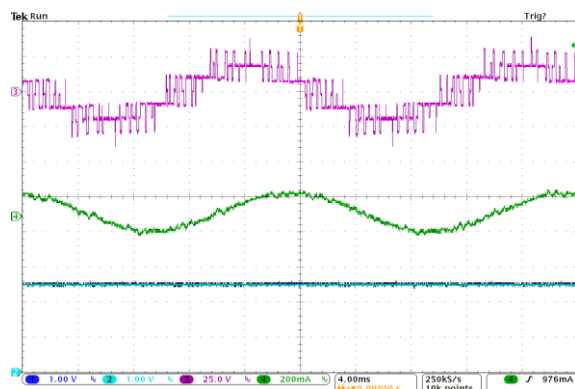
Na Obr. 53. je zobrazen průběh s hloubkou modulace 0,4. Průběhy se opět blíží simulaci. Na rozdíl od simulace a předchozích hloubek modulace se zde zřetelně projeví zvlnění napěťové úrovně 0 s frekvencí 50 Hz. Tento jev je způsoben šumem, který vzniká špatným uzemněním napěťové sondy.



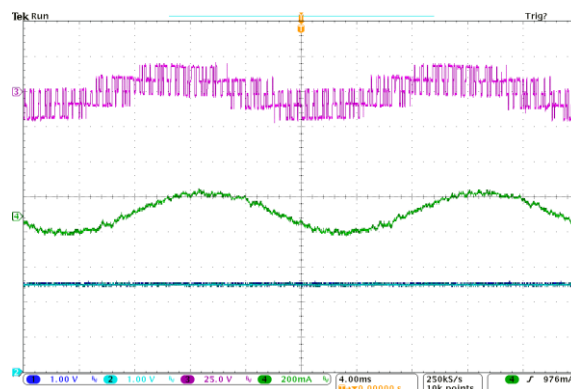
Obr. 50: Přechodový děj po spuštění tříúrovňového měniče s připojeným asynchronním motorem o výkonu 250 W při $m = 1,0$, $f_s = 800$ Hz, $f_v = 50$ Hz, $C_1 = C_2 = 6,6$ mF, kde napětí zátěže je zobrazeno fialově, proud zeleně, napětí kondenzátorů světle a tmavě modře.



Obr. 51: Průběhy skutečného NPC střídače s připojeným asynchronním motorem o výkonu 250 W v ustáleném stavu při $m = 1,0$, $f_s = 800$ Hz, $f_v = 50$ Hz, $U_{DC} = 60$ V, $C_1 = C_2 = 6,6$ mF, kde napětí zátěže je zobrazeno fialově, proud zeleně, napětí kondenzátorů světle a tmavě modře.



Obr. 52: Průběhy skutečného NPC střídače s připojeným asynchronním motorem o výkonu 250 W v ustáleném stavu při $m = 0,6$, $f_s = 800$ Hz, $f_v = 50$ Hz, $U_{DC} = 60$ V, $C_1 = C_2 = 6,6$ mF, kde napětí zátěže je zobrazeno fialově, proud zeleně, napětí kondenzátorů světle a tmavě modře.



Obr. 53: Průběhy skutečného NPC střídače s připojeným asynchronním motorem o výkonu 250 W v ustáleném stavu při $m = 0,4$, $f_s = 800$ Hz, $f_v = 50$ Hz, $U_{DC} = 60$ V, $C_1 = C_2 = 6,6$ mF, kde napětí zátěže je zobrazeno fialově, proud zeleně, napětí kondenzátorů světle a tmavě modře.

Nejllepší průběh napětí a proudu lze pozorovat u vysokých hloubek modulační, kde se využívají všechny úrovně fázového napětí zátěže a nejméně se zde projevuje šum vlivem špatného uzemnění. Nicméně pro přesnější porovnání kvality průběhů byla provedena spektrální analýza.

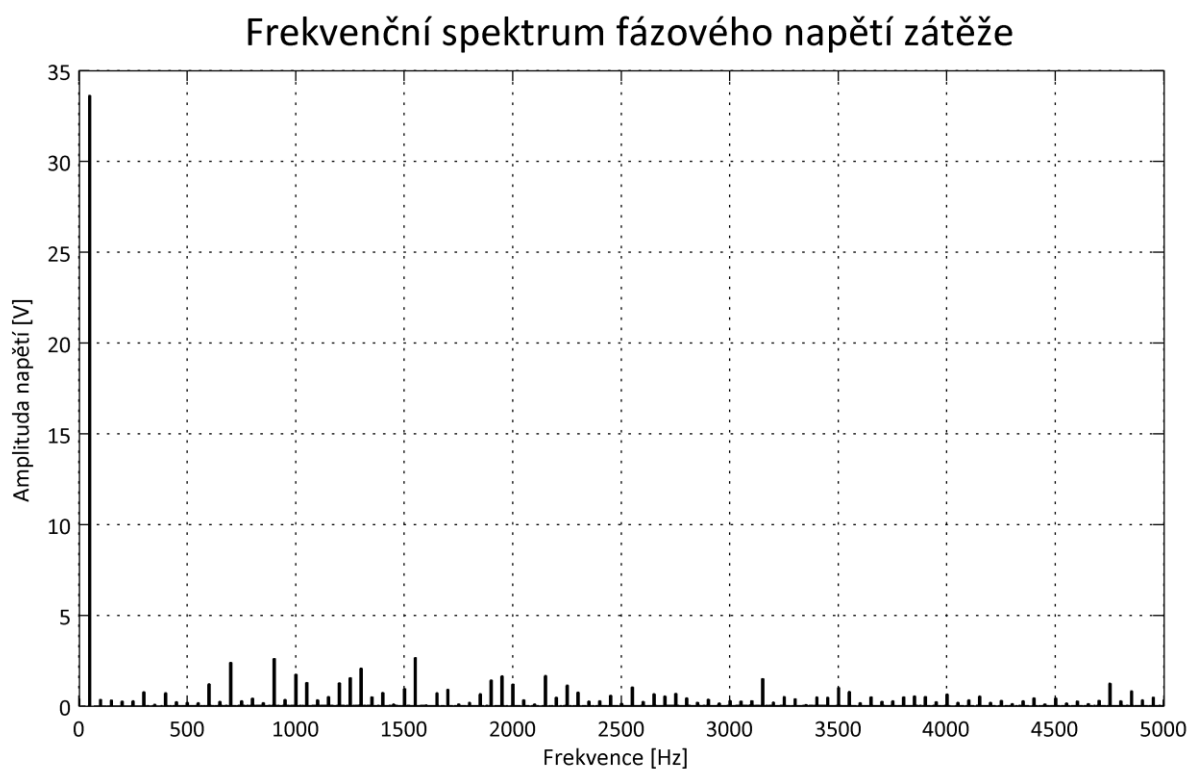
6.3.1 Spektrální analýza

Pro spektrální analýzu byly průběhy navzorkovány pomocí osciloskopu. Z navzorkovaných hodnot byla následně programem Plecs provedena spektrální analýza.

Spektrální analýza pro hloubku modulační 1,0 je zobrazena na Obr. 54. Oproti simulaci je amplituda v postranních pásmech menší. Na druhou stranu je napětí rozděleno do více frekvencí. Rozdílné frekvenční spektrum může být způsobeno vlivem regulace napětí

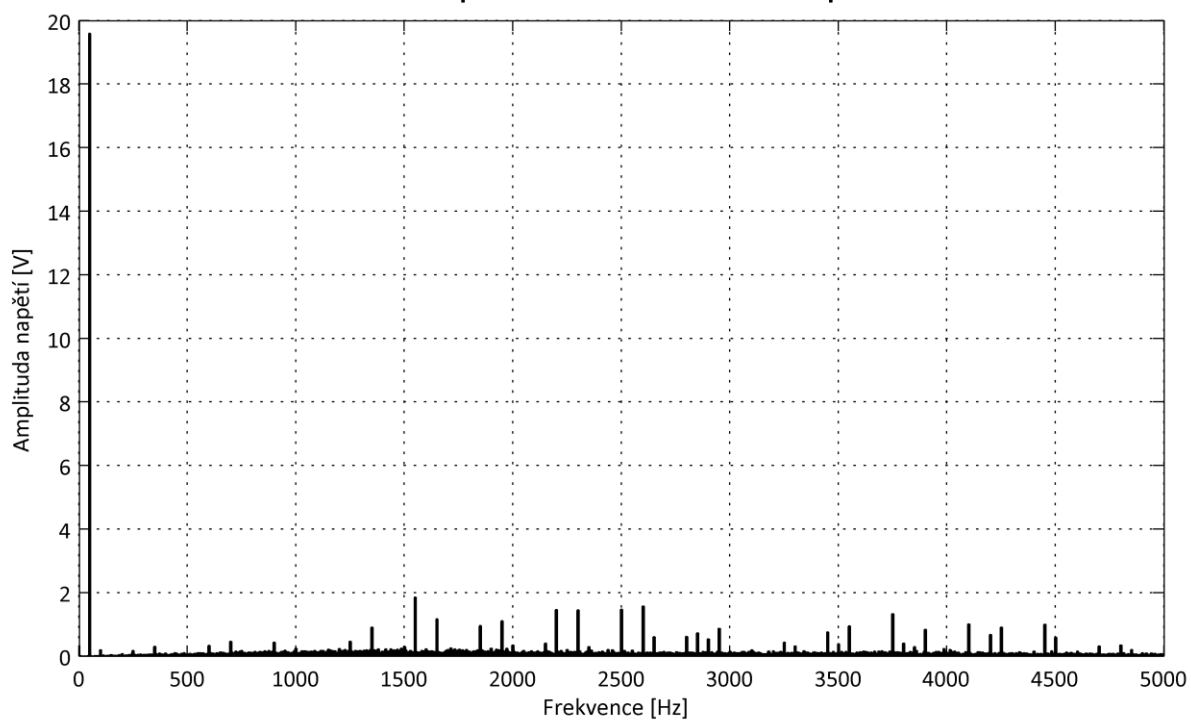
kondenzátorů, mrtvými časy, nesymetrickou zátěží, šířkou slova procesoru a konečným rozlišením PWM modulů. Další příčinou může být nepřesnost měřící metody.

Odlišné jsou také frekvenční spektra pro hloubky modulace 0,6 a 0,4 zobrazené na Obr. 55 a Obr. 56. U těchto hloubek je v postranním pásmu frekvenčního spektra obsaženo méně harmonických, které navíc oproti simulacím mají menší úroveň.



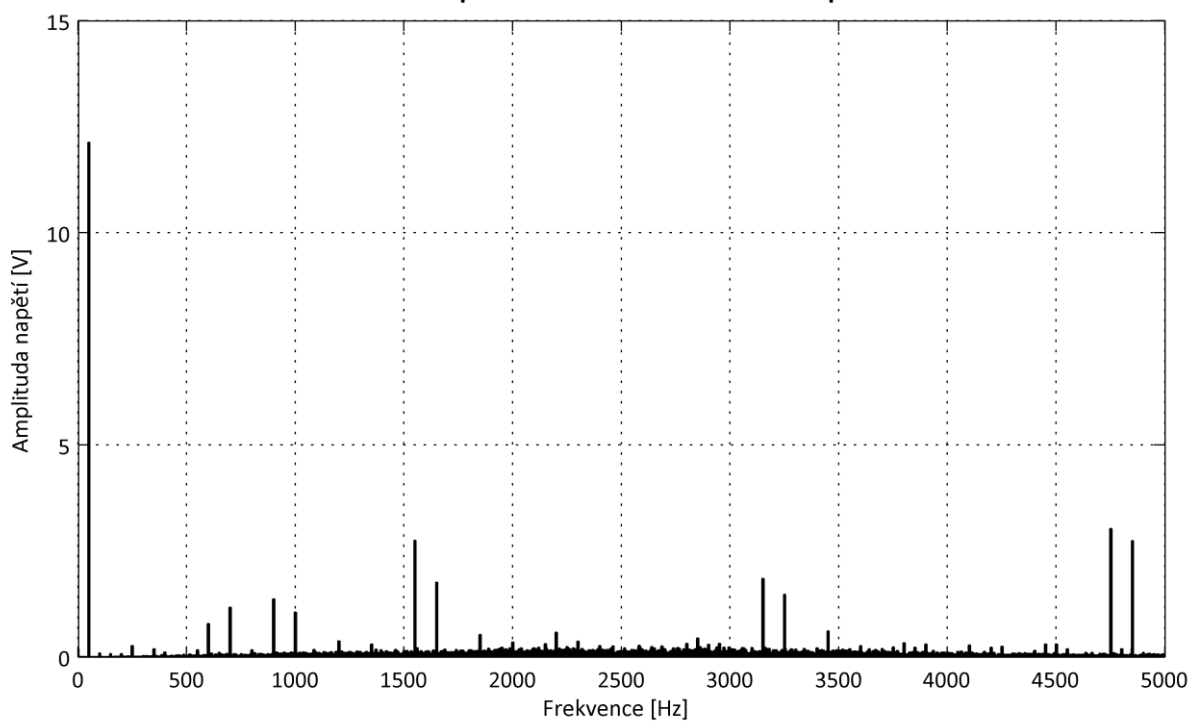
Obr. 54: Frekvenční spektrum skutečného tříúrovňového měniče zatíženého asynchronním motorem o výkonu 250 W při $m=1,00$, $C_1 = C_2 = 6600 \mu\text{F}$, $f_s = 800 \text{ Hz}$, $f_v = 50 \text{ Hz}$, $U_{\text{DC}} = 60 \text{ V}$.

Frekvenční spektrum fázového napětí zátěže



Obr. 55: Frekvenční spektrum skutečného tříúrovňového měniče zatíženého asynchronním motorem o výkonu 250 W při $m = 0,6$, $C_1 = C_2 = 6600 \mu\text{F}$, $f_s = 800 \text{ Hz}$, $f_v = 50 \text{ Hz}$, $U_{\text{DC}} = 60 \text{ V}$.

Frekvenční spektrum fázového napětí zátěže

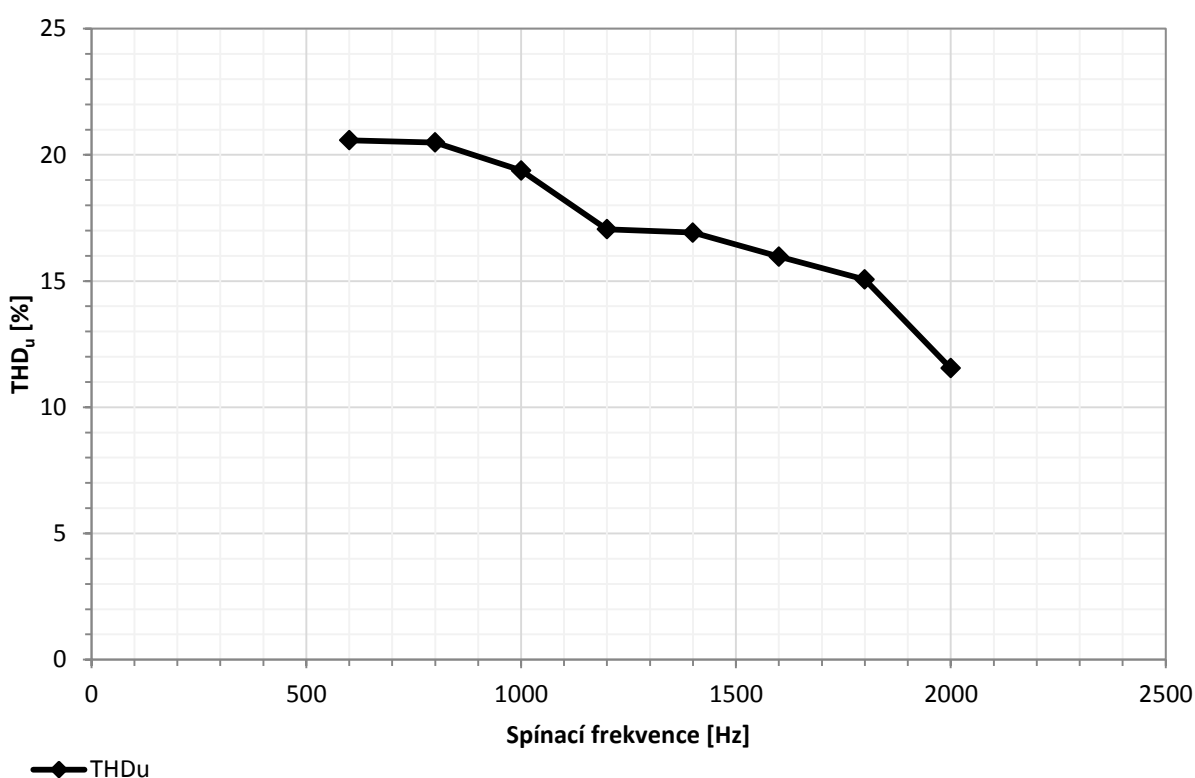


Obr. 56: Frekvenční spektrum skutečného tříúrovňového měniče zatíženého asynchronním motorem o výkonu 250 W při $m=0,4$, $C_1 = C_2 = 6600 \mu\text{F}$, $f_s = 800 \text{ Hz}$, $f_v = 50 \text{ Hz}$, $U_{\text{DC}} = 60 \text{ V}$.

Pro srovnání se simulací byla dále sledována kvalita výstupního napětí pomocí činitele THDu, který se měnil v závislosti na spínacím kmitočtu při konstantní hloubce modulace 1,0. Z charakteristiky závislosti THDu na spínací frekvenci zobrazené na Obr. 57 je pozorovatelný shodný průběh s charakteristikou provedenou v simulacích, která je zobrazena na Obr. 39.

Rozdíly charakteristik jsou dány odlišnostmi simulačního modelu a skutečného měniče. U skutečného měniče se zejména pro vyšší kmitočty projevuje vliv mrtvých časů a konečného rozlišení PWM modulů. Naopak u simulačního modelu se projevuje chyba konečného kroku výpočtu.

Závislost THDu na spínací frekvenci



Obr. 57: Závislost THDu na spínací frekvenci skutečného tříúrovňového měniče zatíženého asynchronním motorem o výkonu 250 W při $m = 0,4$, $C_1 = C_2 = 6600 \mu\text{F}$, $f_v = 50 \text{ Hz}$, $U_{\text{DC}} = 60 \text{ V}$.

Závěr

Diplomová práce splnila všechny v úvodu vytyčené cíle. V první části se zabývá zejména popisem tříúrovňového střídače s upínacími diodami řízeného algoritmem vektorové PWM, jeho porovnáním s algoritmem vektorové PWM u dvouúrovňového střídače a jeho možnými úpravami, které by dále mohly vést k vylepšení frekvenčního spektra, a tím také kvality výstupního napětí. Kromě úprav a porovnáváním algoritmů se práce zabývá možností implementace algoritmu do modulátoru skutečného tříúrovňového NPC měniče.

Provedené simulace dokázaly, že tříúrovňový měnič řízený vektorovou PWM má díky více úrovním napětí lepší průběh fázového napětí zátěže. Díky tomu má průběh proudu oproti dvouúrovňovému menší zvlnění, což se projeví zejména při malých indukčnostech zátěže a malé spínací frekvenci. S průběhem napětí dále mj. souvisí kvalita frekvenčního spektra, která je u napětí zátěže tříúrovňového NPC měniče výrazně lepší, což ukazuje činitel THD_u , který je u NPC oproti dvouúrovňovému měniči přibližně poloviční.

Mimo lepší kvality průběhu a spektra fázového napětí zátěže dokázaly simulace schopnost použité vektorové PWM vyrovnávat napětí kondenzátorů nejenom při ideálních podmínkách ale i při chybách, které mohou nastat u skutečného tříúrovňového NPC střídače.

Z navrhovaných úprav algoritmu se ukázalo výhodné měnit poměrnou dobu sepnutí tranzistorů nejenom v nule řídicího pilového signálu, ale i v periodě. Díky tomu se oproti původní verzi algoritmu mj. sníží dopravní zpoždění, které nepříznivě ovlivňuje regulaci napětí kondenzátorů a zhoršuje kvalitu dalších případných nadřazených regulací. Dále touto úpravou lze vylepšit průběh křivky fázového napětí zátěže, což vede ke změně frekvenčního spektra a k snížení činitele THD_u .

Pro implementaci do modulátoru skutečného měniče byl tento algoritmus navíc upraven, tak aby mohl být prováděn v reálném čase. Pro možnost snadné implementace případné nadřazené regulační smyčky bylo nutné nastavit spouštění A/D převodů, vždy v nule a periodě řídicího signálu. Díky tomu je pro výpočet a pro případnou regulaci vyhrazeno více výpočetního času. Na druhou stranu se tím zvětšilo dopravní zpoždění, které s kombinací nepřesnosti převodů A/D převodníků má nepříznivý vliv na regulaci napětí kondenzátorů. Navzdory těmto vneseným chybám, měření reálného tříúrovňového měniče s takto upraveným algoritmem ukázalo, že napětí kondenzátorů je vyrovnané a zároveň frekvenční spektrum je obdobné simulaci.

Směry dalšího výzkumu a vývoje:

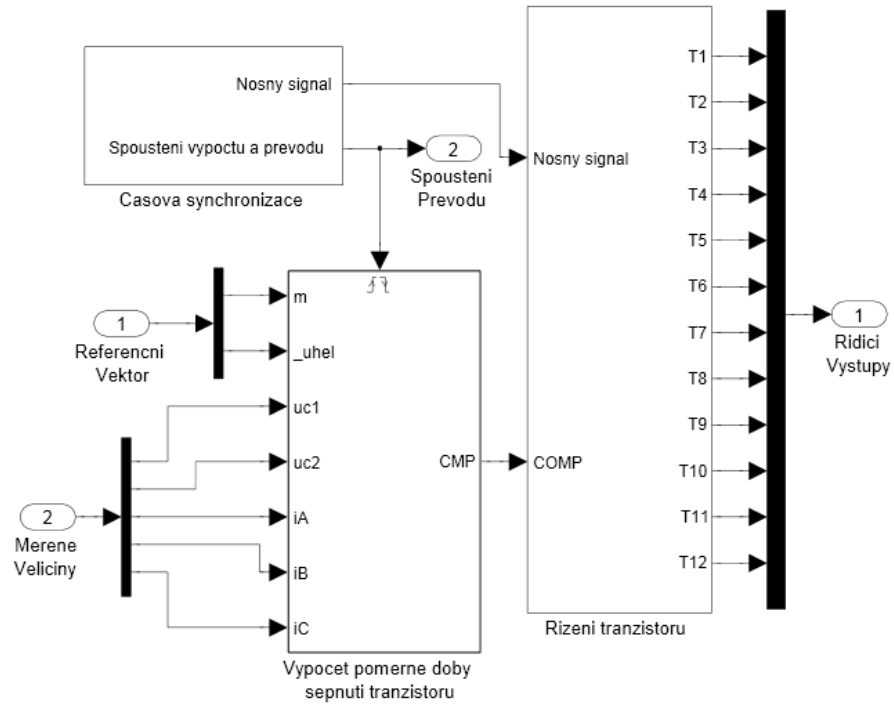
Algoritmus by mohl být vylepšen změnou rozdělení doby sepnutí mezi vyrovnávající a rozvažující spínací kombinace. Výpočet poměrné doby sepnutí těchto kombinací by mohl být prováděn v závislosti na hloubce modulace, velikosti příslušného fázového proudu zátěže a rozdílu napětí kondenzátoru. Tím by se mohla zvýšit efektivita vyrovnávání napětí při velkých hloubkách modulace a při středních hloubkách modulace by se navíc mohlo snížit zvlnění napětí kondenzátorů, a tak by se mohly snížit nároky na kapacitu kondenzátorů.

Použitá literatura

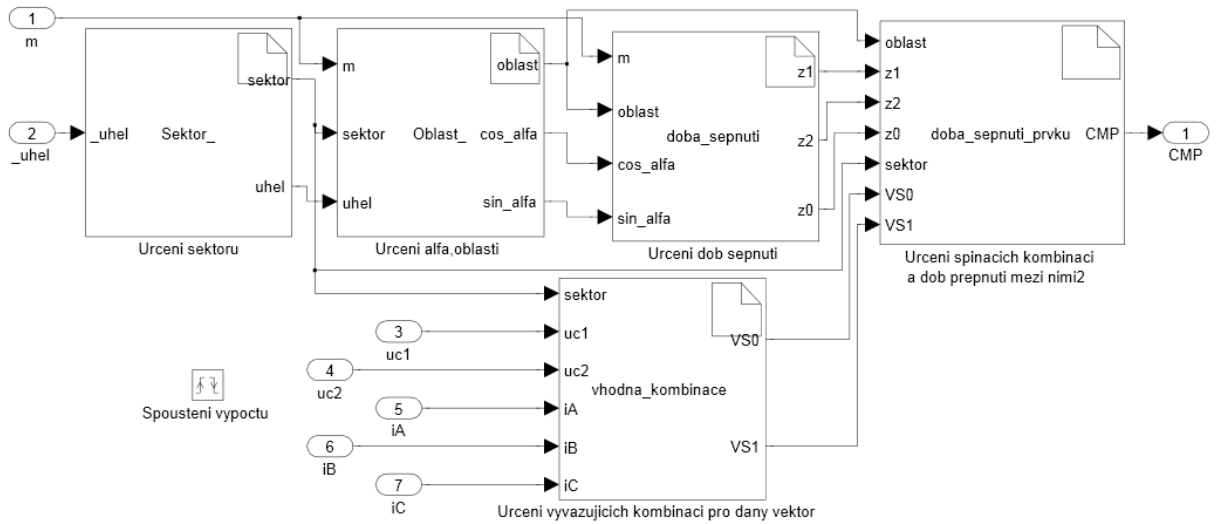
- [1] CELANOVIC Nikola, BOROYEVICH Dushan. A comprehensive study of neutral-point voltage balancing problem in three-level neutral-point-clamped voltage source pwm inverters. USA, march 2000. IEEE TRANSACTIONS ON POWER ELECTRONICS, VOL. 15, NO. 2.
- [2] KAMENICKÝ Petr, PEROUTKA Zdeněk. Simulační model tříúrovňového měniče s upínacími diodami. Plzeň, listopad 2011. Výzkumná zpráva č. 22190 - 036 – 2011. ZČU.
- [3] LEE, Meng. Yeong. Three-level Neutral-point-clamped Matrix Converter Topology. Nottingham, 2009. Disertační práce. The University of Nottingham.
- [4] KOŁOMYJSKI Wojciech. Modulation Strategies for Three-level PWM Converter-fed Induction Machine Drives. Warsaw, 2009. Disertační práce. Warsaw University of Technology.
- [5] KAMENICKÝ Petr, GLASBERGER Tomáš. Implementace algoritmů řízení tříúrovňového měniče s upínacími diodami. Plzeň, srpen 2012. Výzkumná zpráva č. 22190 - 059 - 2012.
- [6] KOŠAN Tomáš. MLC interface - vývojový kit pro víceúrovňové měniče s procesorem a FPGA. 4. revize Plzeň, říjen 2013. Výzkumná zpráva č. 22190 - 010 - 2012.
- [7] TMS320F28335, TMS320F28334, TMS320F28332, TMS320F28235, TMS320F28234, TMS320F28232, Digital Signal Controllers (DSCs) Datasheet, Texas Instruments.
- [8] C2000 32-bit Real-time Control MCUs – C28x Delfino Floating-point MCUs – TMS320F28335. Texas Instruments. [online]. 9.4.2014 [cit. 2014-04-09]. Dostupné z: <http://www.ti.com/product/tms320f28335>

Přílohy

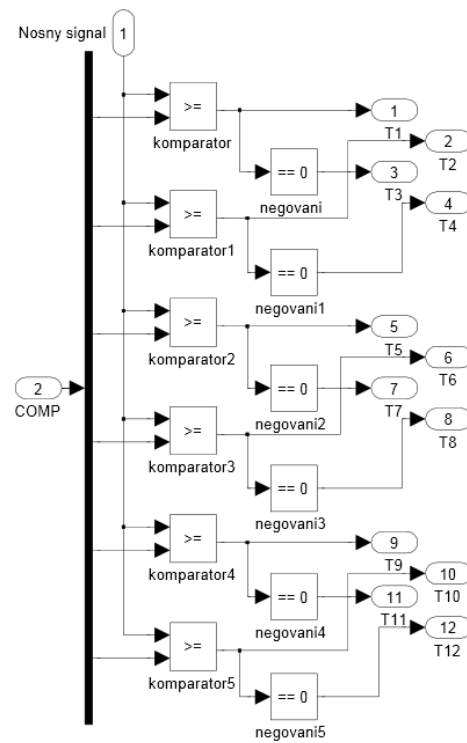
Příloha A - Blokové schéma řídicí části algoritmu 2



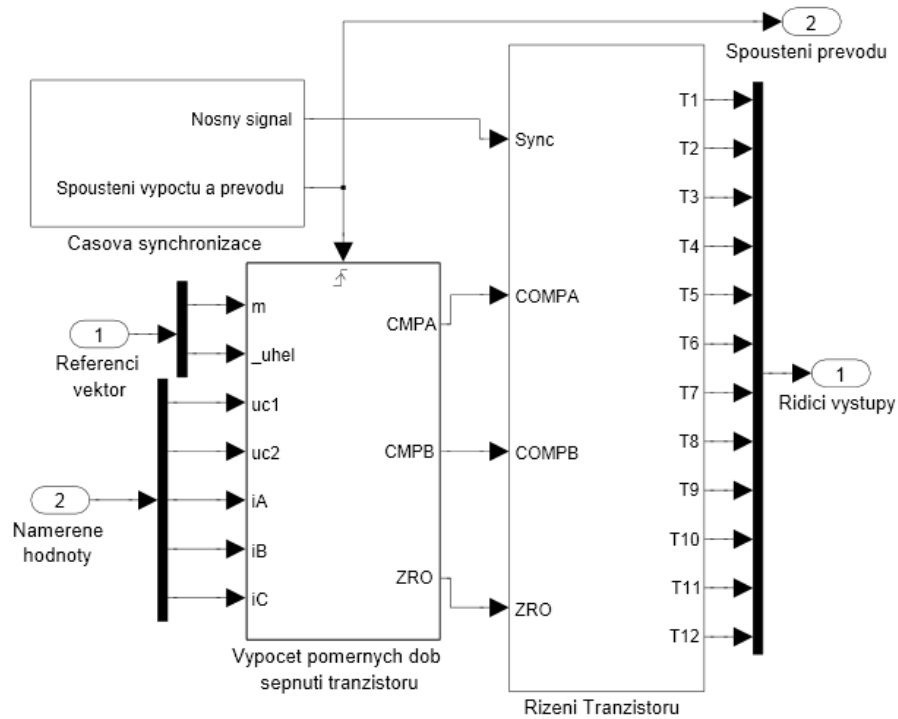
Výpočet poměrné doby sepnutí tranzistorů:



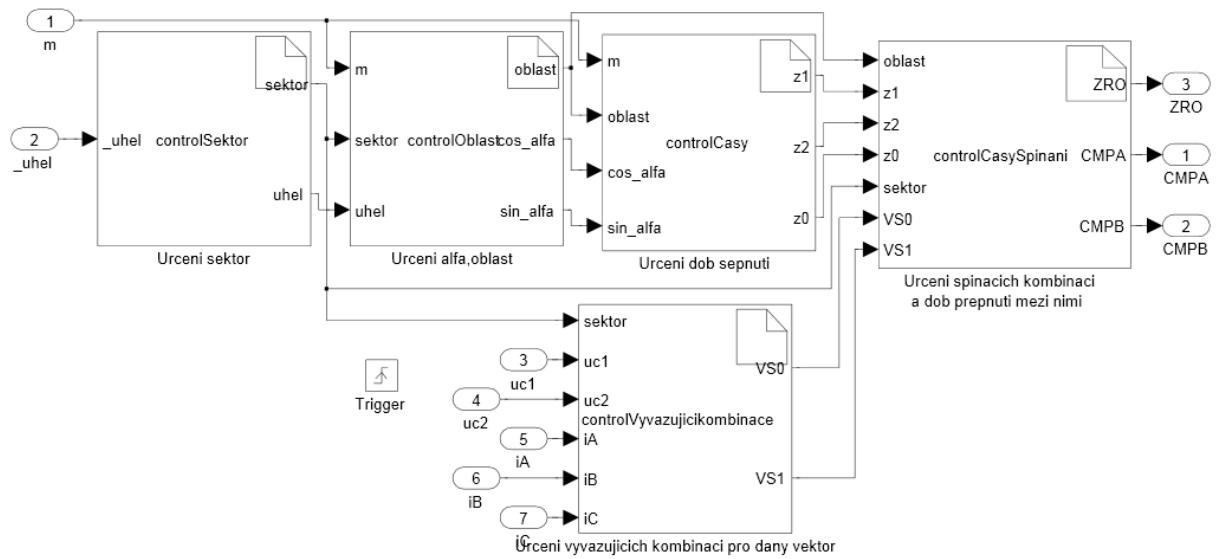
Řízení tranzistorů:



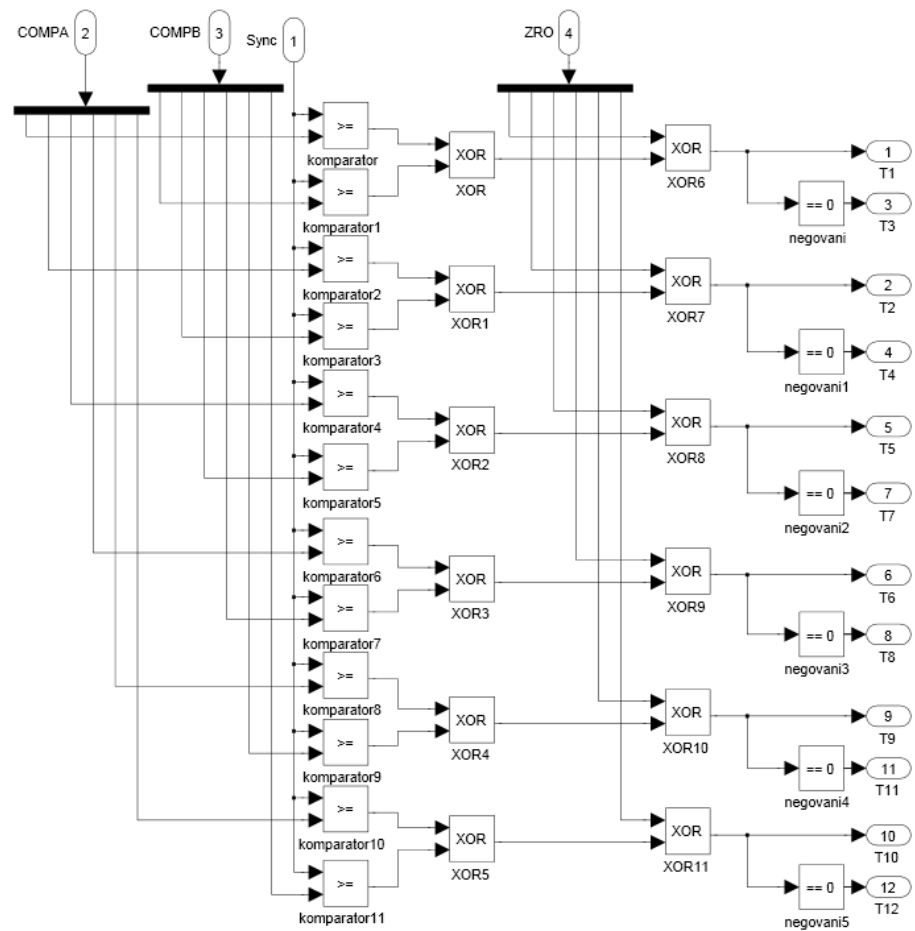
Příloha B - Blokové schéma řídicí části algoritmu 3



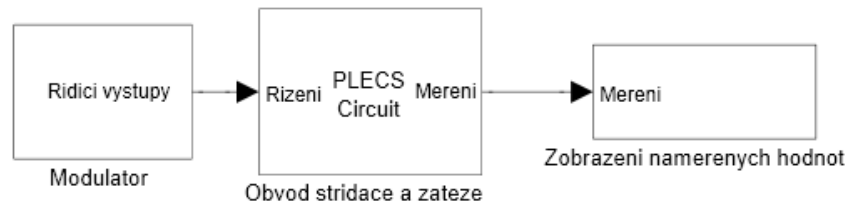
Výpočet poměrné doby sepnutí tranzistorů:



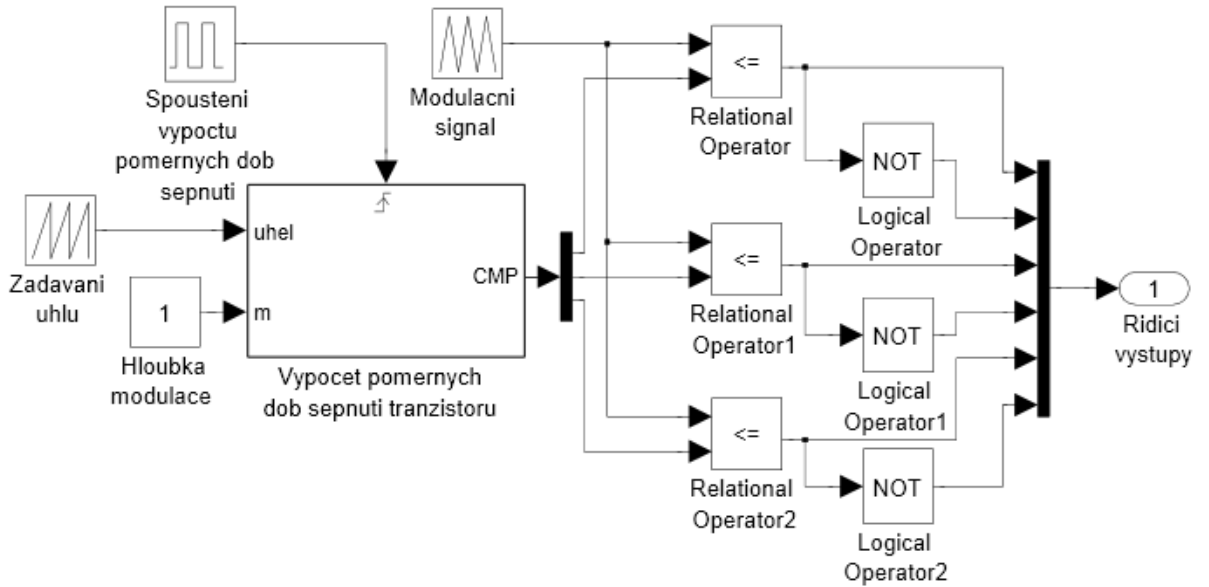
Řízení tranzistorů:



Příloha C - Blokové schéma dvouúrovňového měniče



Modulátor:



Obvod střídače a zátěže:

