



ZÁPADOČESKÁ
UNIVERZITA
V PLZNI

Fakulta elektrotechnická

Katedra aplikované elektroniky a telekomunikací

DIPLOMOVÁ PRÁCE

Digitální osciloskop na platformě STM32F4xx

Autor práce: Bc. Lukáš Ferkl

Vedoucí práce: Ing. Petr Krist, Ph.D.

Plzeň 2015

ZÁPADOČESKÁ UNIVERZITA V PLZNI
Fakulta elektrotechnická
Akademický rok: 2014/2015

ZADÁNÍ DIPLOMOVÉ PRÁCE

(PROJEKTU, UMĚLECKÉHO DÍLA, UMĚLECKÉHO VÝKONU)

Jméno a příjmení: **Bc. Lukáš FERKL**
Osobní číslo: **E13N0102P**
Studijní program: **N2612 Elektrotechnika a informatika**
Studijní obor: **Elektronika a aplikovaná informatika**
Název tématu: **Digitální osciloskop na platformě STM32F4xx**
Zadávací katedra: **Katedra aplikované elektroniky a telekomunikací**

Z á s a d y p r o v y p r a c o v á n í :

1. Seznamte se s problematikou měření, zpracování a zobrazování analogových signálů na digitálních osciloskopech.
2. Navrhněte funkční blokové uspořádání osciloskopu a strukturu programových modulů implementovaného firmware.
3. S využitím vhodného mikrokontroléru řady STM32F4xx výše uvedený návrh realizujte. Při návrhu ověřte limitní omezující hodnoty vyplývající z použití A/D převodníku integrovaného v mikrokontroléru a alternativně zvažte možnost využití externího A/D převodníku.
4. Porovnejte výsledné řešení s dostupnými osciloskopy a diskutujte problémy, na které jste v průběhu řešení narazil.

Rozsah grafických prací: podle doporučení vedoucího

Rozsah pracovní zprávy: 30 - 40 stran

Forma zpracování diplomové práce: tištěná/elektronická

Seznam odborné literatury:

Student si vhodnou literaturu vyhledá v dostupných pramenech podle doporučení vedoucího práce.

Vedoucí diplomové práce:

Ing. Petr Krist, Ph.D.

Katedra aplikované elektroniky a telekomunikací

Datum zadání diplomové práce: 15. října 2014

Termín odevzdání diplomové práce: 11. května 2015

Doc. Ing. Jiří Hammerbauer, Ph.D.
děkan



Doc. Dr. Ing. Vjačeslav Georgiev
vedoucí katedry

V Plzni dne 15. října 2014

Abstrakt

Diplomová práce je zaměřena na návrh digitálního osciloskopu s 32bit mikrokontrolérem řady STM32F4xx. V práci je popsána obecná činnost digitálních osciloskopů a činnost navrženého osciloskopu, princip převodu analogového signálu do digitální podoby a následného zpracování v číslicové formě. Osciloskop je navržen ve dvou variantách. V první variantě je použit integrovaný AD převodník v mikrokontroléru a v druhé variantě je použit rychlejší externí AD převodník. Dále je popsán řídicí firmware, jeho klíčové části a posloupnost úkonů při zpracování a zobrazování signálu na dotykovém LCD, včetně jednoduchého grafického prostředí s možností uživatelského vstupu.

Klíčová slova

osciloskop, STM32F4xx, AD převodník, mikrokontrolér

Abstract

Ferkl, Lukáš. Digital Oscilloscope on the STM32F4xx Platform [Digitální osciloskop na platformě STM32F4xx]. Pilsen, 2015. Master thesis (in Czech). University of West Bohemia. Faculty of Electrical Engineering. Department of Applied Electronics and Telecommunications. Supervisor: Ing. Petr Krist, Ph.D.

The master thesis is focused to the design of the digital oscilloscope on a 32 bit microcontroller STM32F4xx series. General functionality of digital oscilloscopes, principles of conversion of analog signal to digital form and subsequent processing are described in the thesis. The oscilloscope is designed in two variants. Internal AD converter in the microcontroller is used in the first type and faster external AD converter is used in the second type. The firmware, key parts and the sequence of signal processing functions and drawing the signal on the touch LCD with a basic graphic interface are also described in the thesis.

Keywords

oscilloscope, STM32F4xx, AD converter, microcontroller

Prohlášení

Předkládám tímto k posouzení a obhajobě diplomovou práci zpracovanou na závěr studia na Fakultě elektrotechnické Západočeské univerzity v Plzni.

Prohlašuji, že jsem svou závěrečnou práci vypracoval samostatně pod vedením vedoucího diplomové práce a s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce. Jako autor uvedené diplomové práce dále prohlašuji, že v souvislosti s vytvořením této závěrečné práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a jsem si plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení § 270 trestního zákona č. 40/2009 Sb.

Také prohlašuji, že veškerý software, použitý při řešení této diplomové práce, je legální.

V Plzni dne 11. května 2015

Bc. Lukáš Ferkl

.....

Podpis

Obsah

Seznam obrázků	VII
Seznam symbolů a zkratk	VIII
1 Úvod	1
2 Digitální osciloskopy	2
2.1 Převod signálů	3
2.2 Zpracování a zobrazení signálů	4
2.2.1 Převzorkování	4
3 Osciloskop s STM32F4xx	7
3.1 Řada mikrokontrolérů STM32F4xx	8
3.2 STM32F429	9
3.2.1 Interní AD převodníky	10
3.2.2 Řadič LCD TFT - LTDC	11
3.3 Schéma osciloskopu	14
3.3.1 Atenuátor	15
3.3.2 Zesilovače	17
3.3.3 Trigger	18
3.3.4 AD převodníky	19
3.3.5 Číslicové obvody a displej	20
3.4 Firmware	22
3.4.1 Nastavení periférií	22
3.4.2 Sekvence převodů interního AD převodníku	24
3.4.3 Aktualizace dat	25
3.4.4 Grafické funkce	27
3.5 FPGA	28
4 Závěr	30

Reference, použitá literatura	31
Přílohy	34
A Schémata zapojení	34
B Soubory se zdrojovým kódem	39

Seznam obrázků

2.1	Základní blokové schéma digitálního osciloskopu.	2
2.2	Blokové schéma flash převodníku.	3
2.3	Vzorky sinusového signálu (50 vzorků).	5
2.4	Vzorky signálu (z obrázku 2.3) po interpolaci.	5
2.5	Vzorky signálu (z obrázku 2.4) po decimaci.	6
3.1	Blokové schéma osciloskopu.	7
3.2	3D zobrazení návrhu.	8
3.3	Základní blokové schéma mikrokontrolérů STM32F4xx [2].	9
3.4	Blokové schéma AD převodníků.	10
3.5	Časování převodníku v zřetěženém módu (7,2 Msps).	11
3.6	Blokové schéma periferie LTDC [3].	12
3.7	Časování signálů [7].	14
3.8	Atenuátor 2:1 (nahore první část, dole druhá část).	16
3.9	Schéma zesilovačů (první část).	17
3.10	Schéma zesilovačů (druhá část).	18
3.11	Schéma zapojení komparátoru LM319.	18
3.12	Blokové schéma převodníku typu pipeline [4].	19
3.13	Schéma zapojení externího AD převodníku.	20
3.14	Vývojový diagram základního vlákna programu.	22
3.15	Vývojový diagram funkce pro konfiguraci periférií.	23
3.16	Vývojový diagram funkce na obsluhu externího přerušení.	24
3.17	Vývojový diagram funkce na obsluhu externího přerušení.	25
3.18	Ukázka výsledného obrazu na LCD.	27
3.19	Jeden znak ze znakové sady.	28
3.20	Blokové schéma obvodu v FPGA.	29
A.1	Kompletní zapojení atenuátoru.	34
A.2	Zapojení první části operačních zesilovačů.	35
A.3	Zapojení druhé části operačních zesilovačů.	35

A.4	Zapojení externího AD převodníku AD9283.	36
A.5	BNC konektor a volba vazby.	36
A.6	Zapojení komparátoru LM319A.	36
A.7	Zapojení zdroje napětí -5 V.	37
A.8	Propojení zemí a napěťová reference 1,5 V.	37
A.9	Zapojení DA převodníku TC1320 pro posun okna.	37
A.10	Zapojení konektorů pro kit STM32F4i-Disco a kit s FPGA.	38
B.1	Soubory se zdrojovým kódem firmware.	39

Seznam symbolů a zkratek

AC	Alternating Current. <i>Střídavý proud. Použito i například jako: AC vazba</i>
ADC	Analog to Digital Converter. <i>Převodník analogového signálu na číslicový.</i>
Buffer	Vyrovňovací paměť. <i>Paměť pro dočasné uložení dat před jejich zpracováním.</i>
DAC	Digital to Analog Converter. <i>Převodník číslicového signálu na analogový.</i>
DC	Direct Current. <i>Stejnoseměrný proud. Použito i například jako: DC vazba</i>
DMA	Direct Memory Access. <i>Přímý přístup do paměti bez účasti jádra.</i>
FFT	Fast Fourier Transform. <i>Rychlá Fourierova transformace.</i>
Flash	Typ převodníku. <i>Velmi rychlé převodníky. Flash v překladu blesk.</i>
FPGA	Field Programmable Gate Array. <i>Programovatelné hradlové pole.</i>
GPIO	General-purpose I/Os. <i>Vstupně výstupní porty mikrokontroléru.</i>
I2C	Inter-Integrated Circuit. <i>Sériové rozhraní pro přenos dat.</i>
LCD	Liquid Crystal display. <i>Displej z tekutých krystalů.</i>
LTDC	LCD-TFT Controller. <i>Periferie mikrokontroléru STM32F4xx.</i>
MCU	Micro Controller Unit. <i>Programovatelné hradlové pole.</i>
Msp/s/Gsp/s	Mega/Giga samples per second. <i>Rychlost převodu převodníku.</i>
PLL	Phase Lock Loop. <i>Fázový závěs. Používá se k úpravě hodinového signálu.</i>
PSRAM	Pseudo-Static DRAM. <i>SDRAM s vlastním řízením obnovy buněk.</i>
RGB	Red Green Blue. <i>Označení barevného formátu nebo periferie pro připojení displeje.</i>
SDRAM	Synchronous Dynamic Random Access Memory. <i>Dynamická synchronní paměť.</i>
SPI	Serial Peripheral Interface. <i>Sériové rozhraní pro přenos dat.</i>
SRAM	Static Random Access Memory. <i>Statická paměť.</i>

1. Úvod

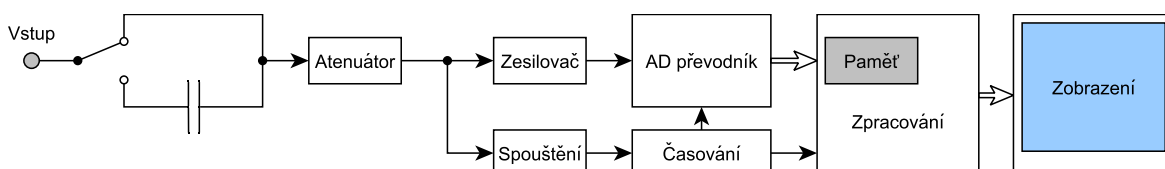
Diplomová práce je zaměřena na konstrukci a programové vybavení digitálního osciloskopu na platformě ST32F4xx. Je zde popsán obecný způsob měření a převodu analogových signálů převedených do číslicové podoby. Jejich následné zpracování a konečné zobrazení tvaru signálu na LCD osciloskopu. Je nutné si i uvést jakých chyb se dopouštíme, zpracováváme-li signál číslicově a na co si dát pozor, abychom zobrazený signál správně pochopily.

Nedílnou součástí je i obvodové řešení jednotlivých částí osciloskopu, které jsou kritické pro správnou činnost. Každá část v cestě signálu je specifická a podléhá jiným kritériím konstrukce vzhledem nejen ke správné funkčnosti, ale i průchodu signálu s co nejmenším zkreslením.

Řada mikrokontrolérů STM32F4xx nabízí výbornou vybavenost a výkonnost pro celou škálu aplikací. V osciloskopu jeden mikrokontrolér zvládá jak převod, tak i zpracování a zobrazení signálu včetně obsluhy uživatelových vstupů. Avšak i tyto mikrokontroléry mají svá omezení a je třeba firmware navrhnout s ohledem na tato omezení. V opačném případě získáme nestabilní nebo uživatelsky nepřívětivé zařízení. Součástí práce je i popis jednotlivých částí firmware, jak je řízena činnost osciloskopu. Nechybí ani popis programu pro FPGA.

2. Digitální osciloskopy

Osciloskop je nedílnou součástí každé dobré laboratoře nebo dílny. Z historického hlediska najdeme spousty různých konstrukcí a není tedy překvapením, že v době číslicových obvodů se budou objevovat i digitální osciloskopy. Se staršími, avšak často neméně kvalitními, analogovými osciloskopy mají ty digitální poměrně mnoho společných částí. Zejména "frontend", vstupní analogové obvody, bývá velmi podobný nebo i stejný. Na obrázku 2.1 je znázorněno základní blokové schéma digitálního osciloskopu.



Obr. 2.1: Základní blokové schéma digitálního osciloskopu.

Principem fungování je osciloskop jednoduché zařízení. Co osciloskop dělá složitým je samotná konstrukce jednotlivých částí s ohledem na různé vlivy při zpracování signálů o vysokých frekvencích. A to, at' je myšleno v obvodovém návrhu nebo především v konečném rozmístění součástek na desce plošného spoje. Vždy v osciloskopu najdeme volbu DC vazby nebo AC vazby. Následují obvody pro snížení úrovně signálu nazývané atenuátor. V drahých osciloskopech může být i víceúrovňový. Signál je dále zesílen a případně je k signálu přidán offset, kvůli AD převodníkovi, který často bývá napájen nesymetricky (+Vcc a zem).

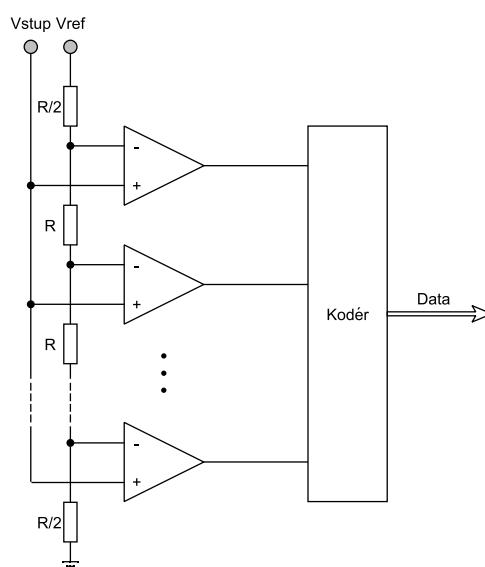
Naopak časová základna a zobrazení signálu u digitálního osciloskopu je již úplně odlišné od analogového osciloskopu. Časová základna digitálního osciloskopu je dána především vzorkovací frekvencí a následným zobrazením. Jednoduše, to co vidíme na displeji nemusí být přesně to, co bylo navzorkováno. Jednak proto, že je třeba vygenerovat obraz signálu v rozlišení LCD panelu a také proto, že signál musí být zobrazen v mřížce správně. Signál je tedy často třeba převzorkovat. Právě zpracování signálu může být do značné míry výhodou digitálního osciloskopu.

Konstrukci běžně prodávaných osciloskopů zde nelze popsat, protože dnes každý lepší výrobce chrání konstrukci a zapojení svého osciloskopu jako své know-how.

2.1 Převod signálů

Převod signálu je první odlišností analogového osciloskopu od digitálního. V tomto kroku je analogový signál převeden na posloupnost čísel pomocí AD převodníku. Převod signálu je i jedním z limitujících faktorů ovlivňující maximální frekvenci měřeného signálu. Dobře známé je pravidlo, že vzorkovací frekvence musí být minimálně dvojnásobná než frekvence převáděného signálu (Shannon-Kotělnikovův teorém). V takovém případě si navzorkovaný signál ponechá frekvenci původního signálu. Bohužel tvar signálu může být naprosto odlišný. Je třeba si uvědomit k čemu osciloskop slouží. Osciloskop zobrazuje průběh vstupního signálu a proto je důraz kladen především na zobrazení tvaru signálu, proto dva vzorky na periodu jsou kriticky málo. Tedy v praxi se používá 4x až 8x větší vzorkovací frekvence než je maximální frekvence měřeného signálu. Není žádným překvapením potkat osciloskop s rychlostí převodu 1 Gsp/s, ale vstupní signál může být maximálně 100 MHz.

Typické rozlišení AD převodníku v digitálních osciloskopech bývá 8 bitů. To je především dáno použitými převodníky. V lepších osciloskopech najdeme především rychlé paralelní převodníky označované též jako Flash převodníky. Ty obsahují řadu komparátorů a v případě rozlišení 8 bitů je jich potřeba 255. Z toho důvodu je toto rozlišení nejběžnější.



Obr. 2.2: Blokové schéma flash převodníku.

U levnějších zařízení najdeme pak převodníky takzvané Pipeline. Ty jsou vhodné pro vzorkovací rychlosti okolo 50 Msps až 150 Msps. Skládají se z několika stupňů. Každý stupeň je kombinací vzorkovacího bloku, AD převodníku a DA převodníku. AD a DA bývají s šířkou 1 až 4 bity. Díky malému rozlišení je tedy převod poměrně rychlý. Na konci stupně je od vstupního napětí odečteno napětí z DA převodníku a rozdíl je přiveden na další stupeň. Počet stupňů závisí

na rozlišení celého převodníku a každého stupně. Například převodník AD9283 obsahuje pět jednobitových stupňů. Aby se využila výhoda této konstrukce, je třeba převádět kontinuálně. A to z toho důvodu, že jakmile převod v prvním stupni skončí, začíná převod v druhém stupni, ale první stupeň začíná nový převod dalšího vzorku. Tedy Pipeline převodník v jednom okamžiku převádí několik vzorků. Výsledky převodu získáváme se zpožděním několika hodinových cyklů. Více o převodnících pipeline je napsáno v kapitole 3.3.4.

2.2 Zpracování a zobrazení signálů

Výhoda i nevýhoda digitálního osciloskopu je číslicové zpracování signálu. Výhoda je to z hlediska získání dalších možností, jak signál dále upravit či jinak přepočítat. Například jednoduchá (jednoduchá myšleno v porovnání s opravdu kvalitními spektrálními analyzátory) frekvenční analýza pomocí DFT nebo FFT nebo matematické operace se dvěma a více signály (obsahuje li osciloskop alespoň dva kanály).

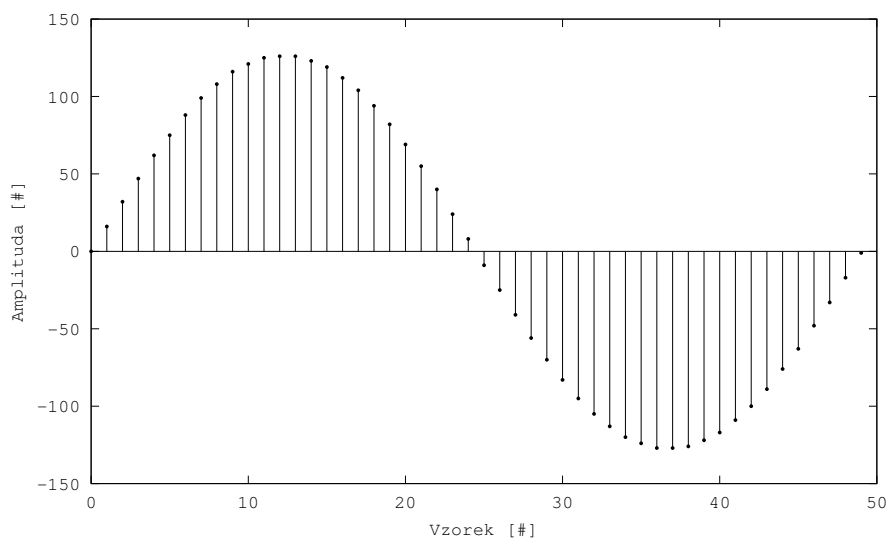
Nevýhodou pak je samotná úprava a zobrazení signálu. Představme si, že navzorkovaný signál má periodu s délkou $10 \mu\text{s}$ (signál o frekvenci 100 kHz) a převodník vzorkovací frekvenci 5 MHz. To znamená 50 vzorků na periodu měřeného signálu. Pokud uživatel osciloskopu nastaví rozlišení mřížky $10 \mu\text{s}$ na dílek a jeden dílek má šířku 30 pixelů, bude třeba periodu signálu zobrazit v oblasti široké 30 pixelů. To znamená, že signál musí být převzorkován a tím dojde ke ztrátě části informací.

2.2.1 Převzorkování

Jak už bylo zmíněno, aby bylo možno signál zobrazit na LCD, je třeba jej převzorkovat na počet vzorků odpovídající počtu pixelů. Také se dá říct, že měníme vzorkovací frekvenci signálu. Tu lze zvyšovat i snižovat. Existují dvě základní operace a to decimace a interpolace.

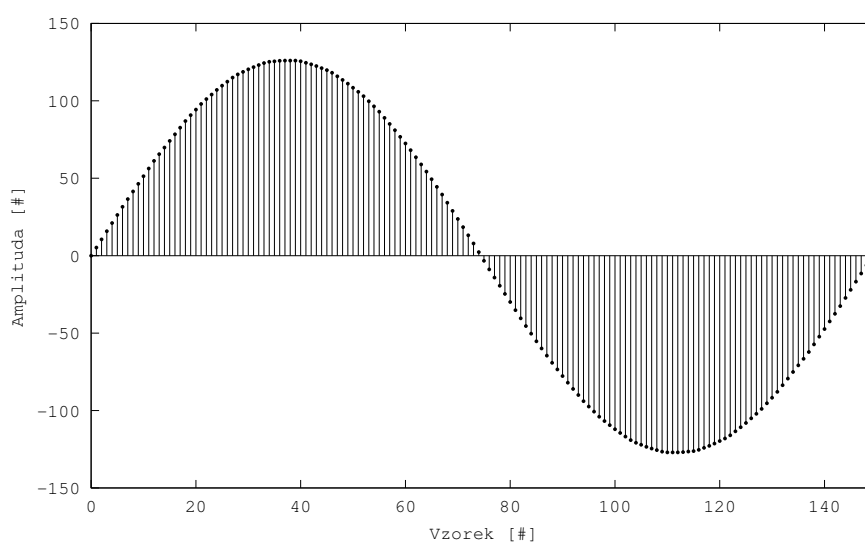
Interpolace je proces, při kterém se zvyšuje počet vzorků. Zvyšování se provádí vkládáním vzorků mezi ty stávající. Důležitý je faktor interpolace, který je poměrem počtu vzorků nového signálu a počtu vzorků původního signálu. Pokud se počet vzorků zdvojnásobí, je faktor interpolace roven dvou ($Q = 2$, písmeno se v různých zdrojích liší, Q je označení faktoru v software Octave). Otázkou je jakou hodnotu mají mít nově vložené vzorky. Proto existuje několik způsobů. Nejjednodušší je vkládat nulové vzorky. Používá se například při převodu signálu z časové oblasti do frekvenční pomocí FFT, pokud chceme získat více spektrálních čar. Nulový prvek v tomto případě nepřináší žádnou novou informaci a spektrum signálu nemění. Dalším způsobem je lineární interpolace. Hodnota nových vzorků je spočítána lineární funkcí na základě původních dvou

vzorků mezi které jsou ty nové vloženy.



Obr. 2.3: Vzorky sinusového signálu (50 vzorků).

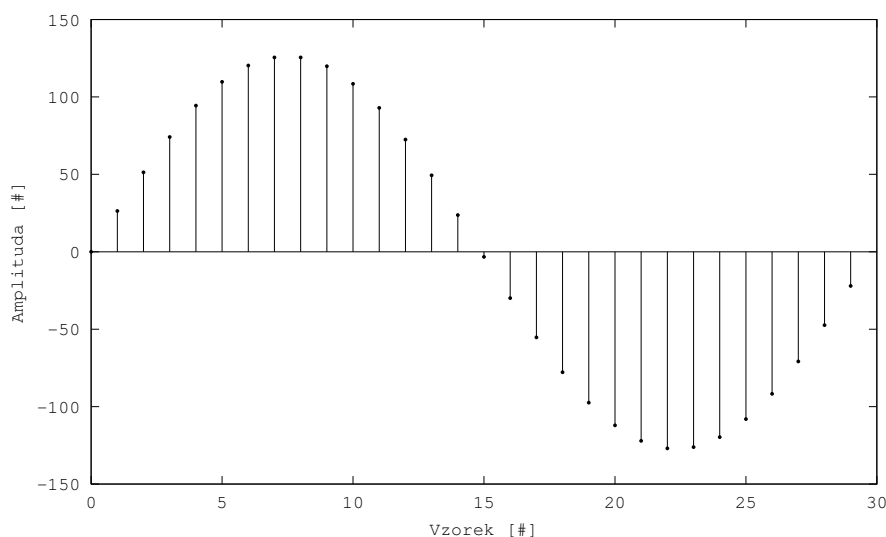
Naopak decimace je proces, při němž je snižován počet vzorků původního signálu. Důležitý je faktor decimace, který je poměrem počtu vzorků původního signálu a počtu vzorků nového signálu. Pokud se tedy počet vzorků sníží na polovinu, je faktor decimace roven dvou ($Q = 2$). Jiný pohled na faktor decimace je, že každý Q -tý vzorek zůstává, ostatní vzorky se ignorují a zahazují. Často před samotnou decimací se signál upraví číslicovým filtrem typu dolní propust, aby nedocházelo k aliasingu. Tedy snížením počtu vzorků docílíme stejného výsledku jako snížení vzorkovací frekvence a je nutné opět dodržet vzorkovací teorém. Filtr není vždy nutný, zejména pokud je zaručeno, že maximální frekvence signálu není větší než maximální možná podle teorému.



Obr. 2.4: Vzorky signálu (z obrázku 2.3) po interpolaci.

Například na obrázku 2.3 je znázorněna jedna perioda signálu o frekvenci 100 kHz převedený

8. bitovým převodníkem se vzorkovací frekvencí 5 MHz (pro lepší přehlednost je signál zobrazen s posunem hodnoty každého vzorku o -128). Tento signál je třeba zobrazit v oblasti široké 30 pixelů. Tedy poměr nového signálu ku původnímu signálu je 0,6. Faktor decimace nebo interpolace může být pouze celočíselný. Je tedy nutné provést jak interpolaci, tak decimaci. Nejprve se provede interpolace s faktorem $Q_I = 3$. Výsledný signál po lineární interpolaci je znázorněn na obrázku 2.4.



Obr. 2.5: Vzorky signálu (z obrázku 2.4) po decimaci.

Počet vzorků je nyní trojnásobný, konkrétně 150 vzorků. Následně lze použít decimaci s faktorem $Q_D = 5$. Výsledný signál po decimaci je znázorněn na obrázku 2.5. Poměr faktoru decimace ku faktoru interpolace je opět 0,6. Výsledkem je signál s podobným tvarem původního signálu, ale pouze s 30 vzorky na periodu.

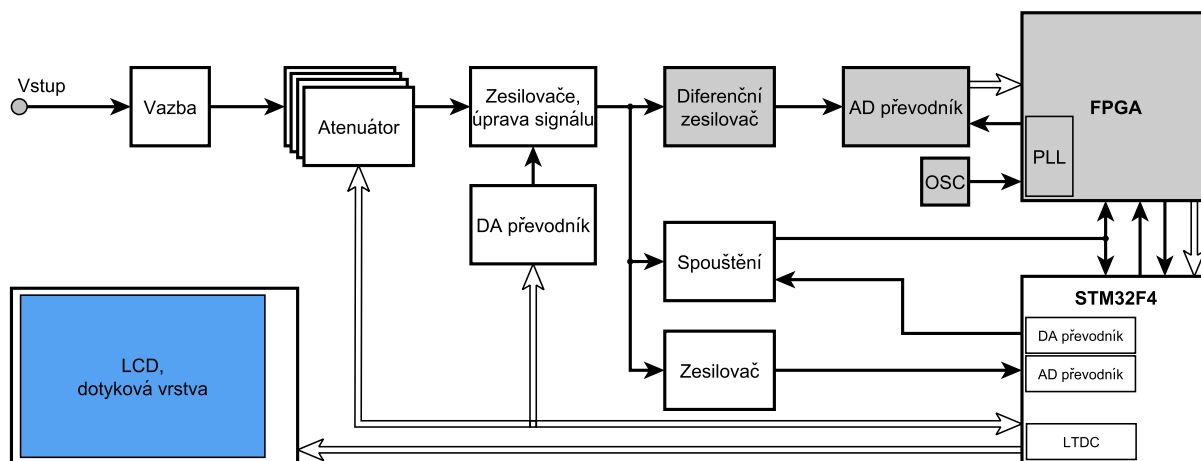
Pořadí těchto operací se signálem nelze zaměnit, to by bylo hrubou chybou. Při decimaci dochází ke ztrátě informací o původním signálu. V některých případech by mohlo dojít k velké změně tvaru signálu. Vždy tedy nejdřív interpolovat a až poté decimovat.

V případě implementace do osciloskopu je třeba pamatovat na paměťovou náročnost. Jestliže původní signál měl 50 vzorků (8 bitů na vzorek), zabíral v paměti 50 bytů. Po interpolaci je ale potřeba trojnásobný prostor, 150 bytů. Nejhorší situace nastává při převzorkování s celkovým poměrem blízkým jedné, kdy je prováděna interpolace s vysokým faktorem a je tedy potřeba dostatek paměti.

3. Osciloskop s STM32F4xx

Cílem práce je navrhnout osciloskop s mikrokontrolérem STM32F4xx. Existuje již spousta lepších či horších osciloskopů postavených na nějakém mikrokontroléru. Ovšem většina z nich je konstrukčně jednoduchá. Často obsahují jen jeden atenuátor (dělič) a ojedinele i atenuátor pouze z rezistorů. Přitom už v řádu desítek kHz se začínají více projevovat kapacity a dělení přechází na kondenzátory. Atenuátor je obtížná část návrhu a má nezanedbatelný vliv na vstupní signál.

Jelikož všichni výrobci si pečlivě hlídají své konstrukce a obvodová zapojení, je prakticky nemožné založit konstrukci na jiné osvědčené. Jediným obsáhlejším a osvědčeným zdrojem je starší kniha [1]. Bylo uvažováno o použití jak AD převodníku obsaženém v mikrokontroléru, tak i rychlejšího AD převodníku připojeného k mikrokontroléru. Původně se počítalo s návrhem dvou konstrukcí.



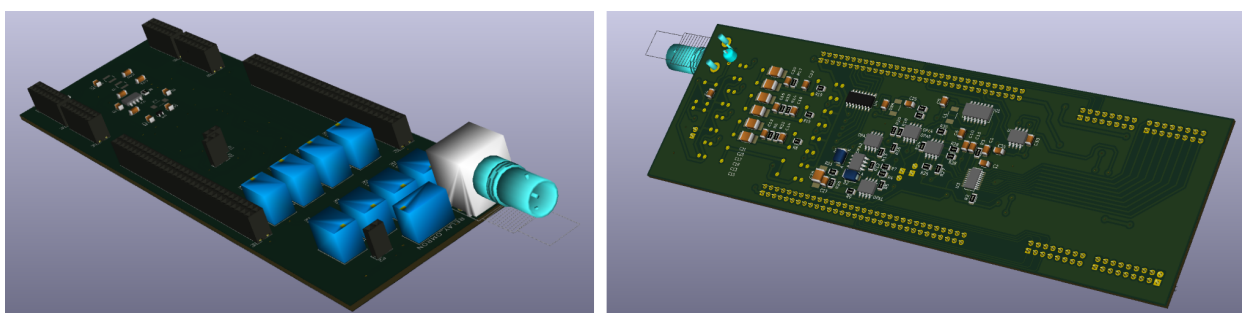
Obr. 3.1: Blokové schéma osciloskopu.

Jelikož spousta částí je stejných, vznikl nakonec pouze jeden návrh základní propojovací desky. Ta obsahuje všechny potřebné části pro využití interního i externího AD převodníku. Na desce najdeme obvody pro napájení operačních zesilovačů, atenuátor, relátka a obvod pro jejich buzení, operační zesilovače pro úpravu signálu a obvod pro generování spouštěcího signálu.

Blokové schéma celého osciloskopu je na obrázku 3.1. Měřený signál prochází nejprve atenuátorem, kde je úroveň signálu dle potřeby snížena. Signál je dále upraven operačními zesilovači

tak, aby odpovídal požadavkům AD převodníků. Stejný signál je zaveden do komparátoru, kde je porovnáván s napětím z DA převodníku. Tím je generován spouštěcí signál.

Základem navrženého osciloskopu je vývojový kit STM32F429i-Disco obsahující mikrokontrolér, jeho programátor a LCD displej s resistivní dotykovou vrstvou. Ten se nasadí na základní propojovací desku. Do stejné desky se také zapojí kit s programovatelným logickým obvodem Altera Cyclon IV typu FPGA. Oba kity lze běžně zakoupit, případně kit s FPGA díky relativní jednoduchosti vyrobit. V případě využití pouze interního AD převodníku není dokonce FPGA potřeba a není ani třeba osadit externí AD převodník a diferenční zesilovač (v blokovém schématu šedé bloky). Lze i použít levnější a pinově stejné operační zesilovače a tím snížit náklady. Ilustrativní náhled navržené desky je na obrázku 3.2.



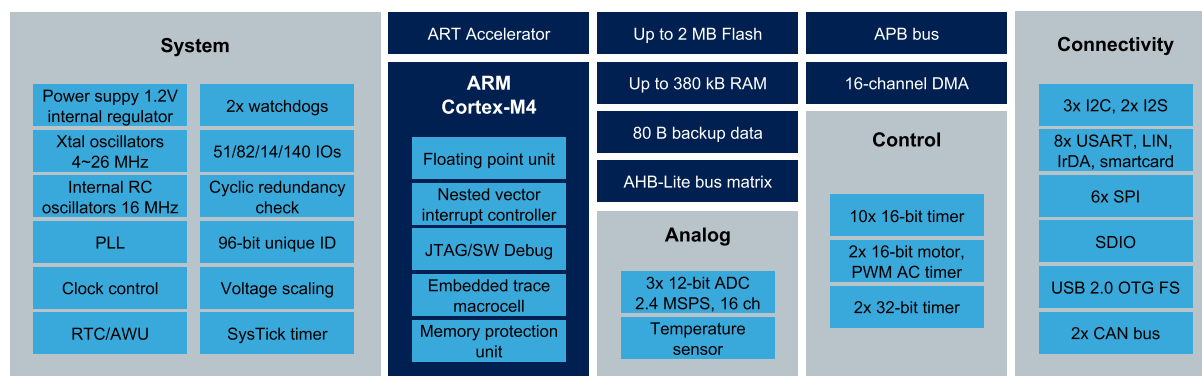
Obr. 3.2: 3D zobrazení návrhu.

3.1 Řada mikrokontrolérů STM32F4xx

Společnost STMicroelectronics vyrábí mnoho polovodičových součástek a v nabídce jí nechybí ani mikrokontroléry. Nabízí celou řadu mikrokontrolérů od energeticky úsporných STM32L, přes STM32F1xx až po dnes nejvýkonnější STM32F7xx (jaro 2015). Dlouhou dobu však byla k dispozici (a stále je) poměrně výkonná a dobře vybavená řada STM32F4xx.

Obsahuje jádro ARM Cortex-M4 spolu s jednotkou FPU pro počítání s čísly s plovoucí desetinnou čárkou a podporou některých signálových (DSP) instrukcí. Takt jádra je až 180 MHz (225 DMIPS), běžně se však používá takt 168 MHz (210 DMIPS), který je potřeba pro správnou funkci některých periférií. Velkou výhodou jsou na poměry mikrokontrolérů velikosti programové a operační paměti. Velikost operační paměť může být až 380 kB a v případě programové až 2 MB. A pokud ani to není dost, některé mikrokontroléry z řady F4 umožňují připojení SRAM, PSRAM, SDRAM a dalších typů pamětí a rozšířit tak operační paměť.

Mezi standardní periferie patří, mimo běžně vídané časovače, synchronně-asynchronní sériové vysílače-přijímače, SPI a další, například periferie sběrnice CAN, Ethernet a USB OTG, obvod



Obr. 3.3: Základní blokové schéma mikrokotrolérů STM32F4xx [2].

reálného času, DMA řadič, relativně rychlé AD a DA převodníky nebo periferie na počítání kontrolního součtu CRC.

Jedná se tedy o výkonný základ pro spoustu embedded zařízení včetně jednoduchého osciloskopu. Navíc díky jednotce FPU lze provádět výpočty rychleji a s dostatečnou přesností, například při převzorkování signálu nebo výpočtu spektra pomocí FFT.

3.2 STM32F429

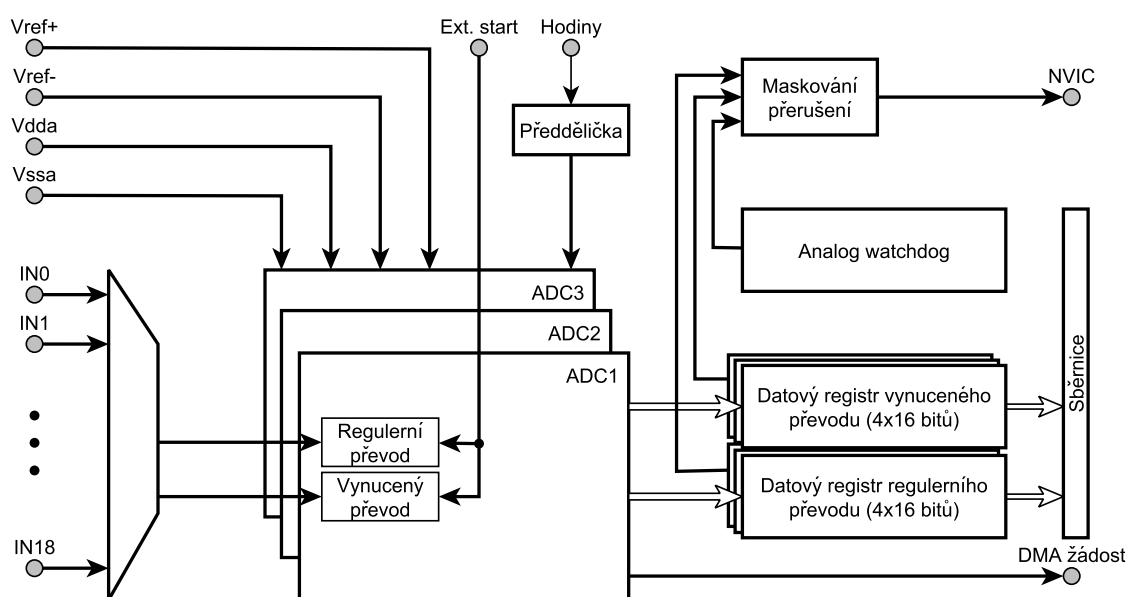
Jako základ pro osciloskop byl vybrán mikrokotrolér STM32F429ZIT6U. Vybrán byl především proto, že je osazen na vývojovém kitu STM32F429i-Disco. Tento vývojový kit lze pořídit zhruba za 650,-Kč a obsahuje mimo samotného mikrokotroléru také akcelerometr, rozšiřující SDRAM o velikosti 8 MB a grafický barevný LCD displej s resistivní dotykovou vrstvou, úhlopříčkou 2,4" a rozlišením 320 na 240 obrazových bodů. Na stejném kitu najdeme i programátor ST-Link V2, který lze použít k programování i mikrokotrolérů mimo tuto desku (je vyveden konektor).

Samotný mikrokotrolér lze taktovat až na frekvenci 180 MHz, ale v osciloskopu je použit na nižších 144 MHz a to proto, aby bylo možno využít maximální rychlosti vzorkování. Tento mikrokotrolér navíc nabízí řadu klíčových periférií, které urychlují běh celého osciloskopu a umožňují dosáhnout lepších parametrů. Jsou to zejména periferie DMA, umožňující efektivní přenos dat z interního AD převodníku do operační paměti a periferie LTDC, starající se o vykreslování na LCD bez nutnosti zásahu jádra.

Nesmíme zapomenout zmínit i dostatečnou velikost programové paměti, která je 2 MB. Operační paměť o celkové velikosti 256 kB umožní uložení dvou obrazových snímků a několika bufferů pro zpracování a zobrazení signálu. Operační paměť lze ještě rozšířit nakonfigurováním připojené SDRAM. Ovšem zde pak vzniká problém s možnostmi připojení dalšího zařízení, například FPGA s rychlejším externím AD převodníkem.

3.2.1 Interní AD převodníky

STM32F429 obsahuje hned tři AD převodníky, jeden jako master a dva jako slave. Konfigurování je částečně společné a částečně pro jednotlivé převodníky. Jedná se o převodníky s postupnou aproximací, takže doba převodu závisí i na zvolené bitové šířce, kterou je možné nastavit. Maximální šířka je pak 12 bitů s volitelnou dobou odebrání vzorku pro každý převodník. Hodiny jsou odvozeny z hodin z domény sběrnice APB2. Převodníky lze použít i spolu v různých módech činnosti. Lze je nastavit tak, aby každý převodník převáděl signál ve stejnou chvíli. Výsledky lze pak například zprůměrovat a tím zajistit přesnější měření potlačením vlivu šumu. Převodníky lze i řetězit tak, že jeden převádí (kvatizuje) signál zatímco druhý odebrá další vzorek (sample and hold). Dále je možné nastavit nepřetržité převádění a každý převodník může mít přednastavenou sekvenci převodů z různých zdrojů. Zdrojů signálu může být celkem 16 externích, navíc měření napětí referenčního zdroje, napětí baterie a napětí z teplotního senzoru. Samozřejmostí je možnost využití DMA pro přenos dat do operační paměti. Blokové schéma je na obrázku 3.4.

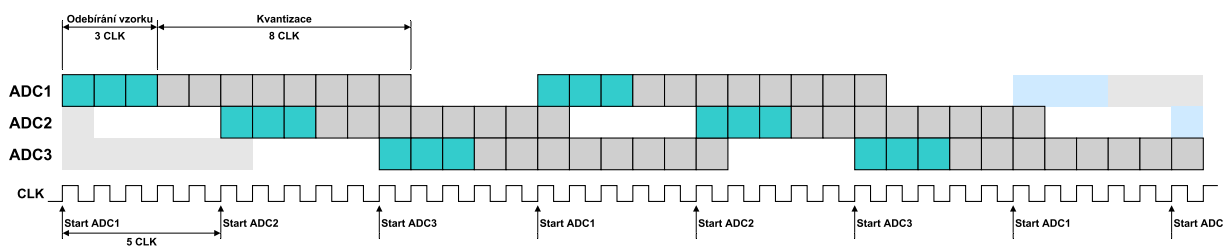


Obr. 3.4: Blokové schéma AD převodníků.

V osciloskopu jsou převodníky nastaveny tak, aby pracovaly zřetězeně (triple mode). Tím je docíleno většího počtu vzorků než při použití jednoho převodníku. Časování jednotlivých převodníků je vidět na obrázku 3.5. Vzorkování trvá 3 hodinové cykly a samotný převod 8 hodinových cyklů. Mezera mezi začátky převodu dvou převodníků lze nastavit, avšak nejmenší mezera, kterou lze zvolit, je 5 hodinových cyklů. Tedy v zřetěženém triple módu získáme další vzorek vždy po 5 hodinových cyklech.

Hodiny z domény APB2 mají frekvenci 72 MHz. Ty jsou děleny předděličkou dvěma. Tedy převodníky jsou taktovány hodinami o frekvenci 36 MHz. Pokud získáme nový vzorek každých 5

hodinových cyklů (každých $0,139 \mu\text{s}$), tak vzorkovací frekvence je 7,2 MHz.



Obr. 3.5: Časování převodníku v zřetěženém módu (7,2 Msps).

Výstupní registr pro zřetěžený mód má velikost 32 bitů a pojme dva vzorky (jeden v horních 16. bitech, druhý ve spodních 16. bitech). Po zaplnění tohoto registru je generována žádost na přenos pomocí DMA, tedy vždy po dvou vzorcích. V operační paměti je uchováno najednou 2048 vzorků. Je třeba si uvědomit, že frekvence měřeného signálu může být nejméně taková, aby se do bufferu vešla alespoň jedna jeho perioda. Při vzorkovací frekvenci 7,2 MHz a velikosti bufferu 2048, je nejdelší možná perioda měřeného signálu $284 \mu\text{s}$, což odpovídá frekvenci 3,5 kHz. Z toho důvodu je možno parametry převodu měnit a tím i měnit vzorkovací frekvenci (v tabulce 3.1 je znázorněno několik možných konfigurací, od krajních po používané).

Předdělička	Cyklů na vzorek	Vzorkovací frek. [MHz]	Mezera mezi vzorky [ns]	Šířka bufferu [μs]	Minimální frek. [Hz]
4	5	3,6	277,78	568,89	1757,81
6	5	2,8	416,67	853,33	1171,88
8	5	1,8	555,56	1137,78	878,91
8	20	0,45	2222,22	4551,11	219,73
2	5	7,2	138,89	284,44	3515,63
6	12	1	1000	2048	488,28
6	6	2	500	1024	976,56

Tab. 3.1: Časování převodu v zřetěženém módu (CLK 72 MHz, 2048 vzorků).

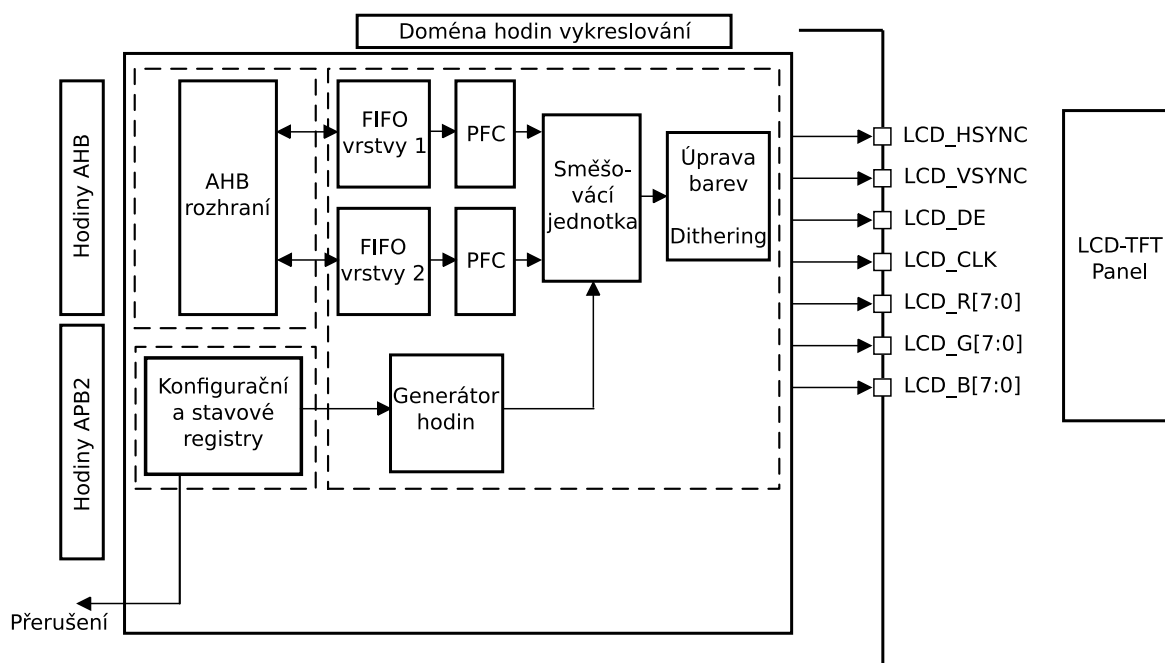
Na STM32F429i-Disco je referenční napětí odvozeno od napájecího, tedy 3 V. To je uděláno na desce fyzicky a nelze toto referenční napětí měnit.

3.2.2 Řadič LCD TFT - LTDC

Na první pohled se může zdát, že periferie LTDC není klíčová, ale opak je pravdou. Tato periferie slouží k vykreslování obrazu na grafickém LCD displeji.

Většina LCD displejů obsahuje vlastní řadič a je připojena pomocí sériových sběrnic I2C nebo SPI nebo paralelním rozhraním o šířce 8, 16 nebo 32 bitů. Použití sériové sběrnice je vhodné pro mikrokontroléry v malých pouzdrech, kde je potřeba šetřit použitými IO piny. Předpokladem je pak jen informativní zobrazování s malými změnami v obraze. Vykreslení celého snímku na LCD přes sériovou sběrnici trvá velmi dlouho. Pokud je potřeba vykreslovat snímky rychleji, je vhodné použít paralelní rozhraní. Komunikace s LCD, respektive jeho řadičem, probíhá ve formě odeslání instrukce a odeslání nebo přijmutí dat. K tomu je nutná účast procesoru po celou dobu komunikace, neboť neexistuje jednotný standard, ale instrukce a na ně odpovídající akce jsou do značné míry závislé na konkrétním řadiči.

Periferie LTDC využívá k připojení LCD rozhraní RGB se synchronizačními signály. RGB rozhraní je paralelní rozhraní určené ke kompletnímu řízení LCD pomocí signálů HSYNC (horizontální synchronizace), VSYNC (vertikální synchronizace), CLK (hodinový signál), R-G-B (paralelní - barevné složky) a volitelně signál DE (povolení příjmu / platnost dat). Tím odpadá nutnost dalšího složitějšího řadiče a vykreslování snímků je opravdu rychlé (nejsou odesílány instrukce a dochází k okamžitému vykreslování pixel po pixelu). Navíc periferie bere data každého snímku z operační nebo programové paměti a to bez nutnosti zásahu procesoru. Díky tomu je vykreslování LCD, dá se říct, samostatným procesem. Změna obrázku na LCD je pouze změna dat v operační paměti (na rozdíl od předchozích rozhraní, kde je třeba na každou změnu posílat instrukce a data). Blokové schéma periferie LCD je na obrázku 3.6.



Obr. 3.6: Blokové schéma periferie LTDC [3].

LTDC používá dva zdroje hodin. Jedny hodiny jsou z domény rychlé sběrnice AHB pro přenos dat z operační nebo programové paměti. Zbytek periferie je taktován hodinami z domény sběrnice

APB2 (přes fázový závěs PLLSAI) ze kterého je odvozena frekvence/rychlost přenosu pixelů a tedy i počet snímků za sekundu. V osciloskopu je nastaveno přibližně na 70 snímků za sekundu. Pro správné vykreslování je třeba nastavit šířku synchronizačních pulzů a šířku mezer před přenosem dalšího řádku nebo nového snímku. Tyto údaje je třeba nalézt v dokumentaci k LCD nebo jeho řadiči (v tabulce 3.2 jsou hodnoty pro řadič použitý na Discovery kitu).

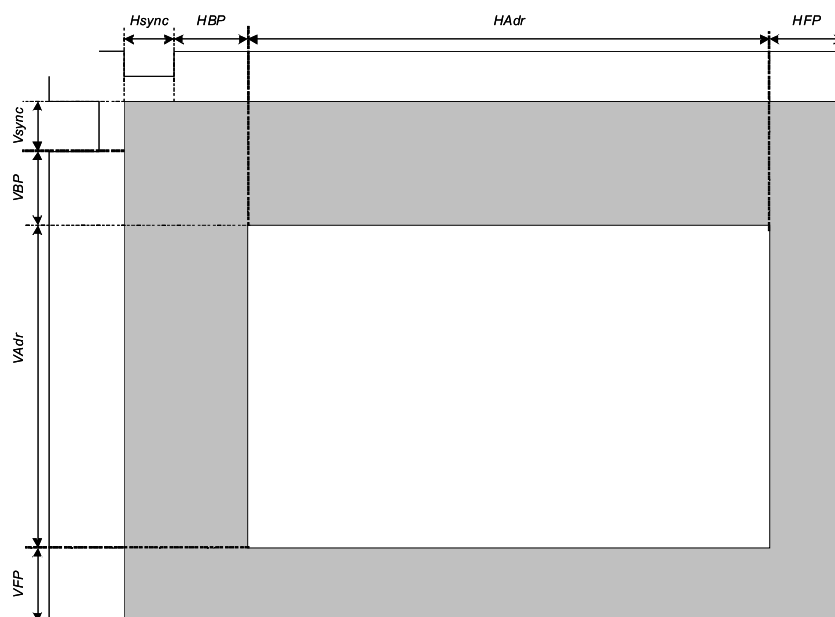
Parametr	Symbol	Min.	Typ.	Max	Jednotka
Horizontální Synchronizace	Hsync	2	10	16	DOTCLK
Horizontální Back Porch	HBP	2	20	24	DOTCLK
Horizon. viditelná oblast	HAdr	-	240	-	DOTCLK
Horizontální Front Porch	HFP	2	10	16	DOTCLK
Vertikální Synchronizace	Vsync	1	2	4	Řádek
Vertikální Back Porch	VBP	1	2	-	Řádek
Vertikální viditelná oblast	VAdr	-	320	-	Řádek
Vertikální Front Porch	VFP	3	4	-	Řádek

Tab. 3.2: Hodnoty časování pro řadič ILI9341 (maximální frekvence DOTCLK je 10 MHz) [7].

Pokud bychom použili typické hodnoty (a panel o velikosti 320x240 pixelů), bude potřeba 91840 hodinových cyklů na vykreslení jednoho snímku. Při maximální frekvenci 10 MHz je pak tento řadič schopen vykreslit jeden snímek za 9,2 ms, což je celkem 109 snímků za sekundu. Časování signálů je znázorněno na obrázku 3.7.

LTDC umožňuje použití dvou nezávislých vrstev (každá má svoji FIFO) plus vrstva pozadí. Každá vrstva tedy může čerpat z jiného umístění v paměti a každá vrstva může mít nastaven jiný formát barev. Vždy pak platí, že při sloučení vrstev je vrstva 2 navrchu. Velikost a absolutní umístění vrstvy na LCD je rovněž konfigurovatelné pro každou vrstvu zvlášť. Změna parametrů vrstev je možná za běhu LTDC. Bloky PFC slouží k převodu formátu barev, který jsme si pro danou vrstvu zvolili na interní standardní formát, se kterým se dále pracuje. Vnitřní formát barev je ARGB, tedy 8 bitů na barvu s možností nastavení kanálu alfa (průhlednost). Směšovací jednotka (Blending unit) smíchá aktivní vrstvy. Jelikož šířka výstupních dat pro LCD je konfigurovatelná, tak v případě, že snižujeme počet bitů na barvu, můžeme využít Dithering jednotku. Při snížení kvality (zmenšení počtu bitů na barvu) dochází k problémům, kdy blízké barvy po převodu mohou splynout a v obraze to působí rušivě. To se dá řešit částečně přidáním šumu (podobně jako šedá v novinách je tvořená různou hustotou černých teček), to dělá právě Dithering.

V osciloskopu jsou využity obě vrstvy. Obě vrstvy používají barevný formát L8. V tomto for-



Obr. 3.7: Časování signálů [7].

mátu je velikost pixelu v paměti jeden byte. Číslo v paměti znamená nikoliv barvu, ale index barvy. Každá vrstva ještě obsahuje vlastní CLUT (vyhledávací tabulka barev). Do této tabulky lze uložit 256 různých barev ve formátu RGB888 (8 bitů pro každou barevnou složku). Výsledkem je vykreslení 256 různých barev z rozsahu 16,7 tisíc barev pro každou vrstvu. Použití tohoto formátu má dva hlavní důvody. Prvním je šetření místa v operační paměti, kdy na jeden snímek (320x240 pixelů) je potřeba buffer o velikost 76800 bytů. Druhým důvodem je snížení zátěže sběrnice AHB.

Jak již bylo zmíněno, v osciloskopu jsou využity obě vrstvy. První vykresluje pozadí s mřížkou a druhá vrstva vykresluje signál, textové informace a základní uživatelské prostředí. Vrstva 2 je navíc konfigurována střídavě mezi dvěma buffery. Při rychlém vykreslování a zároveň upravení zdrojových dat dochází k nepříjemnému blikání obrazu. Je třeba zajistit, že vrstva 2 bude vykreslovat data, která nebudou v době vykreslování měněna. To se dá docílit jedinečně dvěma buffery (double buffering). Jeden buffer je vykreslován, zatímco do druhého je generován další snímek. Ve vhodný okamžik (zpravidla na konci vykreslení snímku) se nastaví jako zdroj dat pro vrstvu druhý buffer. Tím je obraz stálý a čistý.

3.3 Schéma osciloskopu

Jak už bylo zmíněno, tak některé části osciloskopu vycházejí z popisu starší knihy [1]. Ta je zaměřená spíše na analogové osciloskopy, ale jak již bylo napsáno, obvody před AD převodníkem jsou prakticky shodné jak u digitálního, tak u analogového osciloskopu. Navržená konstrukce je jednoduchá a použitelná do frekvence řádu desítek MHz. Vytvořit precizní obvod je již náročný

úkol a odehrává se nejen v návrhu zapojení jednotlivých součástek, ale i v samotném rozmístění a propojení součástky na desce plošného spoje.

Existuje několik jednoduchých pravidel. Známe je oddělení zemí pro analogovou část a pro číslicovou část. Obě země jsou spojeny co nejbližze zdroji a analogová zem není připojena přímo, ale přes LC filtr typu dolní propust. Podobný LC filtr je použit i u všech DA převodníků, konkrétně na jejich výstup. Změny napětí na těchto převodnících nejsou časté, slouží pouze ke generování stejnosměrného napětí s občasnou změnou a proto si filtr můžeme dovolit a tím zamezit dalšímu pronikání nechtěného rušení z číslicové části.

Co je ale méně známe je napájení smíšených obvodů, jako je AD převodník. Občas se mylně zapojí zem analogové a číslicové části AD převodníku odděleně (vývod země z analogové části k AGND a vývod země z číslicové části ke GND). Jenže mezi číslicovou a analogovou částí vzniká parazitní kapacitní vazba, přes kterou se šíří rušení z číslicové části do té analogové [13]. Tu lze omezit právě spojením obou zemí z AD převodníku a následného připojení k analogové zemi celkového obvodu. Dále je třeba myslet na délku vodičů. Čím kratší, tím lépe. Proto je třeba měřený signál přenést k AD převodníku co možná nejkratší cestou.

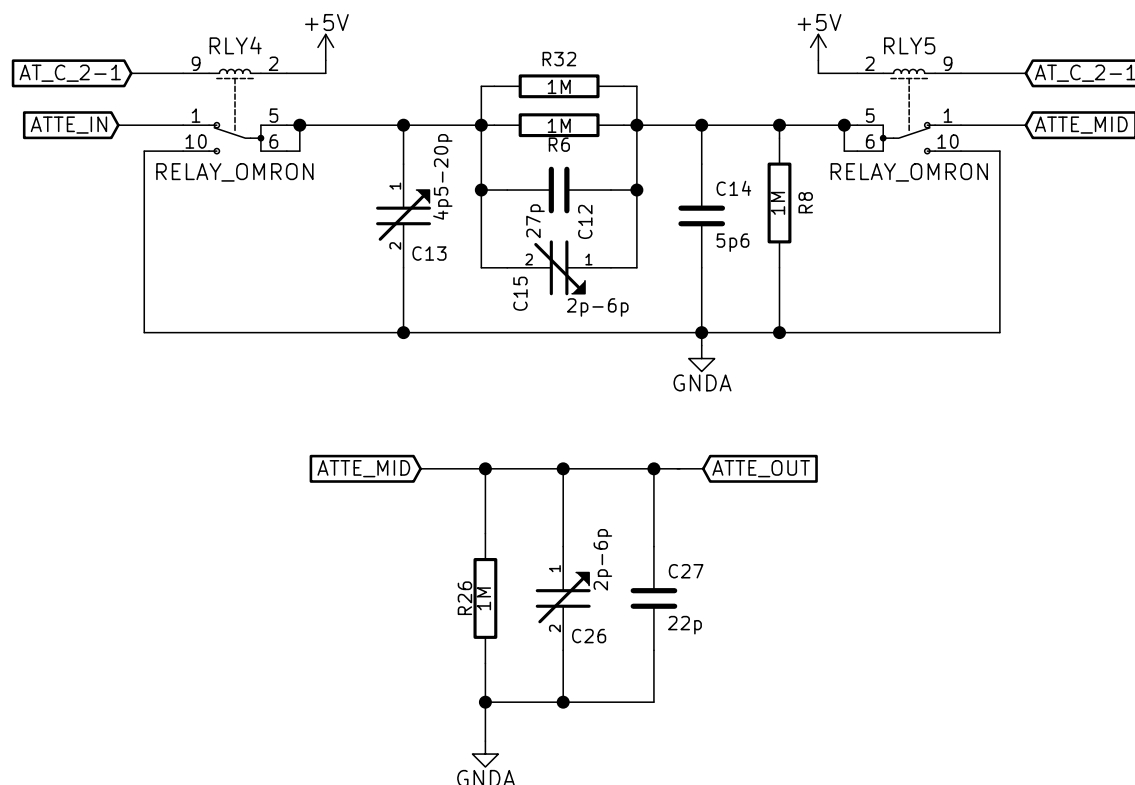
Jednotlivé části budou dále popsány podrobněji.

3.3.1 Atenuátor

Atenuátor nebo jinak dělič snižuje úroveň měřeného signálu, tak aby amplituda byla v mezích dalších obvodů osciloskopu. Díky tomu je možné měřit signály s větší amplitudou. Ovšem situace není zdaleka tak jednoduchá. Atenuátor zároveň musí zajistit stálé elektrické charakteristiky vstupu osciloskopu. Zejména vstupní odpor a kapacitu. Dále je třeba si uvědomit, že dělení napětí pomocí rezistorů je možné jen do řádu desítek kHz. Při větších frekvencích se napětí dělí na kondenzátorech. Už díky tomu nelze zajistit stejnou přesnost jako u přístrojů určených k měření amplitudy. Při návrhu je třeba počítat s tím, že kondenzátor se nedá vyrobit s malou tolerancí své kapacity. Díky tomu se návrh mírně komplikuje. Na obrázku 3.8 je vidět jednostupňový atenuátor s poměrem 2:1 (dělení na polovinu).

První část atenuátoru se v osciloskopu nachází hned třikrát, pokaždé s jinými hodnotami pro dělicí poměry 2:1, 5:1 a 10:1. Přepínání je prováděno relátkou. Vždy jedno na vstupu a výstupu první části atenuátoru. Ty přepínají současně a jsou řízeny stejným budícím signálem. V rozepnutém stavu celou část uzemní. Při poměru 1:1 je první část vynechána a vstup je připojen rovnou na druhou část atenuátoru. Ta slouží k nastavení jmenovité kapacity a odporu vstupu osciloskopu. Je nutné počítat s parazitní kapacitou součástek (například ochranných diod) a samotných vodičů. Proto je ke kondenzátoru C27 připojen ještě kapacitní trimr C26 pro přesné nastavení kapacity.

U osciloskopů většiny výrobců se ustálila hodnota vstupního odporu 1 M Ω (v případě osci-



Obř. 3.8: Atenuátor 2:1 (nahore první část, dole druhá část).

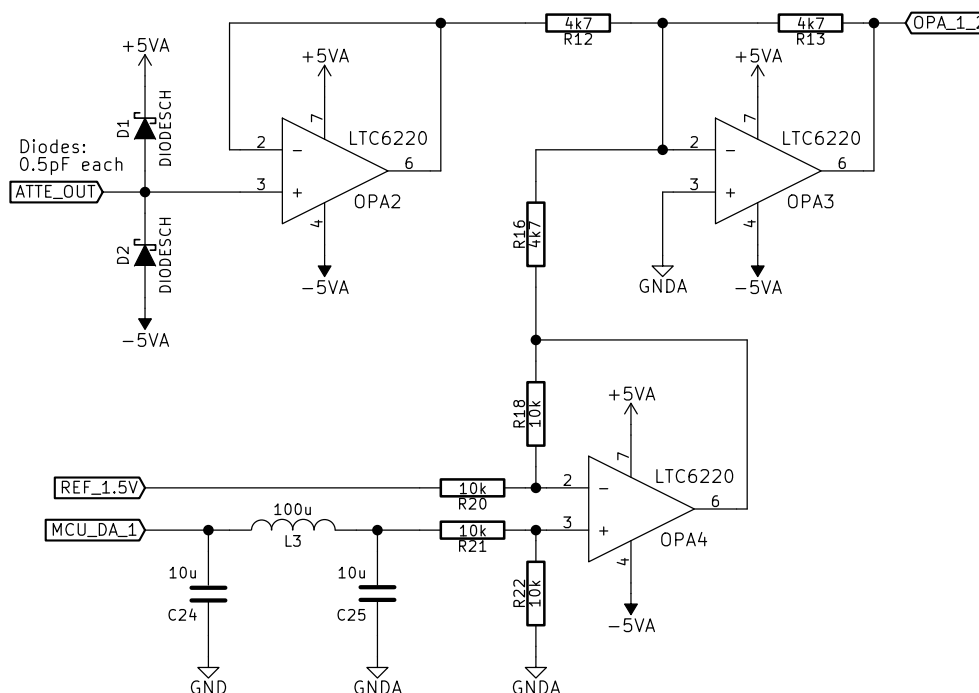
loskopů pro velmi vysoké frekvence 50 Ω). Vstupní kapacita byla dříve také daná, ale v poslední době se často liší napříč přístroji. Obvyklá hodnota vstupní kapacity se pohybuje přibližně od 15 pF do 30 pF. Navržený osciloskop má vstupní impedanci 1 MΩ a 27 pF.

Při zvolení dělicího poměru 2:1 je mezi vstup osciloskopu a druhou částí atenuátoru vložena i ta první část (zázorněná na obrázku 3.8). Rezistor R8 je paralelně připojen k rezistoru R26 a tím tvoří odpor 500 kΩ. Aby vznikl dělič v poměru 2:1 je třeba sériově připojit rezistor s hodnotou také 500 kΩ. Na schématu je to řešeno pomocí rezistorů R6 a R32. Zapojení dvou rezistorů má důvod především proto, že dostupnost rezistorů s jmenovitým odporem 500 kΩ s relativně malou tolerancí je omezená a cenově nepřívětivá. C14 slouží ke zvětšení kapacity výstupu atenuátoru a to z toho důvodu, aby dělicí poměr šlo lépe nastavit (omezený výběr kapacitních trimrů). K nastavení poměru by stačil kondenzátor C12, ale opět kvůli velké toleranci jmenovité hodnoty je volen menší a doplněn paralelně kondenzátorem C15 pro přesné nastavení. Tímto sériovým spojením kondenzátorů se snižuje celková jmenovitá kapacita vstupu osciloskopu. Proto je na vstup atenuátoru ještě připojen kondenzátor C13, kterým se opět nastaví jmenovitá hodnota 27 pF.

Další dělicí poměry jsou řešeny úplně stejně, pouze s jinými hodnotami součástek. Maximální amplituda vstupního signálu je tedy dána dělicím poměrem a aby amplituda na výstupu atenuátoru byla v rozsahu 1,5 Vpp (více v kapitole 3.3.2). V případě použití sondy 10:1 a atenuátoru 10:1, je maximální amplituda vstupního signálu 150 Vpp.M

3.3.2 Zesilovače

Za atenuátorem je hned několik operačních zesilovačů (znázorněno na obrázku 3.9). Ty jsou napájeny symetricky ze zdroje +5 V a -5 V (schéma napájení je v příloze A). Jako standardní rozsah amplitudy v osciloskopu je zvolen 1,5 Vpp. Je tak zajištěna dostatečná rezerva a nebude docházet k saturaci signálu v operačních zesilovačích. Díky tomu ani není třeba pořizovat rail-to-rail operační zesilovače. Napětí bylo zvoleno ale především kvůli internímu AD převodníku, jehož rozsah vstupního signálu je 0 V až 3 V.

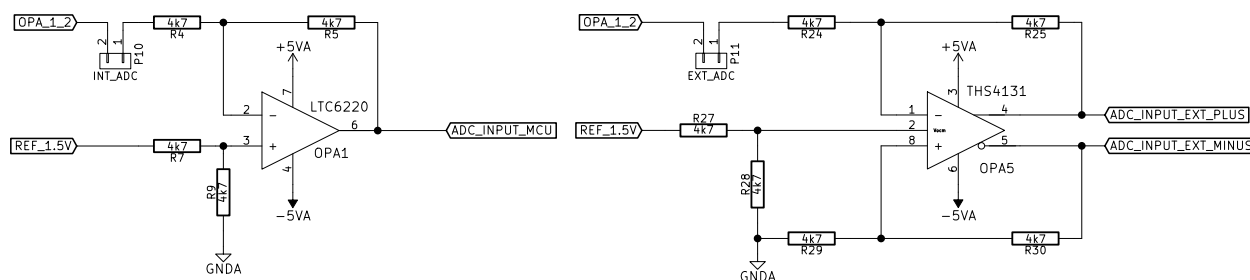


Obr. 3.9: Schéma zesilovačů (první část).

Hned první operační zesilovač OPA2 slouží k oddělení vstupu s atenuátorem od dalších částí osciloskopu. Je tedy zapojen jako obyčejný sledovač napětí. Dále k je signálu přičten offset na operačním zesilovači OPA3. Ten zde slouží k posunu okna (tedy viditelné oblasti na osciloskopu). Slouží v případě že chceme zobrazit detail určité části signálu. Například zvlnění na horní hraně obdélníkového signálu. Offset napětí je generováno z DA převodníku a je v rozsahu 0 V až 3 V. Z toho důvodu je zde ještě operační zesilovač OPA4, který výstupní napětí posouvá o 1,5 V níže.

Výstup z operačního zesilovače OPA3 je pak připojen k dvěma operačním zesilovačů (obrázek 3.10). Každý pro jeden převodník. OPA1 je určen k přizpůsobení signálu pro interní převodník v mikrokontroléru STM32F429. Jeho zapojení je jednoduché. Přičítá pouze napětí 1,5 V, tak aby amplituda signálu byla v rozsahu od 0 V do 3 V (referenční napětí interního převodníku jsou 3 V). Druhý operační zesilovač OPA5 je naopak k přizpůsobení signálu pro rychlejší externí (z pohledu mikrokontroléru) AD převodníku. AD převodník má diferenční vstup a tedy i výstup z operačního zesilovače OPA5 je diferenční. Ten je sice nastaven se zesílením 1, ale díky nediferenčnímu vstupu,

kdy kladná větev je uzemněna, je výstupní napětí poloviční. Navíc je posunuto o 1,5 V nahoru což je i hodnota referenčního zdroje pro externí převodník.

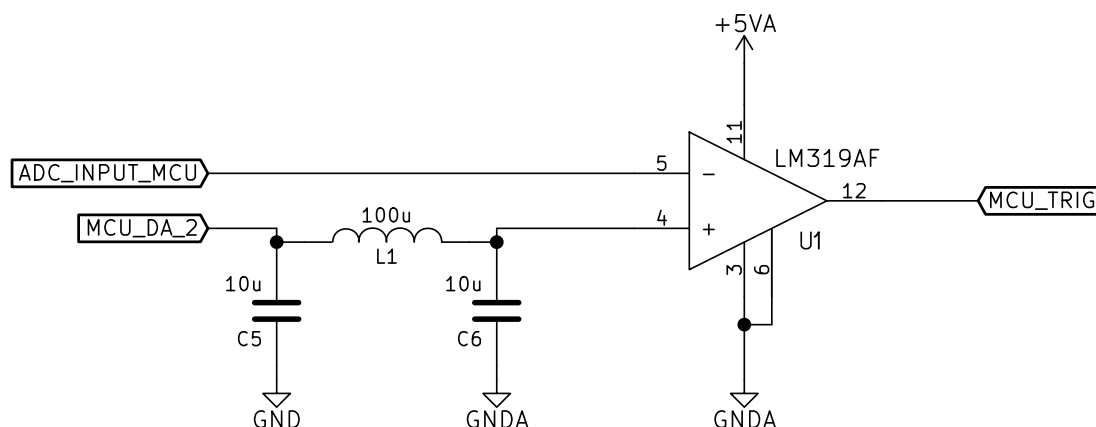


Obr. 3.10: Schéma zesilovačů (druhá část).

Samozřejmostí je, že není nutné osadit oba operační zesilovače a ani není předpokládáno, že by to někdo dělal. Navržená deska je pouze testovací s možností ověřit funkčnost obou převodníků. Proto obsahuje oba operační zesilovače.

3.3.3 Trigger

Trigger nebo spouštění je z pohledu uživatele osciloskopu důležitá část. Začátek sekvence převodů nemůže začínat kdykoliv, protože v takovém případě by na displeji bylo vidět jen mihotání čar. Spouštění převodu nastane při splnění určité podmínky, například, když úroveň signálu roste. Konstrukce takového obvodu může být velmi jednoduchá a realizována například pomocí komparátoru.



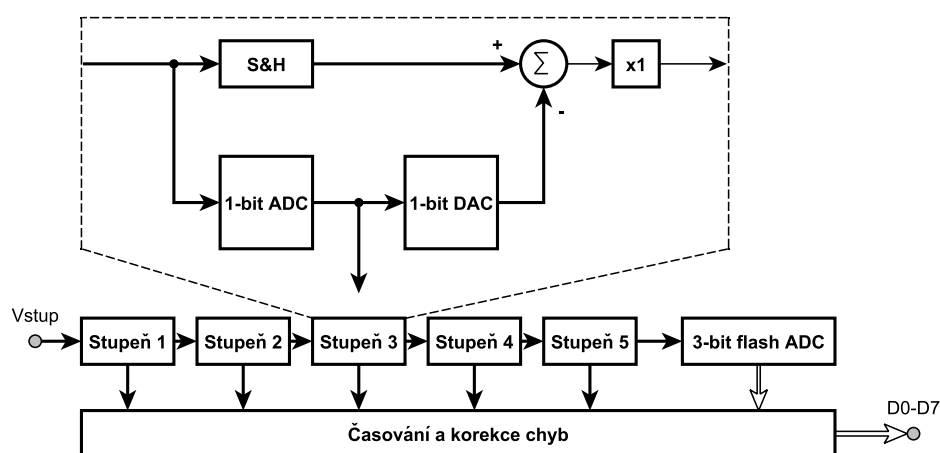
Obr. 3.11: Schéma zapojení komparátoru LM319.

Jednoduše se porovnává signál vstupující do AD převodníku s napětím z DA převodníku. Tím vznikne obdélkový signál s náběžnou hranou vždy, když úroveň měřeného signálu je větší než úroveň napětí z DA převodníku. K tomuto účelu se prodávají speciálně komparátory. Jedná se v podstatě o operační zesilovače s co možná nejmenší dobou průchodu signálem. Běžné operační

zesilovače mají dobu průchodu signálem okolo 300 ns, zatímco komparátory i o řád menší. Komparátor použitý v navrženém osciloskopu LM319 má reakční dobu typicky 80 ns (obrázek 3.11).

3.3.4 AD převodníky

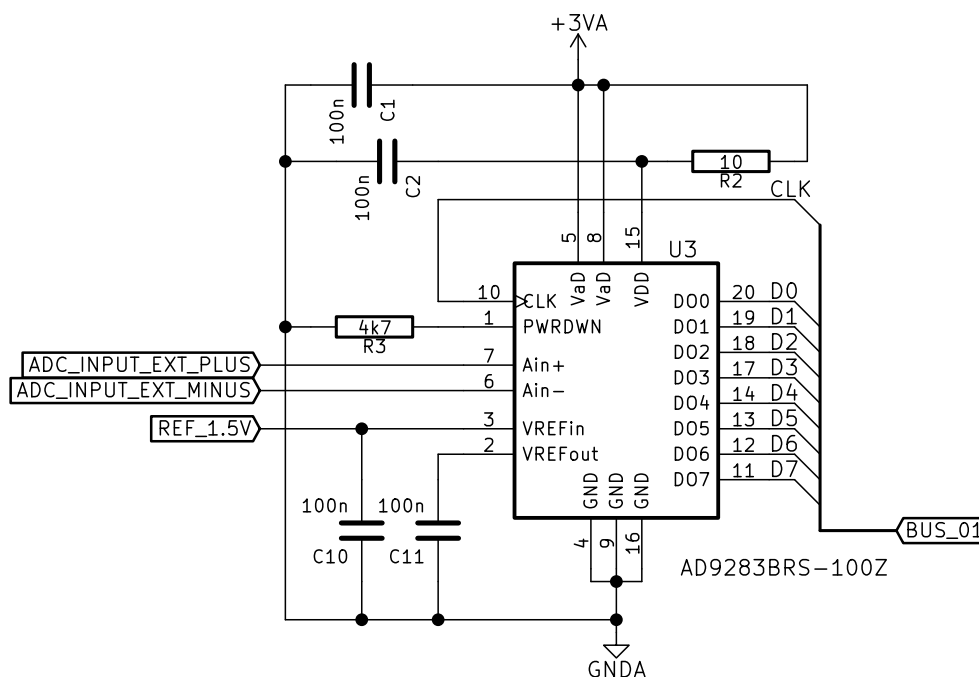
Jak již bylo zmíněno, navržený osciloskop využívá jak interní AD převodník v mikrokontroléru, tak i externí rychlejší AD převodník. Interní převodník byl již popsán v kapitole 3.2.1. Jen si připomeňme, že maximální vzorkovací frekvence je 7,2 MHz při rozlišení 8 nebo 10 bitů (použito 8 bitů) a vstupní rozsah amplitudy je od 0 V do 3 V.



Obr. 3.12: Blokové schéma převodníku typu pipeline [4].

Externí (z pohledu mikrokontroléru) AD převodník byl zvolen AD9283, ale je možno použít i jakýkoliv jiný kompatibilní. Společnost Analog Devices vyrábí hned několik podobných AD převodníků. Zvolený převodník má maximální vzorkovací frekvenci 100 MHz při rozlišení 8 bitů. Nejméně pak 1 MHz. Jedná se o kombinovaný převodník typu pipeline (obrázek 3.12) a Flash. Tato struktura umožňuje levně dosáhnout vyšších vzorkovacích frekvencí. Konkrétně AD9283 obsahuje pět jednobitových pipeline stupňů zpracujících horních 5 bitů. Spodní 3 bity jsou pak převedeny rychlým 3 bitovým převodníkem typu Flash. Tedy převodník zpracovává pět vzorků naráz a výsledek převodu je zpožděn pět hodinových cyklů oproti odebrání vzorku. Výhodou je, že převodník obsahuje i obvod na odebrání vzorku (sample and hold).

Převodník je připojen k diferenčnímu operačnímu zesilovači a referenční napětí je voleno 1,5 V. Výstup převodníku je paralelní. Vzhledem k relativně velkému objemu dat při maximální vzorkovací frekvenci, až 100 MByte/s, není převodník připojen k mikrokontroléru přímo. Převodník je připojen k programovatelnému logickému obvodu typu FPGA. Ten umožňuje vytvořit strukturu, která bude dostatečně rychlá pro ukládání dat do doby, než budou zpracována. Převod je taktován rovněž z FPGA, které musí obsahovat alespoň jeden fázový závěs, aby bylo možno vytvořit



Obr. 3.13: Schéma zapojení externího AD převodníku.

taktovací hodiny o frekvenci rovné té vzorkovací. Více je napsáno v části 3.5.

Převod začíná náběžnou hranou hodinového signálu a data je možno číst při sestupné hraně téhož signálu. Je třeba znova připomenout, že po sestupné hraně jsou připravena data vzorku, který byl odebrán před pěti hodinovými cykly.

3.3.5 Číslicové obvody a displej

Číslicová část osciloskopu je z většiny již na hotových kitech s mikrokontrolérem případně FPGA. Tyto kity již obsahují veškerou potřebnou elektroniku pro správnou činnost.

STM32F429i-Disco kit obsahuje především mikrokontrolér STM32F429ZIT6. Najdeme zde i druhý mikrokontrolér STM32F103C, ten je ale součástí integrovaného programátoru ST-Link V2 a zajišťuje samotné programování a komunikaci s PC po sběrnici USB. Jemu ale dále nebude věnována pozornost. Celý kit je napájen externě nebo z USB, v obou případech napětím 5 V. Samotný mikrokontrolér vyžaduje napájecí napětí 1,7 V až 3,6 V. Proto na kitu najdeme obvod LD3985M33R, což je spínaný regulátor napětí s vysokou účinností a výstupním napětím 3,3 V. Obsahuje i ochrany proti přetížení nebo přehřátí. Na výstupu regulátoru je ještě připojena dioda BAT60JFILM s úbytkem napětí v propustném směru přibližně 0,3 V. Výsledné napětí je 3 V. Toto napětí je pak využito ve většině integrovaných obvodech jako napájecí. Použitý mikrokontrolér je v pouzdře LQFP-144. To poskytuje velké množství konfigurovatelných pinů (114), ovšem drtivá většina je již využita. Především proto, že kit obsahuje paměťový modul SDRAM a displej

připojený RGB rozhraním.

Paměť IS42S16400J typu SDRAM má organizaci 1 MB x 16 B ve čtyřech bankách, což je celkem 64 Mbit. Připojená je k mikrokontroléru 12. bitovou adresovou a 16. bitovou datovou sběrnicí, plus řídicími signály (celkem 38 signálů). Jelikož se jedná o dynamickou paměť, je třeba její obsah obnovovat. Naštěstí veškerou obsluhu zařizuje periferie FMC. Je sice možno jej použít, ale v osciloskopu není použit.

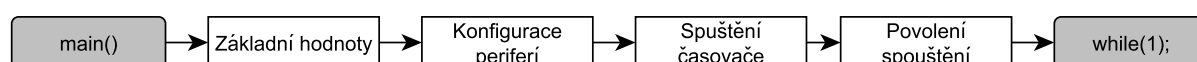
LCD displej je modul SF-TC240T-9370-T s 2,4" velkým TFT panelem s rozlišením 240x320 pixelů a řadičem ILI9341. Ten umožňuje přenášení dat obrazu buď paralelním rozhraním (8/9/16/18 bitů) označované jako MCU rozhraní, sériovým rozhraním (SPI) nebo pomocí paralelního rozhraní (6/16/18 bitů) označované jako RGB rozhraní. V případě MCU rozhraní nebo SPI probíhá komunikace vždy odesláním příkazu a odesláním nebo příjmu dat. Výhoda takového připojení je právě možnost data i číst a zejména to, že obrazová data jsou uložena v paměti řadiče (vhodné pro mikrokontroléry s malou operační pamětí). Na i-Disco kitu je ale využito RGB rozhraní. To je pouze jednosměrné a vhodné pro vykreslování obrazu s častou změnou (například video). Rozhraní je řízeno celé vykreslování obrazu (více bylo popsáno v kapitole 3.2.2). Díky integrované periférii LTDC je pak vykreslování obrazu rychlé a efektivní. Nevýhodou je, že obrazová data jsou uložena v operační paměti mikrokontroléru.

Součástí displeje je i odporová dotyková vrstva. Ta je napájena a snímána integrovaným obvodem STMPE811QTR. Jedná se o expandér vstupně výstupních pinů obsahující AD převodník s rozlišením 12 bitů. V alternativní funkci lze AD převodník využít k měření změny napětí při dotyku. Převodník převádí napětí nepřetržitě, v případě dotyku se začnou převedené vzorky ukládat do interní FIFO paměti o velikosti 256 vzorků. Data jsou přenášena sběrnicí I2C (na standardní frekvenci 100 kHz) doplněné o vodič přerušení, je tedy možné v případě dotyku generovat externí přerušení. Komunikace probíhá standardním způsobem, odesláním příkazu následovaný daty (z nebo do mikrokontroléru).

Kit s FPGA je jednodušší neboť obsahuje pouze programovatelný obvod FPGA a EEPROM s daty. O něco málo složitější je napájení. Celý kit je napájen rovněž napětím 5 V. Samotný programovatelný obvod, Altera Cyclon IV (EP4CE6E22C8N), vyžaduje napájení jádra napětím 1,2 V, fázového závěsu napětím 2,5 V a pro snadnou připojitelnost s dalšími obvody pro vstupně/výstupní porty napětím 3,3 V. Proto na kitu nalezneme hned tři lineární regulátory napětí: AX1117-3.3, AX1117-2.5 a AX1117-1.2. Na kitu nalezneme i oscilátor na frekvenci 25 MHz. FPGA je spojeno s mikrokontrolérem stejnou adresní a datovou sběrnicí jako paměť SDRAM (12 bitů adresa, 16 bitů data).

3.4 Firmware

Firmware mikrokontroléru je napsán v jazyku C. Celý kód je rozdělen do několika souborů (seznam souborů je v příloze B). Dá se rozdělit do několika částí. Díky vlastnostem mikrokontroléru STM32F429, lze nad některými činnostmi uvažovat jako o samostatných procesech. Přenos dat z převodníku nebo vykreslování na LCD je bez účasti jádra a mohou běžet současně. V tu samou chvíli lze tedy ještě generovat nový snímek. Omezením je sběrnice. I když je sběrnice AHB konstruována jako konfigurovatelná síť, v určitých okamžicích může dojít k situaci, kdy nebude možno přenést všechna data v potřebném čase. Je tedy třeba řešit, kdy a jaká činnost může být aktivní.



Obr. 3.14: Vývojový diagram základního vlákna programu.

Veškeré úkony a procesy se spouštějí pouze na základě přerušení (všechny funkce na obsluhu přerušení jsou v souboru *it.c*). To znamená, že po potřebné inicializaci a konfiguraci periferií program končí v nekonečné smyčce (obrázek 3.14). Nejprve se nastaví výchozí hodnoty proměnných a naplní struktury. To se provede zavoláním funkce *Default_Values* (soubor *osc.c*). Jsou nastaveny velikosti a pozice vrstev na LCD, výchozí rozlišení mřížky, parametry AD převodníku, hodnoty struktury uživatelského menu a hodnoty dalších pomocných proměnných. Poté může následovat samotná konfigurace periferií voláním funkce *SYS_Init* (soubor *main.c*);

Funkce *SYS_Init* ještě přímo nekonfiguruje žádnou periferii, ale jsou zde souhrnně volány již příslušné funkce pro konfiguraci konkrétní periferie. Konfigurační a další funkce, které se vážou k určité periferii jsou vždy v příslušném souboru (pro AD převodník *adc.c*, pro řadič LCD *ltdc.c* atd.). Po konfiguraci periferií je povolen běh LTDC a vykreslení obou vrstev.

Nyní lze povolit pravidelnou aktualizaci dat a externí přerušení pro spuštění převodu.

3.4.1 Nastavení periferií

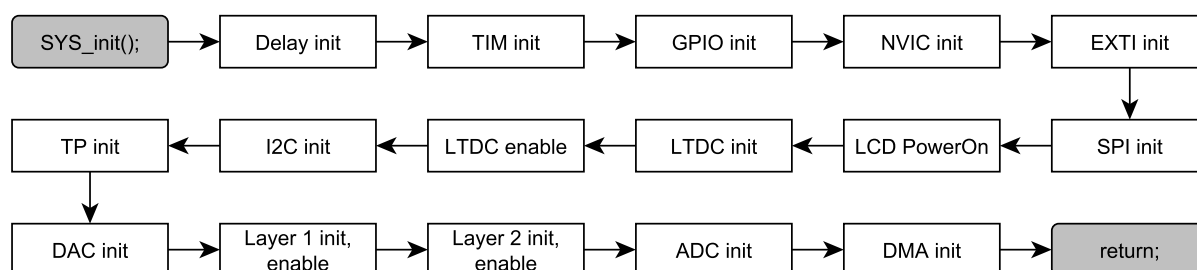
Nastavení periferií se provede voláním funkce *SYS_Init*, která dále postupně volá další funkce zajišťující správné nakonfigurování jednotlivých potřebných periferií (obrázek 3.15).

Nejprve je nastaven časovač TIM6, který je využit k volitelně dlouhému pozastavení běhu programu (je využito především při konfiguraci řadiče ILI9341). Následuje konfigurace TIM7, který je nastaven tak, aby generoval přerušení vždy přibližně po 30 ms od jeho spuštění. Časovač pracuje v režimu One-Pulse-Mode. To znamená, že po vzniku Update události (když hodnota čítače

dosáhne hodnoty AutoReload registru) a generování přerušení se zastaví. Jeho opětovné spuštění je zajištěno na konci funkce na obsloužení vyvolaného přerušení.

Dále jsou konfigurovány všechny GPIO piny použité pro komunikaci s řadičem LCD ILI9341 a obvodem STMPE811, pro vstup AD převodníku a výstup DA převodníku, pro vstup spuštění a pro výstup na indikační LED diody. Po konfiguraci pinů je rozsvícena červená LED dioda indikující stav osciloskopu. Tato dioda je na konci nastavení periférií opět zhasnuta. Tak lze jednoduše indikovat selhání během nastavování.

Dále je povoleno přerušení v řadiči NVIC a to z časovače TIM7, z DMA2 a z externího přerušení. Největší prioritu má přerušení generované periférií DMA po dokončení přenosu sekvence vzorků. Naopak nejnižší prioritu má časovač pro aktualizaci dat. Zároveň je i nastaveno generování přerušení z externího zdroje při náběžné hraně. Konkrétně na pinu PD7 (kanál 7).



Obr. 3.15: Vývojový diagram funkce pro konfiguraci periférií.

Následuje konfigurace SPI, které je potřeba pro komunikaci s řadičem LCD ILI9341. Díky tomu je pak možné provést takzvanou PowerOn sekvenci (sekvence příkazů a dat). Tím je nastaven samotný řadič LCD a nastaven na příjem dat rozhraním RGB. Výchozí vykreslování LCD je na výšku (portrait). I když by mělo být možno nakonfigurovat vykreslování na šířku (landscape), ale z neznámých důvodů řadič pracoval nekorektně. Tedy vykreslování LCD zůstalo na výšku a programově je zařízeno přepočítání os tak, aby souřadnice $x=0$ a $y=0$ byla v levém horním rohu (při pohledu na LCD na šířku).

Dále je nakonfigurován samotný řadič LTDC. Jsou nastaveny parametry časování (bylo již popsáno v části 3.2.2) a polarita řídicích signálů. Tím dojde k přebarvení LCD na barvu vrstvy pozadí, která je v toto případě černá.

Potřeba je nakonfigurovat i periférie I2C pro komunikaci s obvodem STMPE811 (řízení dotekové vrstvy, souhrnně označováno jako TP). Sběrnice je konfigurována na standardních 100 kHz. Samotný obvod STMPE811 je sekvencí příkazů nastaven a připraven na skenování dotekové plochy.

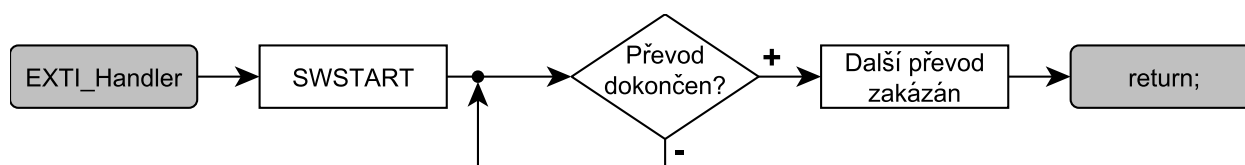
Důležitou periférií, která se konfiguruje skoro poslední, je AD převodník. Je nastaven tak, aby převod byl v režimu zřetězení (pracují všechny 3 převodníky) a rozlišení převodu 8 bitů. Výchozí vzorkovací frekvence je 7,2 MHz. Tu lze kdykoliv, po dokončení sekvence převodů, změnit. Vý-

sledky převodů ze všech převodníků jsou ukládány do společného výstupního registru o velikosti 32 bitů. Ten je rozdělen na dvě 16. bitové části. Do každé lze uložit jeden vzorek (zarovnaný doprava). Vždy po zaplnění (dva vzorky) je generována žádost na DMA přenos.

DMA je konfigurována pro přenos z periferie AD převodníku do operační paměti s automatickou inkrementací cílové adresy. Přenášena jsou slova o velikosti 8 bitů, tedy přesně velikost vzorku. Je nastaveno tak, aby bylo generováno přerušení po 2048. přenosech. Tím je sekvence převodů ukončena a data jsou označena jako připravená pro další zpracování.

3.4.2 Sekvence převodů interního AD převodníku

Interní AD převodník (respektive 3 převodníky) je připraven k činnosti a sekvence 2048. převodů začne, jakmile je nastaven bit SWSTART v konfiguračním registru převodníku. Tento bit je nastaven jen ve dvou případech. Prvním je externí přerušení. Jakmile je zaznamenána náběžná nebo sestupná (podle aktuální konfigurace) hrana z triggeru, je generováno externí přerušení. Druhým případem je, pokud po určitou dobu není zaznamenána náběžná nebo sestupná hrana z triggeru, je sekvence převodů spuštěna softwarovým generováním externího přerušení. Délka čekání závisí na zvoleném časovém měřítku a rychlosti vzorkování. Pokud by k tomuto "samovolnému" spuštění nedocházelo, uživatel by neviděl ani signál v případě špatně nastaveného triggeru a nemusel by si této chyby všimnout.



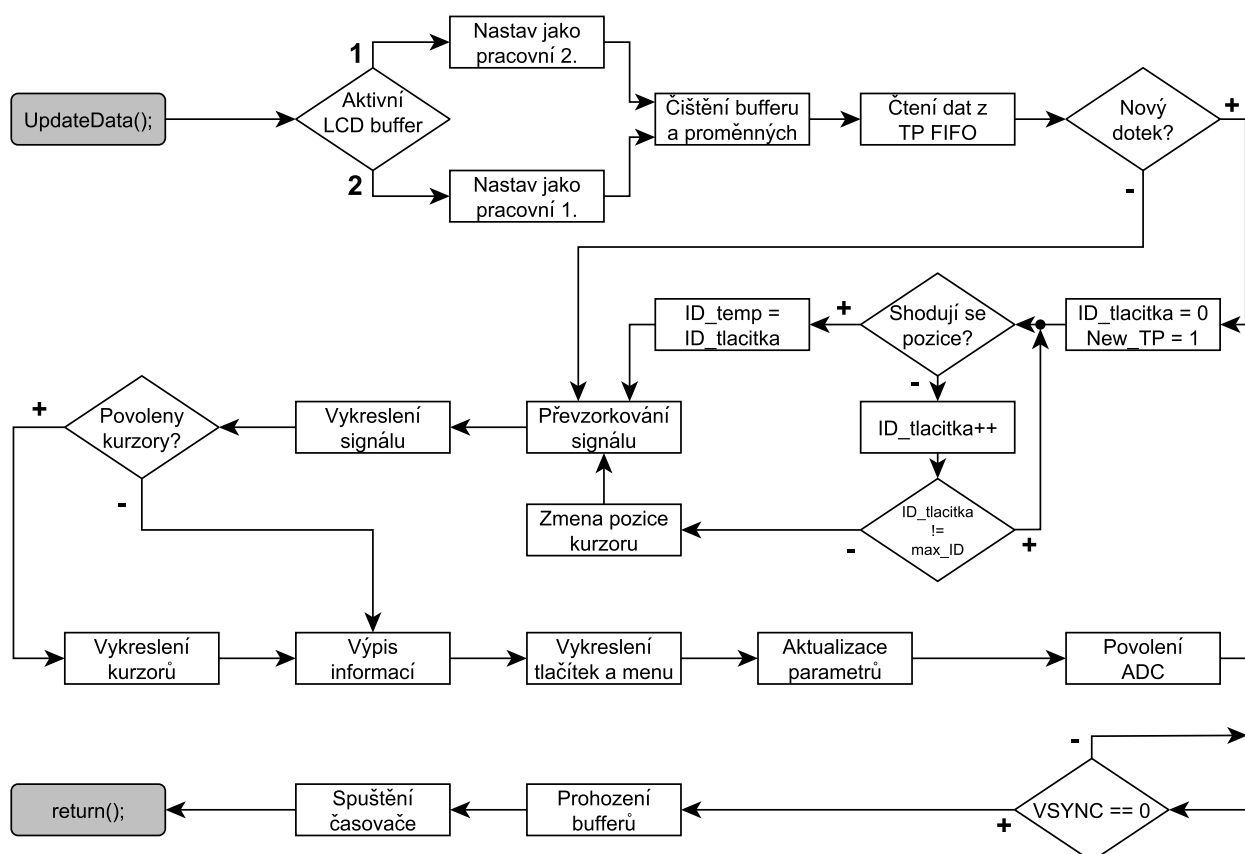
Obr. 3.16: Vývojový diagram funkce na obsluhu externího přerušení.

Hned na začátku funkce *EXTI9_5_IRQHandler* je spuštěna sekvence převodů nastavením bitu v konfiguračním registru převodníku. Následuje smyčka, ve které se čeká na dokončení převodu všech 2048 vzorků. Jelikož ke generování snímku pro LCD dojde vždy, jakmile je generováno přerušení z časovače, které má nižší prioritu, tak generování snímku je pozastaveno nebo začne až po dokončení tohoto externího přerušení. To je z důvodu již zmíněného omezení sběrnice AHB. V případě, že jsou ve stejnou chvíli čtena obrazová data periferií LTDC a prováděno generování nového snímku, tedy operace s pamětí, občas nedojde k včasnému přenosu převedeného vzorku pomocí DMA. Tím nastává "Overrun", kdy předchozí vzorek je ztracen přepsáním novým vzorkem. Pozastavit vykreslování LCD nelze, takže jediné řešení je v tu danou chvíli zastavit nebo nepovolit generování nového snímku. Vzhledem k velikosti bufferu a rychlosti převodníku, je toto zdržení při vzorkovací frekvenci 7,2 MHz přibližně 284 μ s a v případě vzorkovací frekvence 1 MHz přibližně

2 ms. Z pohledu uživatele je toto zdržení nového snímku zanedbatelné a proto přípustné.

3.4.3 Aktualizace dat

Pod pojmem aktualizace dat se skrývají veškeré úkony týkající se generování nového snímku a rozpoznání zásahu uživatele. Tento proces se opakuje přibližně každých 30 ms. Což je přibližně 30 krát za vteřinu a z pohledu uživatele dostačující. Znázorněn je na obrátku 3.17.



Obr. 3.17: Vývojový diagram funkce na obsluhu externího přerušení.

Funkce začíná určením do jakého bufferu bude snímek generován. Následuje jeho vyčištění přepsáním všech bytů hodnotou 0x00. Tím je zajištěno, že tam, kde nebude něco nakresleno, bude vrstva průhledná. Do takto připraveného bufferu je možné začít generovat nový snímek.

Ale předtím je vyhodnocen vstup uživatele. Přečtou se data z FIFO paměti v obvodu starající se o dotykovou vrstvu pomocí funkce *TP_GetData* (v souboru *tp_functions.c*). Tato funkce zároveň vyhodnocuje, zda došlo k novému dotyku nebo se jedná o stejný dotek jako v předchozím čtení dat. Při čtení dat je přečtena pouze nejstarší jedna informace z FIFO paměti obvodu STMPE811. Ten ale FIFO paměť při dotyku plní neustále a to rychlostí 180 tisíc měření za sekundu. To by znamenalo, že celá FIFO bude přečtena až za skoro 8 sekund. To by vytvářelo nepříjemný dojem

zpožděných reakcí osciloskopu na uživatelský vstup. Proto je vždy po přečtení dat odeslán příkaz ke smazání všech dalších dat. Tím se uvolní prostor pro novější data o pozici dotyku.

Přečtená data jsou dále využita ke kontrole, zda nedošlo k dotyku na některém z tlačítek funkcí *TP_CheckButtons* (v souboru *tp_functions.c*). Je prověřena shoda pozic pro všechna hlavní tlačítka, případně pro tlačítka v některém menu, je-li aktivní. V případě shody pozice dotyku s pozicí s jedním z hlavních tlačítek, je uloženo číslo jeho ID. Tím se funkci pro vykreslení menu a tlačítek indikuje, že má vykreslit i příslušné menu. A zároveň se tím indikuje aktivní menu pro kontrolu shody pozice dotyku s tlačítky při dalším průběhu aktualizace dat. V případě shody pozice dotyku s pozicí některého tlačítka v menu, je uloženo jeho ID. Tím se indikuje následujícím funkcím, že uživatel provedl akci (změna rozlišení, změna vazby, zobrazení kurzoru atd.). Například při konfigurování AD převodníku je zvolena správná vzorkovací frekvence právě na základě ID z tlačítek. Pokud nedošlo k dotyku na žádné tlačítko, je pozice dotyku využita pro posun signálu, triggeru nebo kurzoru. Záleží na konkrétních volbách provedených uživatelem.

Následuje úprava a vykreslení signálu. Signál je v některých případech potřeba převzorkovat, aby jej bylo možné vykreslit přesně do mřížky na LCD. Obecně se používají dvě operace. Lineární interpolace a decimace, které jsou popsány v části 2.2.1. K interpolaci se používá funkce *OSC_Interp*, které se předá ještě adresa zdrojového bufferu, adresa cílového bufferu, velikost menšího bufferu, faktor a druh interpolace (nulová nebo lineární). Naopak decimaci provádí funkce *OSC_Decimate*, které se předávají podobné parametry, tedy adresa zdrojového a cílového bufferu, velikost menšího bufferu a faktor decimace. Například při rozlišení mřížky $5 \mu\text{s}$ na dílek (šířka dílku je 24 pixelů) je potřeba signál vzorkovaný frekvencí 4,8 MHz (co vzorek, to jeden pixel). Signál původně vzorkovaný frekvencí 7,2 MHz se nejprve interpoluje s faktorem 2 a poté decimuje s faktorem 3. Druhým krokem při převzorkování je změna amplitudy, aby i amplituda signálu odpovídala nastavenému rozlišení mřížky. Každý vzorek signálu se vynásobí číslem, které je dáno podle zvoleného rozlišení mřížky a atenuátoru.

Takto převzorkovaný signál je možno vykreslit přímo bez dalších úprav. K tomu slouží funkce *LCD_DrawSignal*, které se předá pouze parametr zda mají být body spojeny přímkou či nikoli.

Pokud jsou povoleny kurzory, jsou vykresleny funkcí *LCD_DrawCursors*. Jaké kurzory budou vykresleny záleží na volbě uživatele. Kurzor je jen přímka, červená pro kurzory pro měření amplitudy, zelená pro kurzory měřící čas a bílá pro kurzor triggeru. Dále dojde k vypsání textových informací o signálu (funkce *LCD_TextInformation*). Které informace budou zobrazeny opět závisí na volbě zobrazených kurzorů. Pokud je zobrazen jeden kurzor na měření času, je zobrazena jeho pozice v příslušné jednotce. Pokud jsou zobrazeny oba kurzory na měření času, je zobrazen čas od jednoho kurzoru k druhému v příslušné jednotce. Navíc je dopočítána i frekvence ze změřeného času. Podobně i pro ostatní kurzory.

Dalším krokem je vykreslení uživatelského prostředí (funkce *LCD_DrawMenu*), tedy tlačítek a výsuvných menu. Tlačítko nebo menu, které bude vykresleno, závisí na získaném ID tlačítka,

které bylo vyhodnoceno jako místo nového dotyku. Základní tlačítka v dolní části obrazu jsou vykreslena vždy. Ostatní jsou vykreslena individuálně. Na hlavních tlačítkách je navíc napsána hodnota aktuální volby. Zvolí-li uživatel například rozlišení 100 mV na dílek, bude na příslušném hlavním tlačítku tato hodnota zobrazena. Tedy tlačítko sdružuje dvě funkcionality. Jedna zobrazuje aktuální nastavení uživatele a u druhé dojde při dotyku k vysunutí příslušného menu.

Nyní je aktualizace snímku a parametrů převodu dokončena. Zbývá jen povolit start další sekvence převodů.

Následuje čekací smyčka na aktivní vertikální synchronizaci rozhraní RGB na LCD. Jakmile je vertikální synchronizace aktivní, dojde k upravení parametrů druhé vrstvy LTDC, konkrétně se změní adresa na buffer. Při aktivní vertikální synchronizaci víme, že bylo dokončeno vykreslení celého snímku a můžeme provést úpravy nastavení. Tedy aktuálně vykreslovaný buffer se stává pracovním a naopak. Takže se začne vykreslovat nový snímek. Toto prohazování bufferů se nazývá "double buffering". Díky tomu obraz neblíká, což by působilo obzvláště rušivě. Jako poslední se spustí časovač, který po 30 ms opět tuto aktualizaci dat spustí. Na obrázku 3.18 je ukázka výsledného obrazu na displeji.



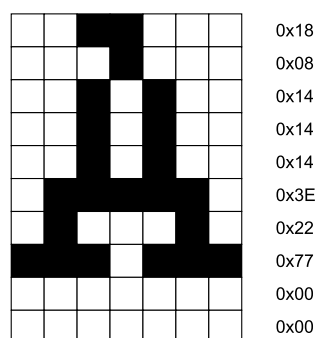
Obr. 3.18: Ukázka výsledného obrazu na LCD.

3.4.4 Grafické funkce

Jelikož nejsou použity žádné knihovny jiných autorů pro grafické funkce, je vytvořena vlastní sada funkcí pro kreslení tvarů a informací na LCD, které jsou v souboru *lcd_functions.c*.

LCD_PutPixel je funkce na vložení jednoho pixelu do zvoleného bufferu. Funkce očekává parametry jako adresa bufferu, pozice X a Y a barva pixelu. Barva může být volena jen z tabulky CLUT (protože byl zvolen formát barev L8, více v části 3.2.2). Pozice X a Y jsou dány od levého horního rohu. Tato funkce je využívána všemi dalšími pro zápis do bufferu.

LCD_PutChar je funkce, která vykreslí jeden znak. Parametry funkce jsou pozice znaku X a Y, adresa bufferu, barva a kód znaku z ASCII tabulky. V osciloskopu je vytvořena jedna znaková sada se znaky o velikosti 7x10 pixelů (v počítači Courier New velikosti 9). Každý znak je uložen v poli *LCD_Font7x10* o velikosti 950 bytů. Znaky jsou uloženy bitmapově a každý řádek znaku je jeden byte (obrázek 3.19). Funkce pak na základě čísla z ASCII tabulky nastaví počáteční pozici (index) v poli, kde bude znak přečten a vykreslen do bufferu.



Obr. 3.19: Jeden znak ze znakové sady.

LCD_PutString naopak vykreslí celý řetězec znaků. Parametry jsou stejné jako u předchozí funkce, pouze místo znaku, je očekávána adresa pole se znaky. Pole znaků musí být ukončeno znakem \0. Funkce rozloží řetězec na znaky a pomocí funkce *LCD_PutChar* je postupně vykreslí do bufferu. Automaticky zvyšuje pozici X, aby znaky byly vedle sebe.

LCD_DrawRectangle vykreslí obdélník. Parametry jsou pozice X a Y levého horního a pravého spodního rohu, barva, typ výplně (vyplněn nebo nevyplněn) a adresa bufferu. Je využita pro vykreslení všech tlačítek a menu.

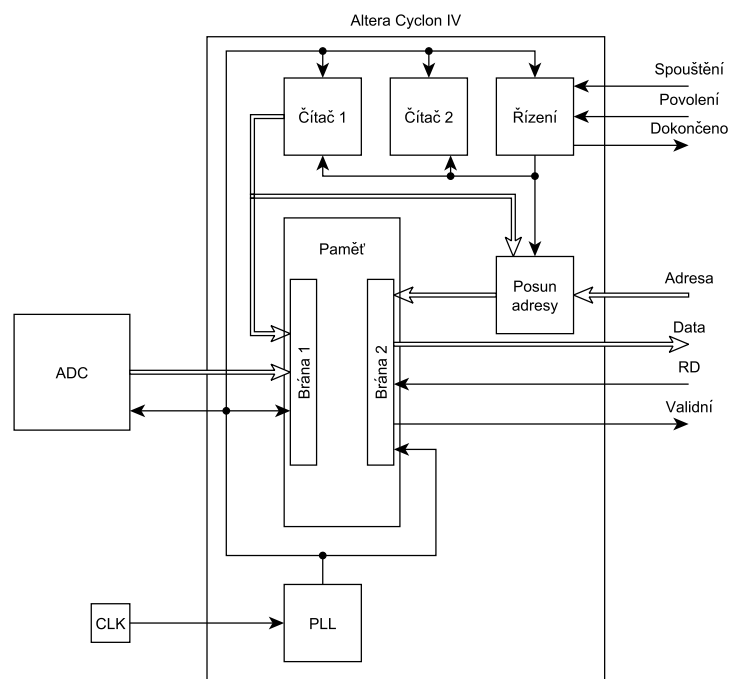
LCD_DrawLine je funkce, která nakreslí čáru z libovolného bodu A do libovolného bodu B. Očekává parametry pozice X a Y obou bodů, barvu a adresu bufferu. Funkce sama dopočítá, které pixely v bufferu mají být přebarveny tak, aby taková přímka vznikla. Kreslení přímky je použito pro zobrazení kurzorů, ohraničení menu, ale i pro spojení bodů signálu.

3.5 FPGA

Aby bylo možno využít plné rychlosti externího převodníku, je použit programovatelný obvod FPGA. Ten umožňuje vytvoření struktury přesně na míru (obrázek 3.20).

Převodník není připojen přímo k mikrokontroléru a to z důvodu vysokého objemu dat přenášených od AD převodníku. V FPGA je vytvořena dvoubránová paměť pro ukládání vzorků.

První brána paměti slouží pouze k ukládání dat z převodníku. Adresa uložení dat je generována prvním čítačem, který čítá neustále dokola. Tím je vytvořen jakoby kruhový buffer. Jakmile je za-



Obr. 3.20: Blokové schéma obvodu v FPGA.

znamenána spouštěcí událost, je spuštěn druhý čítač a ve stejnou chvíli je uložena aktuální adresa z prvního čítače. Druhý čítač zajistí zastavení celého procesu po převedení potřebného množství vzorků. Dále se již žádné nové vzorky do paměti neukládají i když ADC stále běží a převádí. Zastavením ukládání nových vzorků, je nastaven signál "Dokončeno", který oznamuje mikrokontroléru dokončení sekvence převodů.

Druhá brána paměti slouží pouze k čtení dat mikrokontrolérem. Blok na posun adresy zajistí, že první vzorek po spouštěcí události bude mít vždy první adresu. Čtení probíhá tak, že nejprve je nastavena adresa a pak nastaven signál RD (read). Jakmile se nová data na datové sběrnici ustálí, je nastaven také potvrzující signál. Resetování signálu RD je následováno resetováním signálu Valid.

4. Závěr

Cílem práce bylo porozumět problematice zpracování a zobrazení signálů v digitálních osciloskopech. Navrhnout funkční blokové uspořádání a to následně realizovat s vhodně zvoleným mikrokontrolérem řady STM32F4xx.

Konkrétně byl zvolen mikrokontrolér STM32F429ZIT, který nabízí vysoký výkon. Díky tomu se hodí do řady aplikací, včetně jednoduchého osciloskopu. Výhodou je, že obsahuje některé periferie snižující celkové nároky na výpočetní jádro (řadič LCD, DMA). Avšak je třeba mít na paměti, že i tento mikrokontrolér má svá omezení. V průběhu realizace se objevil problém, kdy pomocí DMA nebyly včas přeneseny vzorky do operační paměti. Došlo tak k přepsání předchozího vzorku novým vzorkem (overrun). Pravděpodobně docházelo ke zdržení přenosu DMA, díky celkovému vytížení sběrnice AHB. Periferie LTDC, která neustále čte obrazová data z operační paměti, využívá sběrnici AHB asi nejvíce. LTDC potřebuje přenést z operační paměti 76800 bytů na jeden snímek. To je za jednu sekundu 5,376 Mbyte. Pokud ve stejnou chvíli probíhalo i generování nového obrazového snímku a tedy zápisu většího množství dat do operační paměti, již nezbylo příliš prostoru pro další úkony. V takovou chvíli po generování požadavku na přenos dat z AD převodníku, mohlo k němu dojít, až když to sběrnice AHB umožňovala. Což může být pozdě.

Ideálním stavem by bylo, kdyby ve chvíli, kdy je generován nový obrazový snímek, byla zároveň prováděna sekvence převodů měřeného signálu a tím se efektivně využil čas. Díky ale zmíněnému problému, neprobíhá převod ve stejnou chvíli jako generování obrazového snímku. Převod má v tomto případě přednost a je provedena sekvence převodů. Až po naplnění bufferu vzorky v operační paměti, je generování obrazového snímku opět povoleno. To znamená, že se vyskytují okamžiky, kdy se měřený signál nepřevádí. Lepších výsledků lze dosáhnout pomocí externího převodníku připojeného k programovatelnému obvodu. V něm je vytvořena struktura s kruhovým bufferem. Tím je i snížena zátěž samotného mikrokontroléru, který může už jen zpracovávat a zobrazovat naměřená data.

Na poměry mikrokontrolérů je interní AD převodník rychlý. V zřetěženém módu lze dosáhnout vzorkovací frekvence až 7,2 MHz. Tedy maximální frekvence vstupního signálu může být přibližně 1,8 MHz, což může být pro mnohé případy dostatečné. Určitě lepších výsledků lze dosáhnout použitím externího převodníku, který jednak zmírní zátěž samotného mikrokontroléru a zároveň nabízí možnost vyšší vzorkovací frekvence.

Navíc mikrokontrolér má dostatečně velkou operační paměť pro veškerá data. Firmware vytváří dva obrazové buffery o velikosti 76800 bytů, jeden buffer pro vzorky o velikosti 2048 bytů a dva pomocné buffery o velikosti 4096 bytů pro zpracování signálu. Z celkové velikosti operační paměti 256 kB je využito 192 kB.

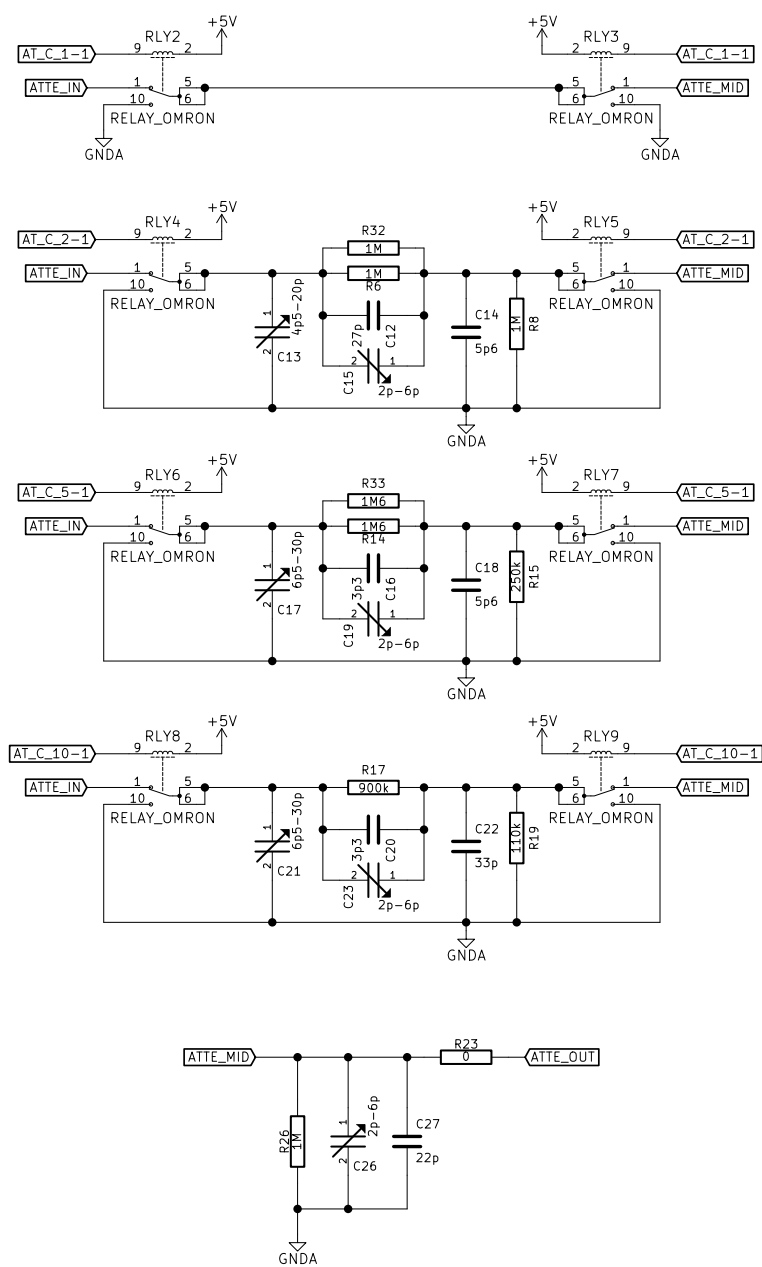
V případě externího AD převodníku se může zdát zbytečné zařadit mezi převodník a mikrokontrolér programovatelný obvod FPGA, ale je to jedna z možností jak dočasně uchovat data při přenosu většího množství dat. Navíc využití FPGA je opravdu široké a tím se zde otevírá možnost budoucího vylepšení, kdy může být FPGA využito pro některé další úkony. V práci je sice obvod FPGA zmíněn, ale nebyl v plné míře využit a dořešen. Právě zde je i možný další vývoj a vylepšení osciloskopu.

Literatura

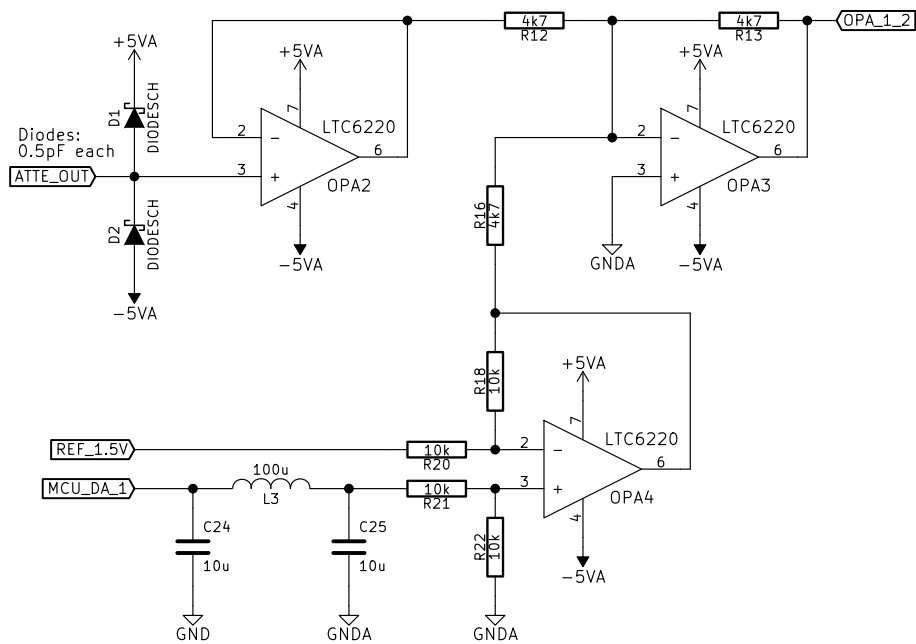
- [1] Seibt, Artur. *Osciloskopy od A po Z.* Brno: GENESIS grafické studio, 2000. ISBN 80-86167-11-9.
- [2] STMicroelectronics. *STM32F4 Series* [online]. 2015 [cit. 2015-04-19]. Dostupné z: <http://www.st.com/web/en/catalog/mmc/FM141/SC1169/SS1577?sc=stm32f4>
- [3] STMicroelectronics. *Reference manual RM0090* [PDF]. 2014 [cit. 2015-04-19]. Dostupné z: http://www.st.com/st-web-ui/static/active/en/resource/technical/document/reference_manual/DM00031020.pdf
- [4] Maxim Integrated. *Understanding Pipelined ADCs* [PDF]. 2001 [cit. 2015-04-28]. Dostupné z: <http://www.maximintegrated.com/en/app-notes/index.mvp/id/1023>
- [5] STMicroelectronics. *STM32F429xx datasheet* [PDF]. 2014 [cit. 2015-04-28]. Dostupné z: <http://www.st.com/web/en/resource/technical/document/datasheet/DM00071990.pdf>
- [6] Analog Devices. *AD9283 datasheet* [PDF]. 2001 [cit. 2015-04-28]. Dostupné z: <http://www.analog.com/media/en/technical-documentation/data-sheets/AD9283.pdf>
- [7] Ilitek. *ILI9341 Specification* [PDF]. 2011 [cit. 2015-04-28]. Dostupné z: http://www.displaytech-us.com/sites/default/files/driver-ic-data-sheet/ILI9341_DS_V1.10_20110415.pdf
- [8] Fairchild Semiconductor. *LM319 datasheet* [PDF]. 2012 [cit. 2015-04-28]. Dostupné z: <https://www.fairchildsemi.com/datasheets/LM/LM319.pdf>
- [9] Linear Technology. *LTC6220 datasheet* [PDF]. [cit. 2015-04-28]. Dostupné z: <http://cds.linear.com/docs/en/datasheet/622012fb.pdf>
- [10] STMicroelectronics. *STMPE811 reference code* [PDF]. 2008 [cit. 2015-04-28]. Dostupné z: http://www.st.com/st-web-ui/static/active/en/resource/technical/document/application_note/CD00203648.pdf
- [11] Microchip. *TC1320 datasheet* [PDF]. 2002 [cit. 2015-04-28]. Dostupné z: <http://ww1.microchip.com/downloads/en/devicedoc/21386b.pdf>

- [12] Texas Instruments. *THS1320 datasheet* [PDF]. 2000 [cit. 2015-04-28]. Dostupné z: <http://www.ti.com.cn/cn/lit/ds/slos318h/slos318h.pdf>
- [13] Walt Kester, James Bryant a Mike Byrne. *Grounding Data Converters* [PDF]. 2008 [cit. 2015-05-06]. Dostupné z: <http://www.analog.com/media/en/training-seminars/tutorials/MT-031.pdf?doc=CN0221.pdf>

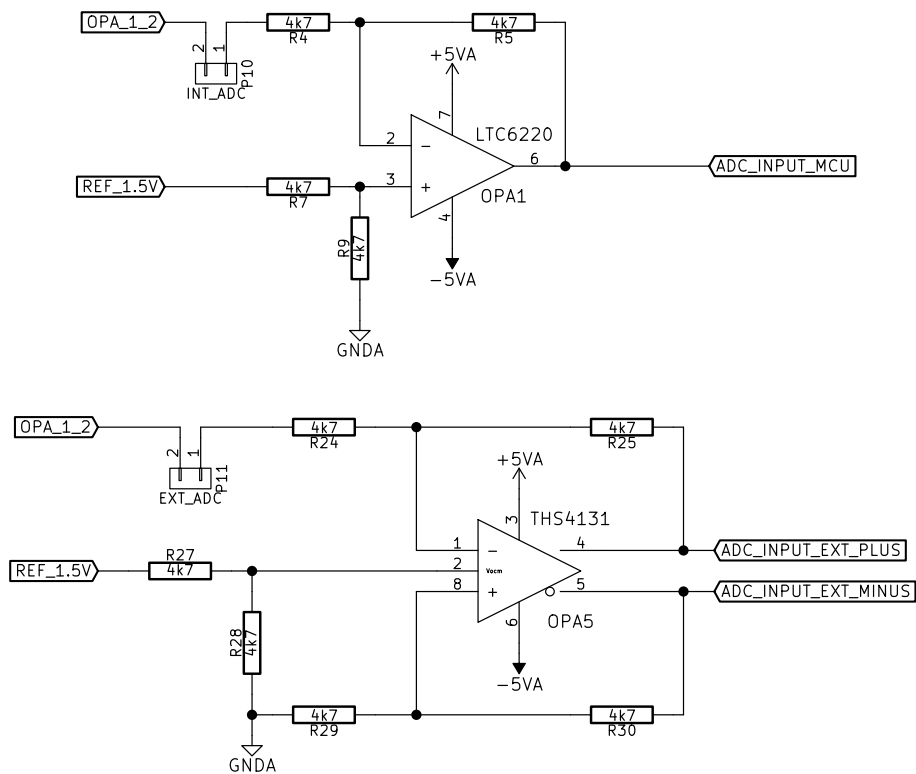
A. Schémata zapojení



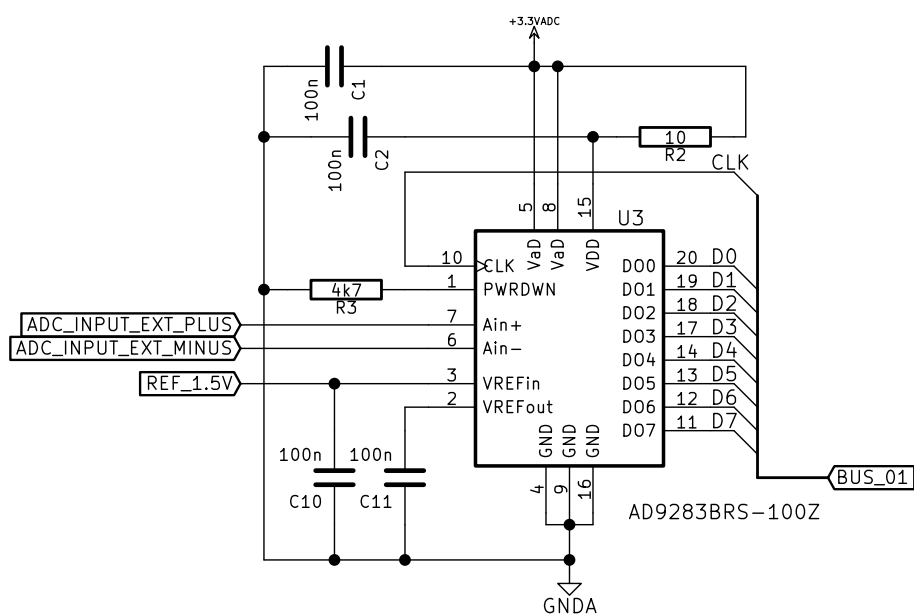
Obr. A.1: Kompletní zapojení atenuátoru.



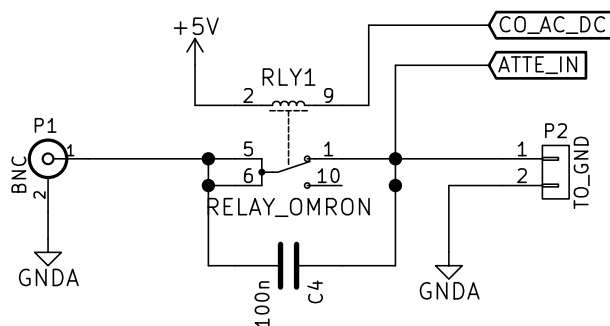
Obr. A.2: Zapojení první části operačních zesilovačů.



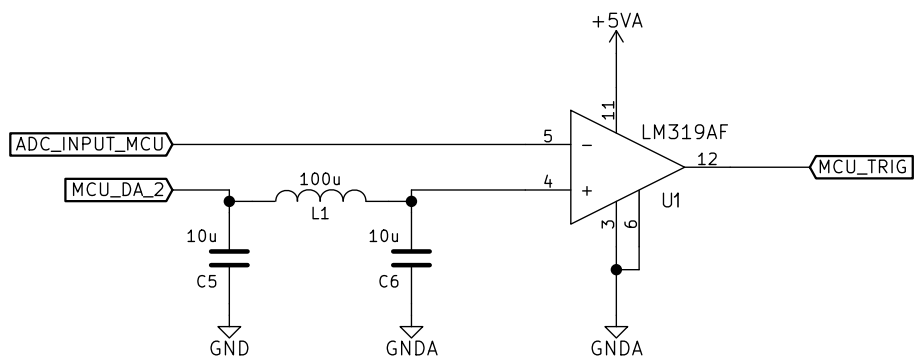
Obr. A.3: Zapojení druhé části operačních zesilovačů.



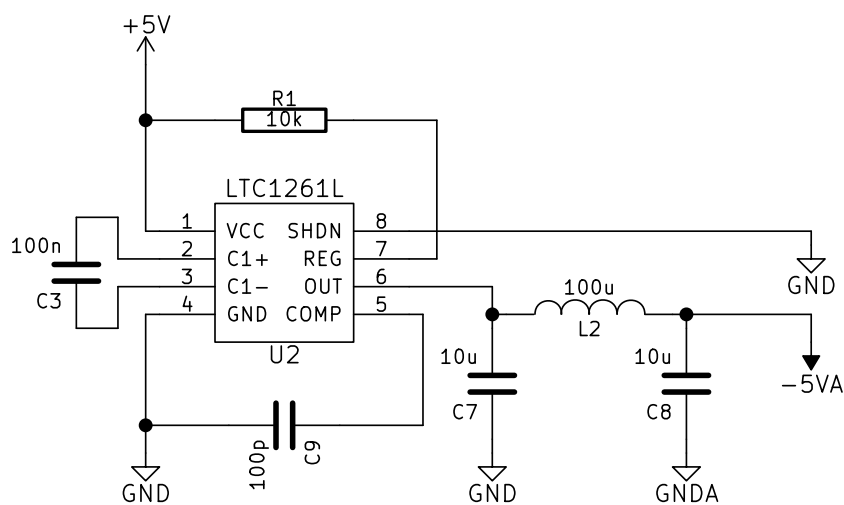
Obr. A.4: Zapojení externího AD převodníku AD9283.



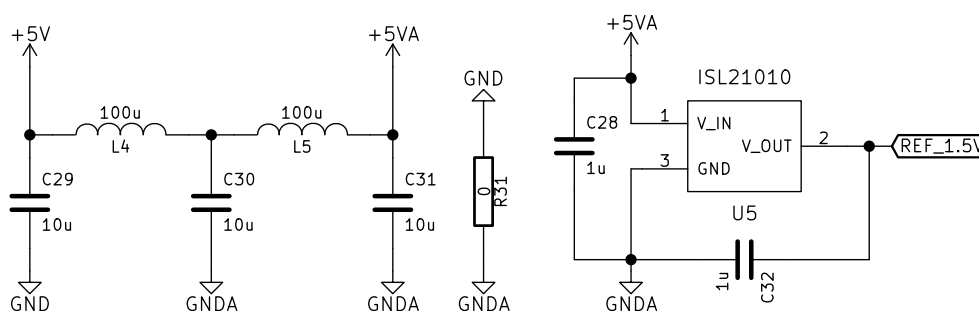
Obr. A.5: BNC konektor a volba vazby.



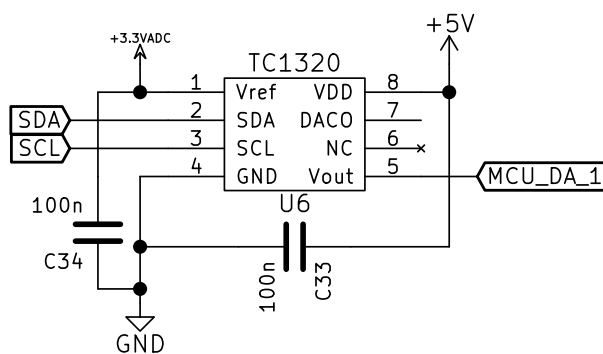
Obr. A.6: Zapojení komparátoru LM319A.



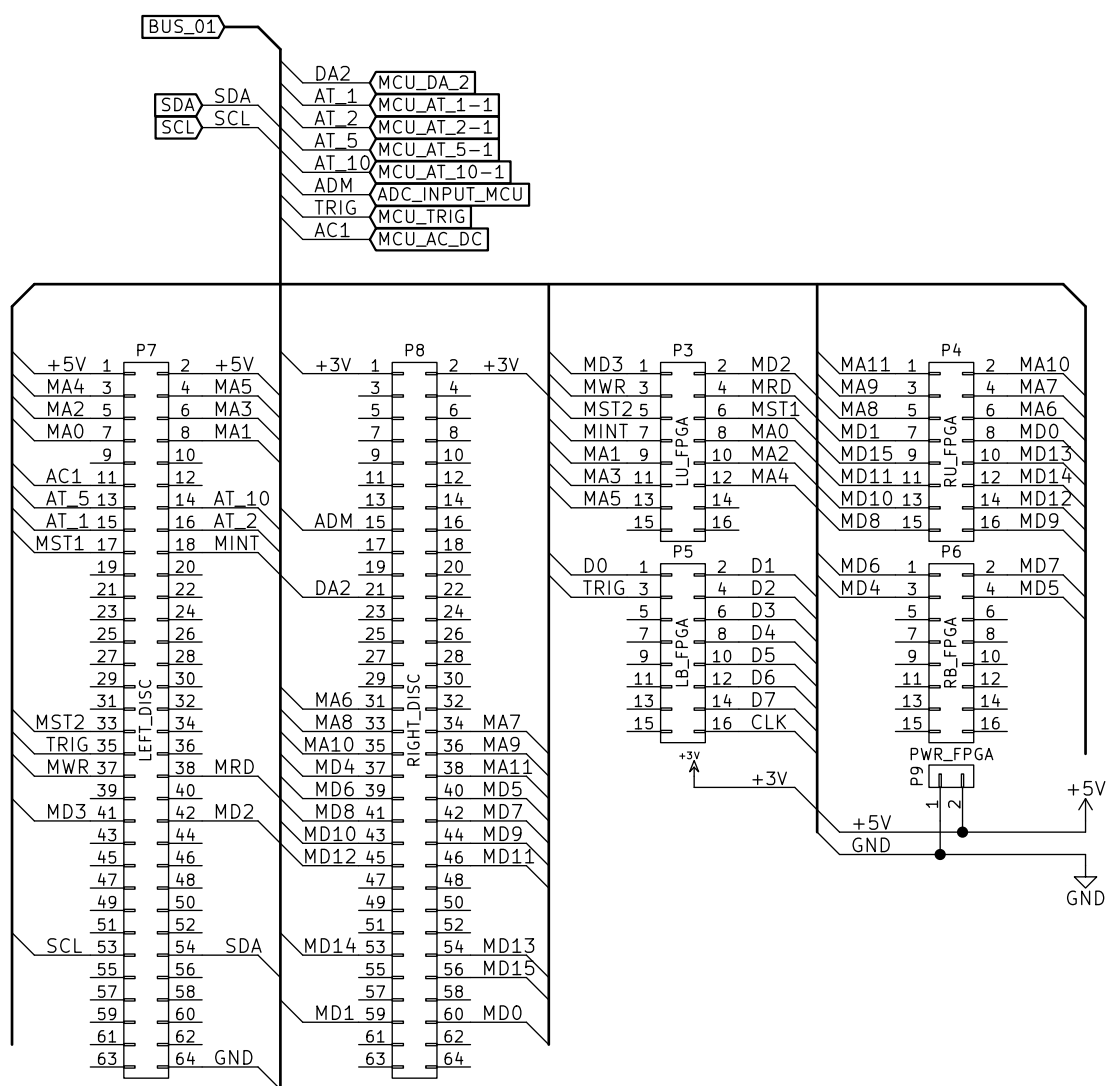
Obr. A.7: Zapojení zdroje napětí -5 V.



Obr. A.8: Propojení zemí a napěťová reference 1,5 V.

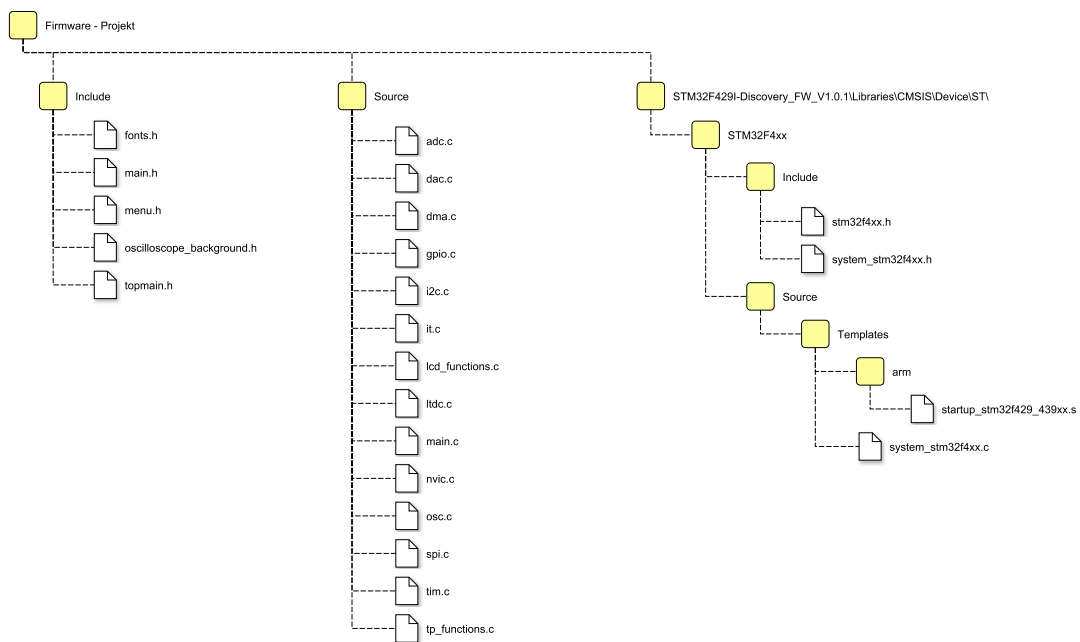


Obr. A.9: Zapojení DA převodníku TC1320 pro posun okna.



Obr. A.10: Zapojení konektorů pro kit STM32F4i-Disco a kit s FPGA.

B. Soubory se zdrojovým kódem



Obr. B.1: Soubory se zdrojovým kódem firmware.