

ANALYZÁTOR SBĚRNICE I2C S HARDWAROVOU PODPOROU

Karel DUDÁČEK¹

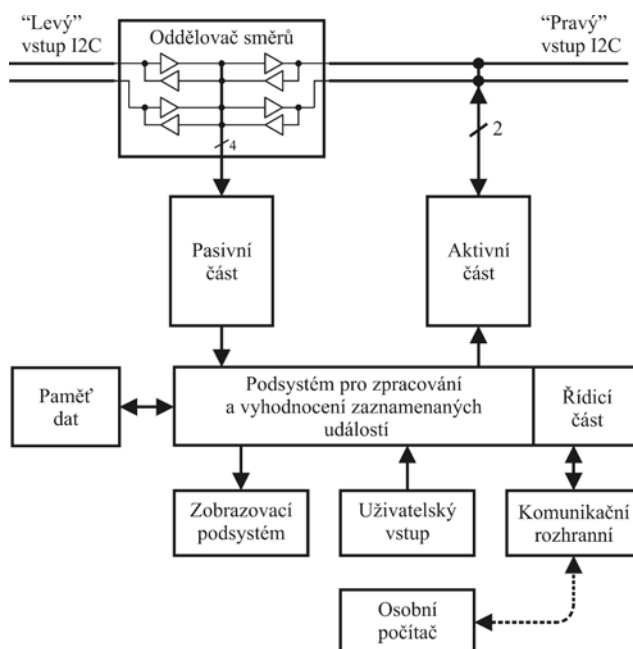
1 ÚVOD

Sběrnice I2C je dnes značně rozšířená sběrnice používaná pro vzájemnou komunikaci mezi různými částmi přístrojů, počítačů a podobných zařízení v oblasti automatizace a spotřební elektroniky. Při vývoji složitějších zařízení využívajících tuto sběrnici je často nutné sledovat průběh komunikace jednotlivých jeho částí. Vzhledem k tomu, že I2C je sběrnice typu multimaster, je mnohdy potřebné vědět, která zařízení na sběrnici komunikují, případně které zařízení na sběrnici způsobuje chyby a dále je často nutné znát různé statistické údaje o provozu na sběrnici, například kolik transakcí se průměrně uskuteční za sekundu.

Určení většiny z těchto údajů je při sledování sběrnice běžným logickým analyzátozem nebo osciloskopem značně náročné nebo nemožné, proto je pro sledování provozu na sběrnici vhodné použít specializované zařízení, které bude provoz na sběrnici automaticky zachycovat a vyhodnocovat a uživateli předat až požadované údaje.

2 ANALYZÁTOR KOMUNIKACE NA SBĚRNICI I2C

Analýzátor komunikace na sběrnici I2C je řešen jako zařízení schopné samostatné činnosti a v případě potřeby připojitelné k osobnímu počítači po rozhraní USB. Zařízení se skládá z několika logických částí, blokové schéma zařízení je na obrázku Obr. 1.



Obr. 1 Blokové logické schéma zařízení.

¹ Karel Dudáček, student navazujícího studijního programu Inženýrská informatika, obor Číslicové systémy, e-mail: karlos@students.zcu.cz

3 ODDĚLOVAČ SMĚRŮ

Signály sběrnice I2C jsou obousměrné. Pro analýzu provozu na sběrnici je nutné rozlišit, z kterého směru po sběrnici signál přišel. K tomuto účelu slouží oddělovač směrů tvořený dvojicí obvodů Philips P82B96.

4 PASIVNÍ ČÁST

Pasivní část analyzátoru zajišťuje příjem dat přenášených po sběrnici I2C a záznam dalších událostí na sběrnici, například výskytu podmínek START a STOP nebo použití techniky prodlužování hodinového signálu pro zpomalení přenosu. Zaznamenané události jsou v pasivní části ukládány do fronty. Pasivní část analyzátoru je implementována v programovatelném logickém obvodu FPGA.

5 AKTIVNÍ ČÁST

Aktivní část umožňuje analyzátoru zasahovat do provozu na sběrnici I2C, například komunikovat v roli zařízení master nebo slave nebo na sběrnici simulovat chyby. Aktivní část analyzátoru je implementována v programovatelném logickém obvodu FPGA.

6 PODSYSTÉM PRO ZPRACOVÁNÍ ZAZNAMENANÝCH UDÁLOSTÍ

Podsystém pro zpracování zaznamenaných událostí přijímá data z pasivní části analyzátoru, řídí aktivní část a vyhodnocuje zaznamenané události, například počítá statistické údaje o provozu na sběrnici nebo provádí filtraci zaznamenaných událostí. Tento podsystém analyzátoru je tvořen samostatným procesorem. Alternativně může být tento podsystém tvořen procesorem implementovaným v programovatelném logickém obvodu FPGA.

7 ZÁVĚR

Navržené zařízení umožňuje sledovat komunikaci na sběrnici I2C včetně chybových stavů, které mohou na sběrnici nastat, například zablokování některého ze signálů v nízké napěťové úrovni. Výhodou použití navrženého zařízení je možnost zaznamenané události přenášet do osobního počítače, na kterém lze interpretovat význam dat přenášených po sběrnici v aktuální aplikaci, například při komunikaci mezi pamětí a mikrokontrolérem po I2C zaznamenávat, na jaké adresy v paměti je zapisováno.

LITERATURA

- 1995. *The I2C-bus and how to use it (including specifications)*. Firemní literatura firmy Philips, Philips Semiconductors.
- 2000. *The I2C-bus specification, version 2.1*. Firemní literatura firmy Philips, Philips Semiconductors.
- 2001. *P82B96 datasheet*. Firemní literatura firmy Philips, Philips Semiconductors.
- 2007. *XSA-3S1000 Board V1.1 user manual*. Firemní literatura firmy XESS, XESS.
- 2009. *XStend Board V4.0 Manual*. Firemní literatura firmy XESS, XESS.
- 2009. *Spartan-3 FPGA Family Data Sheet*. Firemní literatura firmy Xilinx, Xilinx.
- 2006. Pinker Jiří, Poupa Martin: *Číslicové systémy a jazyk VHDL*. Praha, BEN.