

**ZÁPADOČESKÁ UNIVERZITA V PLZNI
FAKULTA ELEKTROTECHNICKÁ**

Katedra aplikované elektroniky a telekomunikací

DIPLOMOVÁ PRÁCE

Analýza a syntéza generátoru Hameg HM8030

**vedoucí práce: Ing. Vladimír Pavlíček, Ph.D.
autor: Bc. Jan Kuřík**

2012

ZÁPADOČESKÁ UNIVERZITA V PLZNI
Fakulta elektrotechnická
Akademický rok: 2011/2012

ZADÁNÍ DIPLOMOVÉ PRÁCE
(PROJEKTU, UMĚLECKÉHO DÍLA, UMĚLECKÉHO VÝKONU)

Jméno a příjmení: **Jan KUŘÍK**
Osobní číslo: **E10N0224P**
Studijní program: **N2612 Elektrotechnika a informatika**
Studijní obor: **Elektronika a aplikovaná informatika**
Název tématu: **Analýza a syntéza generátoru HAMEG HM8030**
Zadávající katedra: **Katedra aplikované elektroniky a telekomunikací**

Z á s a d y p r o v y p r a c o v á n í :

1. Uveďte základní typy generátorů funkcí a jejich použití. Popište principy generování signálů a základní vlastnosti generátorů.
2. Na základě dokumentace o přístroji a měření na přístroji sestavte blokové schéma generátoru a popište funkci jednotlivých bloků a komunikace mezi nimi.
3. Proveďte rozbor a popis jednotlivých bloků. V blocích popište důležité měřicí body, které ověří správnou funkci bloků. Popište funkce jednotlivých součástí nebo skupin součástí.
4. Navrhněte způsob ověření funkčnosti generátoru - všech parametrů uvedených v datovém listu.

Rozsah grafických prací: **dle doporučení vedoucího**

Rozsah pracovní zprávy: **dle doporučení vedoucího**

Forma zpracování diplomové práce: **tištěná/elektronická**

Seznam odborné literatury:

Student si vhodnou literaturu vyhledá v dostupných pramenech podle doporučení vedoucího práce.

Vedoucí diplomové práce: **Ing. Vladimír Pavlíček, Ph.D.**


Katedra aplikované elektroniky a telekomunikací

Konzultant diplomové práce: **Ing. Zdeněk Houdek**


Rohde & Schwarz, Vimperk

Datum zadání diplomové práce: **17. října 2011**

Termín odevzdání diplomové práce: **11. května 2012**


Doc. Ing. Jiří Hamerbauer, Ph.D.
děkan




Doc. Dr. Ing. Vjačeslav Georgiev
vedoucí katedry

V Plzni dne 17. října 2011

Anotace

Předkládaná diplomová práce je zaměřena na důslednou analýzu funkčního generátoru Hameg HM8030-6. Cílem textu je seznámit čtenáře s parametry uvedeného přístroje, blokovými schématy vysvětlujícími jeho funkci, zajímavými zapojeními aplikovanými při návrhu modulu a postupy při testování. V úvodu je navíc provedeno rozdělení signálových generátorů, stručně představena teorie přímé digitální syntézy (DDS) a integrované obvody s použitím této metody.

Diplomová práce byla vytvořena ve spolupráci se společností Rohde&Schwarz a její význam spočívá v doplnění chybějící podrobnější dokumentace k přístroji pro servisní středisko.

Klíčová slova

Funkční generátor, signálový generátor, přímá digitální syntéza, DDS, blokové schéma, mikrokontrolér, kalibrace.

Abstract

The diploma thesis is focused on a thorough analysis of the function generator Hameg HM8030-6. The text aims to introduce interested readers with the parameters of the device, block diagrams explanation, interesting connection applied in the module design and testing procedures. In the introduction is also made the sorting of signal generators, briefly introduced the theory of direct digital synthesis (DDS) and integrated circuits using this method.

This diploma thesis was created in partnership with the company Rohde&Schwarz and its importance consists in completion of missing detailed documentation of the device for the service center.

Key words

Function generator, signal generator, direct digital synthesis, DDS, block diagram, microcontroller, calibration.

Prohlášení

Předkládám tímto k posouzení a obhajobě diplomovou práci, zpracovanou na závěr studia na Fakultě elektrotechnické Západočeské univerzity v Plzni.

Prohlašuji, že jsem tuto diplomovou práci vypracoval samostatně, s použitím odborné literatury a pramenů uvedených v seznamu, který je součástí této diplomové práce.

Dále prohlašuji, že veškerý software, použitý při řešení této diplomové práce, je legální.

V Plzni dne 3.5.2012

Jméno příjmení

.....

Poděkování

Tímto bych rád poděkoval vedoucímu diplomové práce Ing. Vladimíru Pavlíčkovi, Ph.D. za cenné rady, připomínky, konzultace a metodické vedení práce. Dále bych chtěl poděkovat Ing. Zdeňku Houdkovi a Dr. Ing. Martinu Satoriemu za zapůjčení přístrojů a pomoc s vypracováním jednotlivých úkolů. V neposlední řadě bych poděkoval i Ing. Aleši Voborníkovi, Ph.D. za zapůjčení přístrojů a laboratoře při měření.

I would like to thank to Mr. Michel Waleczek for his help in explaining the operation of the function generator.

Obsah

OBSAH.....	8
ÚVOD.....	10
SEZNAM SYMBOLŮ A ZKRATEK.....	11
1 ZÁKLADNÍ TYPY A VLASTNOSTI SIGNÁLOVÝCH GENERÁTORŮ.....	12
1.1 PŘEHLED NEJROZŠÍŘENĚJŠÍCH SIGNÁLOVÝCH GENERÁTORŮ.....	12
1.1.1 Generátory libovolného průběhu.....	12
1.1.2 Funkční generátory.....	14
1.1.3 VF (RF) vektorové signálové generátory.....	15
1.1.4 Analogové moduly.....	17
1.2 PŘÍMÁ DIGITÁLNÍ SYNTÉZA.....	17
1.2.1 Princip DDS a její vlastnosti.....	17
1.2.2 Integrované obvody DDS.....	19
2 ANALÝZA FUNKČNÍHO GENERÁTORU HAMEG HM8030.....	20
2.1 PARAMETRY HAMEG HM8030-6.....	20
2.1.1 Výstup 50 Ω	21
2.1.2 Výstup Trigger.....	22
2.1.3 Interní rozmitaný signál – internal sweep.....	22
2.1.4 Externí FM vstup.....	22
2.1.5 Pilový výstup.....	23
2.2 BLOKOVÉ SCHÉMA.....	23
2.2.1 Řízení a napájení.....	24
2.2.2 Čelní panel.....	25
2.2.3 Syntéza trojúhelníku.....	26
2.2.4 Předzesilovač.....	29
2.2.5 Zesilovač.....	30
3 POPIS A ROZBOR JEDNOTLIVÝCH BLOKŮ PŘÍSTROJE.....	30
3.1 ŘÍDÍCÍ A NAPÁJECÍ BLOKY FUNKČNÍHO GENERÁTORU.....	31
3.1.1 Master mikrokontrolér NXP87C52.....	31
3.1.2 Konektor SW2.....	35
3.1.3 Paměť EEPROM.....	35
3.1.4 Pilový výstup.....	36
3.1.5 Rozvod napájení.....	37
3.2 ČELNÍ PANEL.....	39
3.2.1 Slave mikrokontrolér NXP87C52.....	39
3.2.2 Sedmisegmentový displej.....	41
3.2.3 Posuvné registry.....	42
3.2.4 Konektory.....	45
3.2.5 Výstupy, přepínače, tlačítka.....	45
3.3 SYNTÉZA TROJÚHELNIKOVÉHO PRŮBĚHU.....	47
3.3.1 D/A převodník.....	47
3.3.2 Interní trojúhelníkový generátor.....	49
3.3.3 Bloky pro nastavení rozsahů.....	50
3.3.4 Obvod NE555.....	52
3.3.5 Komparátor a bloky pro nastavení trojúhelníkového průběhu.....	54
3.4 PŘEDZESILOVAČ.....	55
3.4.1 Diodový tvarovač.....	55
3.4.2 Kombinační logika.....	56
3.4.3 Komparátor.....	58

3.4.4	<i>Nastavení parametrů obdélníku</i>	59
3.4.5	<i>Zesilovací stupeň s nastavením offsetu</i>	60
3.4.6	<i>Konektor J1</i>	62
3.5	ZESILOVAČ	62
3.5.1	<i>Výkonový zesilovač</i>	62
3.6	TESTPOINTY	64
4	OVĚŘENÍ FUNKČNOSTI GENERÁTORU	65
4.1	VIZUÁLNÍ KONTROLA	65
4.2	KALIBRACE	65
4.2.1	<i>Počáteční nastavení přístroje</i>	66
4.2.2	<i>Nastavení základního trojúhelníkového průběhu</i>	66
4.2.3	<i>Nastavení střídý interního obdélníkového průběhu</i>	67
4.2.4	<i>Nastavení ss offsetu výstupu</i>	67
4.2.5	<i>Nastavení zkreslení</i>	67
4.2.6	<i>Nastavení parametrů obdélníku</i>	68
4.2.7	<i>Nastavení trojúhelníkového průběhu</i>	69
4.2.8	<i>Nastavení střídý pulzního průběhu</i>	69
4.2.9	<i>Ukončení kalibrace a zahoření</i>	69
4.2.10	<i>Výměna paměti EEPROM</i>	70
4.3	KONCOVÉ ZKOUŠENÍ PŘÍSTROJE	70
4.3.1	<i>Kontrola signálového výstupu</i>	70
4.3.2	<i>Kontrola dynamických parametrů a zkreslení průběhů</i>	71
4.3.3	<i>Kontrola „trigger“ výstupu</i>	72
4.3.4	<i>Kontrola interní a externí SWEEP funkce</i>	72
4.3.5	<i>Kontrola pilového výstupu</i>	73
4.3.6	<i>Koncová autokalibrace</i>	74
4.4	VÝSTUPNÍ KONTROLA	74
	ZÁVĚR	75
	POUŽITÁ LITERATURA	77
	SEZNAM OBRÁZKŮ	80
	SEZNAM TABULEK	81
	SEZNAM ROVNIC	82
	PŘÍLOHY	1

Úvod

Předkládaná diplomová práce je zaměřena na rozdělení signálových generátorů a v dalších kapitolách na analýzu a syntézu funkčního generátoru Hameg HM8030-6.

Text je rozdělen do čtyř hlavních částí; první se zabývá základními typy a vlastnostmi signálových generátorů, teorií přímé digitální syntézy (DDS) a integrovanými obvody s danou technologií. Druhá analyzuje funkční generátor Hameg HM8030-6 a na blokových schématech přehledně vysvětluje jeho funkci. Třetí část navazuje na předchozí kapitolu a podrobně popisuje schéma přístroje dle přiložené dokumentace. Objasňuje význam jednotlivých součástek a upozorňuje na některá zajímavá zapojení aplikovaná při navrhování tohoto modulu. Čtvrtá, poslední část navrhuje způsob otestování funkčního generátoru Hameg HM8030-6. Seznamuje čtenáře s průběhem vstupní kontroly, následné kalibrace a především koncového zkoušení. Zároveň představuje možné metody pro zlepšení a zkvalitnění měření všech parametrů obsažených v datovém listě.

Seznam symbolů a zkratk

N[-].....	digity zobrazené při nulovém napětí, str. 23
N ₀ [-].....	digity zobrazené při přivedeném napětí, str. 23
U[V].....	±hodnota nastaveného napětí, str. 23
A[-].....	počet digitů na volt (většinou 1050), str. 23
U _{cc}	napájecí napětí, str. 19
ss.....	stejnoseměrný, str. 21
~.....	střídavý, str. 37
VCO.....	angl. Voltage Controlled Oscillator (napětím řízený oscilátor), str. 27
RMS.....	angl. Root Mean Square (efektivní hodnota), str. 66
V _{pp}	angl. Voltage peak – peak (napětí špička – špička), str. 12
RF.....	angl. Radio – Frequency (radiofrekvenční), str. 15
THD.....	angl. Total Harmonic Distorsion (celkové harmonické zkreslení), str. 21
TTL.....	angl. Transistor – Transistor Logic (tranzistorově – tranzistorová logika), str. 21
SPI.....	angl. Serial Peripheral Interface (sériové periferní rozhraní), str. 25
UART.....	angl. Universal Asynchronous Receiver/Transmitter (univerzální asynchronní přijímač/vysílač), str. 31
RAM.....	angl. Random Access Memory (paměť s libovolným přístupem), str. 31
PLCC.....	angl. Plastic Leaded Chip Carrier, str. 31
PQFP.....	angl. Plastic Quad Flat Package, str. 31

1 Základní typy a vlastnosti signálových generátorů

Pod pojmem signálový generátor lze představit přístroj, který dokáže vytvořit libovolný průběh signálu. V literatuře je možné se též setkat s výrazem funkční generátor. Signálové generátory jsou často stavěny na rovinu s funkčními generátory, což může být zavádějící. Funkční generátory jsou totiž jedním z mnoha typů signálových generátorů, jímž bude věnována velká část následující kapitoly.

1.1 Přehled nejrozšířenějších signálových generátorů

V tabulce Tab. 1.1.1-1 je uveden přehled nejvíce používaných signálových generátorů [1] a jejich typické parametry.

Vlastnosti	Generátory libovolného průběhu	Funkční generátory	VF vektorové signálové generátory	Analogové moduly
Šířka pásma	do 1 GHz	do 200 MHz	více jak 2 GHz	do 1 MHz
Vzorkovací frekvence	až do 24 GS/s	až do 50GS/s	-	až do 1 MS/s
Rozsah výstupního napětí	10 μ Vpp - 10 Vpp	10 mVpp - 10 Vpp	-	do 10 Vpp
Paměť	do 1 GB	až 32 kB	až 512 MB	-
Rozlišení DA převodníku	až 16 bitů	až 16 bitů	až 16 bitů	až 24 bitů
Počet kanálů	1 až 4	obvykle 1	1	až 8
Dynamický rozsah	Výborný	výborný	výborný	Dobry
Hodiny	dělení N, vysoké rozlišení, externí	interní, externí	dělení N, vysoké rozlišení, externí	dělení N, externí
Typ sběrnice	PXI, PCI	PXI, PCI	PXI	PXI, PCI
Komunikační porty	USB, RS232, GP-IB, LAN	USB, RS232, GP-IB, LAN	USB, LAN	USB

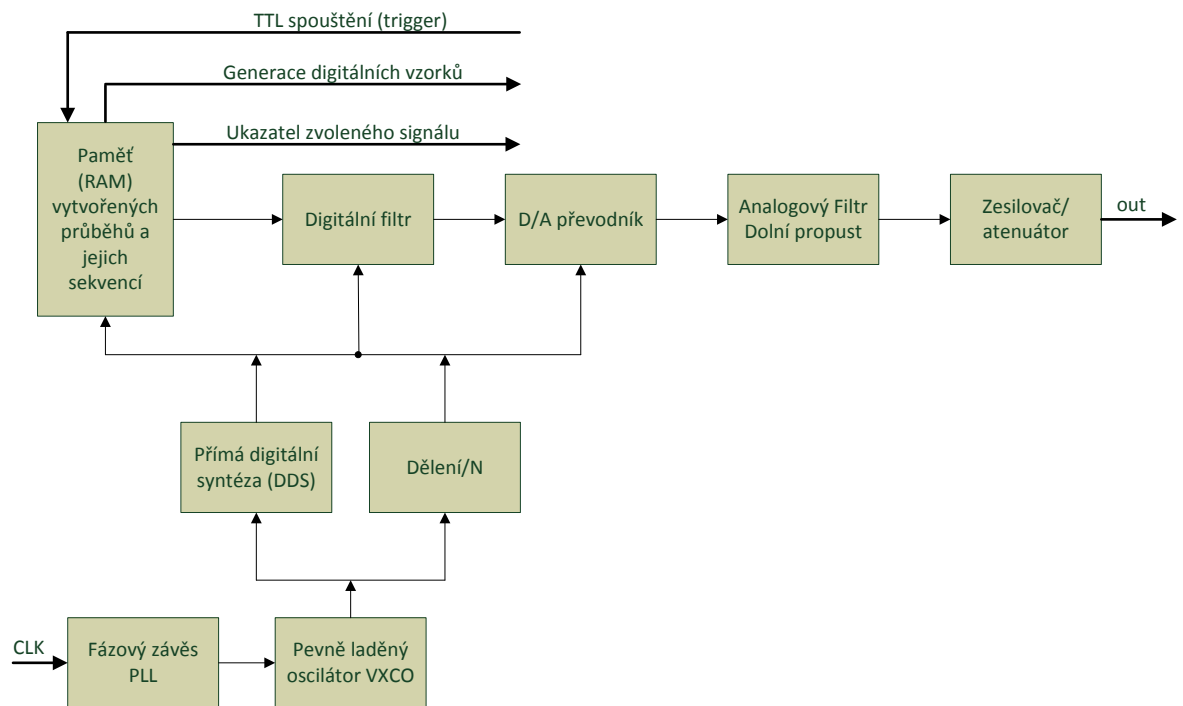
Tab. 1.1.1-1 Parametry signálových generátorů dle [1]

1.1.1 Generátory libovolného průběhu

Mezi generátory libovolného průběhu (angl. Arbitrary Waveform Generators) patří obvykle vylepšené funkční generátory s arbitráží, jak již vyplývá z jejich anglického názvu. Generátory libovolného průběhu nabízí navíc možnost tvorby vlastního signálu. Uživatel tak není omezen pouze základními matematickými průběhy jako u klasických funkčních generátorů.

Ilustrační blokové schéma funkčního generátoru s arbitráží je na obrázku obr. 1.1.1-1. Uživatelem vytvořený libovolný průběh (např. pomocí softwarových nástrojů LabView) uložený v paměti RAM vstupuje přes digitální filtr do D/A převodníku, který provede

konverzi vzorků do požadované analogové podoby. Digitální filtry zde slouží k vylepšení kvality signálu interpolací, analogová dolní propust k odstranění rušivých harmonických. Správné nastavení referenčního kmitočtu zajišťuje fázový závěs (PLL – Phase Locked Loop). Pevně laděný oscilátor (VXCO) se výrazným způsobem podílí na stabilitě výstupního frekvenčního signálu. Bloky přímé digitální syntézy (DDS – Direct Digital Synthesis) a dělení číslem N slouží k úpravě frekvence řídicím slovem (resp. číslem). Díky tomu lze velmi jemně ladit výstupní frekvenci. V současné době jsou hojně upřednostňovány DDS systémy v integrovaném provedení.



Obr. 1.1.1-1 Blokové schéma generátoru libovolných funkcí dle [1]

Kvalitní generátory libovolných funkcí nacházejí uplatnění všude tam, kde je třeba konstruovat složité komplexní průběhy. Tato jejich významná přednost však s sebou přináší řadu technických problémů [1]. Jedním z nich je konečná délka vytvořeného průběhu dána kapacitou paměti přístroje. Smyčkováním (opakováním) částí průběhů, které se neustále opakují (angl. Waveform Looping) lze podstatně prodloužit jeho délku a zlepšit tak efektivitu paměti.

Ještě větší úsporu paměti přináší kombinace smyčkování a řazení průběhů (angl. Waveform Sequencing). Dochází tak k rozdělení daného průběhu do etap (fází), z nichž každá obsahuje informaci o jednotlivých segmentech křivky a počtu opakování resp. smyčkování.

Generátor libovolných funkcí potom generuje každou definovanou etapu průběhu sekvenčně. Výhodou je možnost zvolení libovolných průběhů pro jakoukoliv etapu.

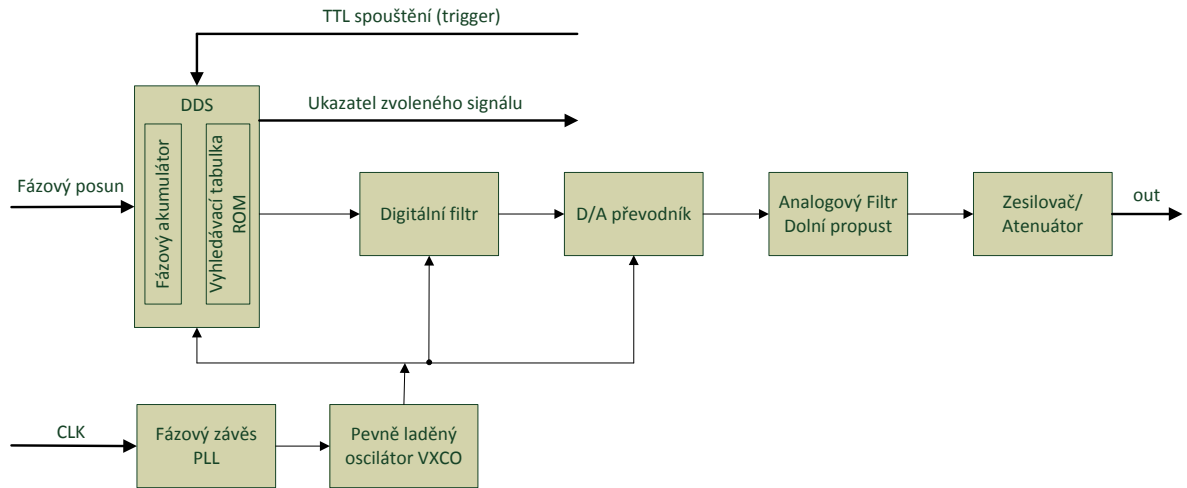
V současné době často začínají nahrazovat generátory libovolných funkcí jednoduché funkční generátory. Standardní matematické průběhy mohou být vytvořeny programově na PC, poté nahrány do paměti přístroje a následně plně využívány. Generátor libovolných funkcí má tak schopnost emulovat funkční generátor.

1.1.2 Funkční generátory

Funkční generátory bývají na rozdíl od arbitrážních generátorů jednodušší a obvykle slouží k vytváření základních přednastavených periodických průběhů při zvolené frekvenci jako např. sinus, obdélník, trojúhelník, pila, atd. Rovněž nepotřebují rozsáhlé vyrovnávací paměti a díky vlastnímu dynamickému generování výstupního signálu ani nepřetržitou dodávku dat z počítače.

Funkční generátory mohou být analogové nebo digitální. Analogový funkční generátor Hameg bude důkladně rozebírán ve zbývajících kapitolách diplomové práce. Blokové schéma digitálního funkčního generátoru založeného na principu přímé digitální syntézy (tzv. DDS generátor) ukazuje obr. 1.1.2-1. Je velmi podobné schématu arbitrážního generátoru. Odlišný je blok nazvaný DDS pro generování průběhů. Skládá se z fázového akumulátoru a paměti využitě jako vyhledávací tabulky (angl. Lookup Table – LUT). Tyto vyhledávací tabulky paměti PROM a ROM se s výhodou uplatňují při realizaci kombinačních logických funkcí. Zde slouží k uložení jedné kompletní periody nastaveného průběhu. Fázový akumulátor sleduje fázi výstupní zvolené funkce. Pro nízké kmitočty je fázový rozdíl mezi vzorky velmi malý např. 1 stupeň. Pro sinový průběh by se perioda skládala celkem z 360 vzorků. Navíc konstantní fázový rozdíl znamená konstantní frekvenci výstupu.

S rozvojem programovatelných logických obvodů a hradlových polí se proto stále více aplikuje již několikrát zmiňovaná přímá digitální syntéza DDS, neboť dovoluje uživateli rychle měnit fázový posun průběhu díky tzv. frekvenčnímu seznamu. Každá „položka“ tohoto seznamu je funkčním generátorem vytvářena sekvenčně a obsahuje aktuální frekvenci průběhu spolu s informací o době trvání. Tím je umožněn kontinuální přechod od jedné „položky“ frekvenčního seznamu k následující. S výhodou lze pak konstruovat i složitější komplexní průběhy typu rozmítání frekvence nebo „kmitočtového skákání“ (angl. frequency hopping). Více podrobností k pochopení principu DDS bude uvedeno v další samostatné podkapitole.



Obr. 1.1.2-1 Blokové schéma funkčního generátoru dle [1]

Všechny funkční generátory nemusí nutně využívat technologii DDS. Mnoho funkčních ale i obecně signálových generátorů vytváří hodinové signály dělením interní časové základny celým číslem, neboli tzv. „integer“ faktorem (angl. Divide-by-N clocking). Tato metoda má oproti DDS hlavní nevýhodu v omezeném nastavení výsledné frekvence. Není možné dosáhnout tak jemného ladění frekvence jako v případě DDS. Přesto se s ní lze ještě u levnějších analogových generátorů běžně setkat, jak bude patrné při analýze již zmiňovaného funkčního generátoru Hameg HM8030.

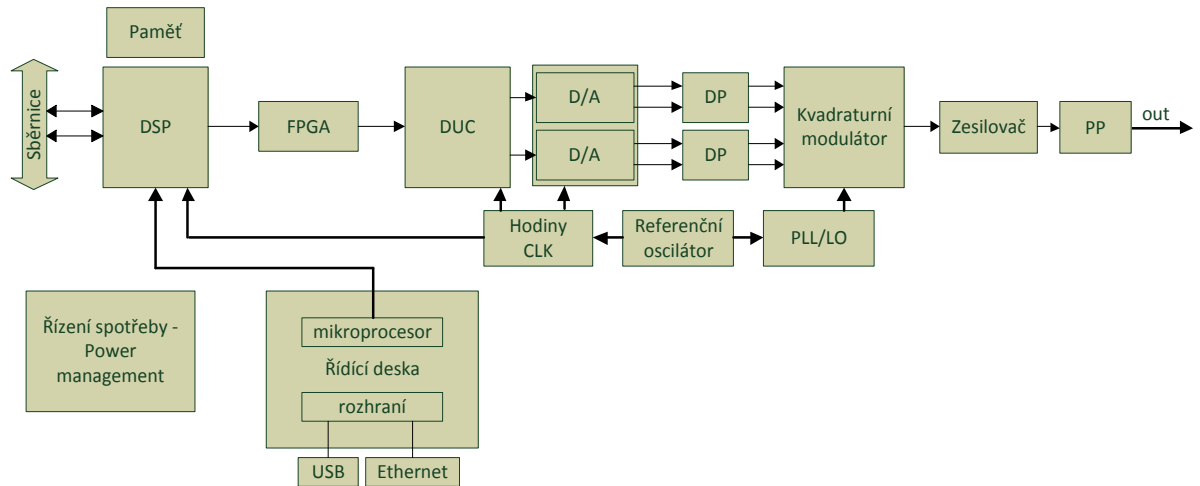
1.1.3 VF (RF) vektorové signálové generátory

Vektorové signálové generátory, v literatuře často nazývané jako radiofrekvenční (angl. Radio Frequency Vector Signal Generators), vytvářejí složité komplexní průběhy a dělí se do dvou základních skupin podle typu konverze signálu - na heterodynní a přímé [2].

Starší heterodynní přístup využívá digitální přeměny signálu k vytvoření mezifrekvence (angl. intermediate frequency) a následně je pomocí jednoho D/A převodníku spolu s jedno- nebo vícecestupňovým směšovačem převeden do radiofrekvenční oblasti.

Novější přímá metoda je vyznačena na blokovém schématu obr. 1.1.3-1 a výhradně podle ní jsou konstruovány všechny moderní vektorové signálové generátory. Její výhodou jsou nižší výrobní náklady a jednoduchost provedení. Je založena na principu kvadraturní amplitudové modulace (angl. QAM – Quadrature Amplitude Modulation). Na rozdíl od předchozí heterodynní techniky potřebuje dva D/A převodníky pro vytvoření dvou analogových signálů nazývaných I (angl. In Phase) – soufázová složka a Q (angl. Quadrature Phase) – kvadraturní složka. Tyto dvě složky jsou smíšeny se signálem z lokálního oscilátoru

a vzniklé produkty mají fázový posuv 90° , tudíž jsou na sebe kolmé. V bloku kvadraturního modulátoru pak dochází ke konverzi resp. sečtení těchto přetransformovaných modulovaných signálů ze základního pásma do radiofrekvenčního. Následně je signál zesílen radiofrekvenčním výkonovým zesilovačem a vyfiltrován pásmovou propustí.



Obr. 1.1.3-1 Blokové schéma vektorového signálového generátoru dle [2]

Moderní přístroje se dnes neobejdou bez digitálních signálových procesorů (angl. DSP – Digital Signal Processing). DSP jádra jsou schopna bez problémů plnit náročné požadavky na vysoký výpočetní výkon kladený algoritmy pro zpracování signálu. Zároveň poskytují dostatečnou flexibilitu při změnách funkčnosti systému a vlastností generovaného signálu. Úkolem softwaru implementovaného v DSP jádrech vektorových signálových generátorů je vytvoření vhodného signálu v základním pásmu, který je poté přenášen do dalších bloků popsaných výše. Mezi další typické funkce vykonávané DSP v závislosti na nahraném programu patří např. kódování kanálů, opravy chyb (angl. Forward Error Correction FEC), modulace, konstelační mapování – souvisí s tvorbou konstelačních diagramů apod.

Podobně i vysokorychlostní D/A převodníky musí splňovat nároky na vynikající linearitu, nízký šum a přeslechy. Tyto parametry ovlivňují celkový výkon vektorových signálových generátorů. D/A převodníky jsou osazovány interpolačními FIR (angl. Finite Impulse Response) filtry konfigurovatelnými jako dolní nebo horní propust umožňující komplexní i reálný výstup.

Většina dnešních kvalitních přístrojů obsahuje blok pro řízení spotřeby tzv. Power management. Vektorové signálové generátory jsou vyráběny v mnoha provedeních podle

způsobu využití. Zejména pro přenosné bateriově napájené varianty je účelné volit nízkopříkonové součástky.

Vektorové signálové generátory nacházejí uplatnění v komunikacích, při vývoji komerční elektroniky a v neposlední řadě v nově vznikajících odvětvích radiofrekvenční identifikace (angl. RFID – Radio – Frequency Data Identification) a „softwarově definovaného radia“ (angl. SDR – Software – Defined Radio).

1.1.4 Analogové moduly

Analogové výstupní moduly (angl. Analog Output) jsou specialitou především firmy National Instruments [1] a jsou zde zmíněny spíše pro úplnost. Využívají D/A převodníků spolu s pamětí fronty FIFO (angl. First In - First Out) pro vytváření analogových signálů. Většina analogových modulů se uplatňuje obvykle v aplikacích, kde je potřeba generování nízkých kmitočtů [3].

1.2 Přímá digitální syntéza

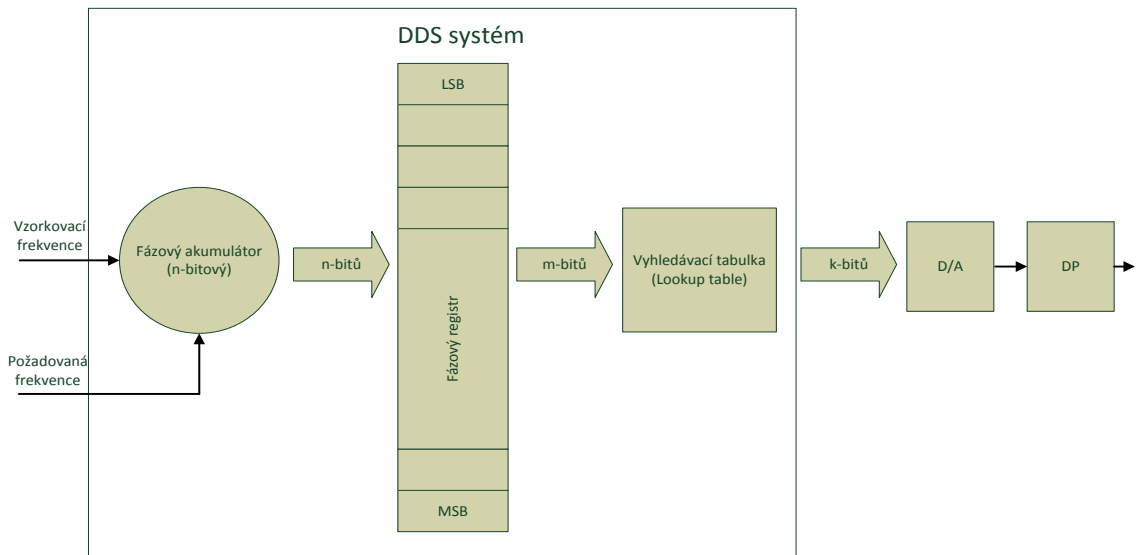
V předchozím textu byla často zmiňována technologie přímé digitální syntézy (angl. Direct Digital Synthesis, dále jen DDS). Následující podkapitola tuto metodu podrobněji představí.

1.2.1 Princip DDS a její vlastnosti

DDS je hojně využívaná v případech generování signálů o velmi přesných kmitočtech na základě číslicového zpracování signálu. Jedná se tedy o způsob vytvoření frekvenčně a fázově modulovaného výstupního signálu z pevně laděného stabilního zdroje signálu s výstupním kmitočtem nastavitelným v mikro - Hertzovém rozlišení a fází na desetiny stupně [4]. Proto je účelné aplikovat DDS u hodinových mechanismů signálových generátorů, neboť je možné dělit vzorkovací frekvenci i v případě, že není přesným dělitelem časové základny.

Tato vlastnost je nespornou výhodou DDS oproti technologii dělení celým číslem N stručně popsané v podkapitole o funkčních generátorech. Mezi další pozitiva patří extrémně rychlé skokové změny fáze a kmitočtu a žádné potíže s teplotním driftem. Naopak vysoké rozlišení hodin způsobuje problémy s „jitterem“ na rozdíl od „integer“ metody .

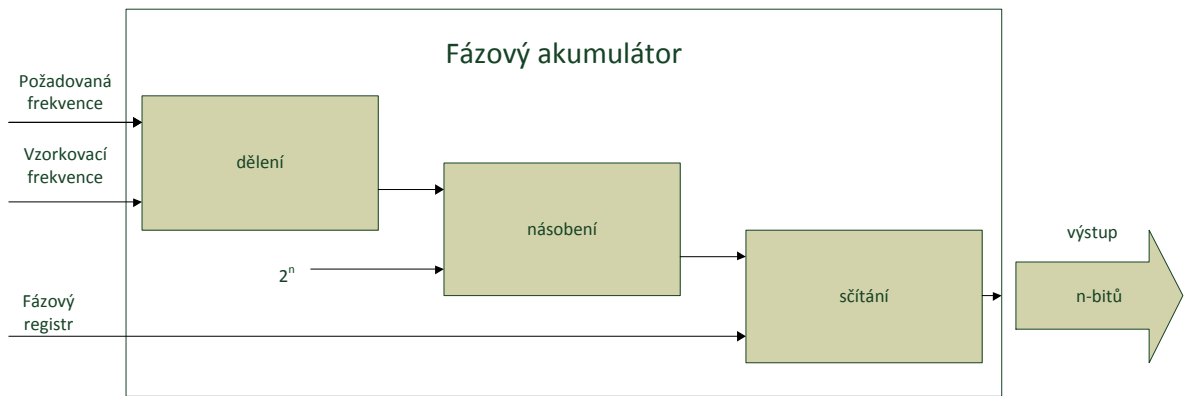
Na obrázku 1.2.1-1 je nakresleno principiální blokové schéma DDS obvodu.



Obr. 1.2.1-1 Blokové schéma DDS systému dle [5]

Fázový akumulátor porovnává vzorkovací frekvenci s požadovanou a následně inkrementuje fázový registr až do přetečení. Fázový registr tvoří součást fázového akumulátoru, zde je na obr. 1.2.1-1 pro přehlednost znázorněn zvlášť. Vyhledávací tabulka (angl. Lookup Table LUT) určuje okamžitou fázi výstupního signálu. Výstup z vyhledávací tabulky je přiveden na D/A převodník s analogovým filtrem typu dolní propust.

Obvodová struktura fázového akumulátoru je založena na primitivních aritmetických operacích [5]. Požadovaná frekvence je dělena vzorkovacím kmitočtem a výsledek násoben číslem 2^n , kde index n závisí na rozlišení fázového registru. Pro maximální přesnost se obvykle volí n až 48 bitů. Z těchto 48 bitů pak tvoří m bitů adresu, která koresponduje s aktuální fází signálu. Např. pro 14 bitů připadá adresa '00000000000000' na fázi 0° a naopak adresa '11111111111111' na fázi $359,978^\circ$. Zbývajících 34 bitů se využívá pro uložení zbytku po inkrementaci fázového registru a sloužícího jako kontrola správného nastavení fáze vyhledávací tabulkou po přetečení fázového registru. Výše popsaný průběh výpočtů shrnuje přehledně obr. 1.2.1-2.



Obr. 1.2.1-2 Strukturální schéma fázového akumulátoru dle [5]

1.2.2 Integrované obvody DDS

Jelikož DDS technologie je postavena výhradně na číslicovém zpracování signálu, jsou její funkční bloky až na analogový filtr velmi dobře realizovatelné pomocí integrovaných obvodů. Bude zde uvedeno pouze několik příkladů integrovaných obvodů pro DDS od známých a osvědčených výrobců.

Pro méně náročné aplikace vyhoví obvod AD9833 od firmy Analog Devices. Jedná se o nízkopříkonový programovatelný signálový generátor s DDS technologií produkující sinový, trojúhelníkový nebo obdélníkový průběh. Frekvenci a fázi lze měnit programově. Obsahuje 28 bitové registry, 10 bitový D/A převodník a standardní sériový vstup. Hodinová frekvence je do 25 MHz a dosažitelné rozlišení 0,1 Hz, pro kmitočet 1 MHz s přesností až na 0,004 Hz. Umožňuje sériové programování a disponuje funkcí „SLEEP“ pro snížení spotřeby. Nepotřebuje žádné vnější součástky. Vyrábí se v 10 pinovém pouzdře MSOP [6].

Dalším zástupcem od Analog Devices je obvod AD9850. Jedná se o kompletní DDS syntezátor umožňující frekvenční a fázovou modulaci. Je vybaven 32 bitovým fázovým akumulátorem, 10 bitovým D/A převodníkem, rychlým komparátorem a možností paralelního nebo sériového programování. Hodinová frekvence je do 125 MHz s dosažitelným rozlišením až 0,0291 Hz ($U_{cc} = 5 \text{ V}$) nebo 110 MHz ($U_{cc} = 3,3 \text{ V}$). Vyrábí se v 28 pinovém pouzdře SSOP [7].

Vylepšením předchozího je obvod AD9851. Jde opět o DDS syntezátor s obdobnými parametry jako u AD9850, akorát s hodinovou frekvencí do 180 MHz a rozlišením cca. 0,04 Hz [8].

Společnost Analog Devices vyrábí ještě řadu dalších integrovaných obvodů s DDS, podobných výše zmíněným součástkám [9]. Většinou se liší pouze velikostí hodinové frekvence a dosažitelným rozlišením kmitočtu výstupního signálu.

Svého zástupce mezi integrovanými obvody s DDS má i výrobce Intersil Corporation. Řeč je o DDS syntežátoru ISL5314, který nahradil předchozí verzi HSP45314. Obsahuje 48 bitový fázový akumulátor, 14 bitový D/A převodník, komparátor a programování lze provádět paralelně i sériově. Hodinová frekvence je do 125 MHz s dosažitelným vynikajícím rozlišením až 0,4 μHz ($U_{cc} = 5 \text{ V}$)! Obvod umožňuje frekvenční i fázové klíčování. Vyrábí se v 48 pinovém pouzdře LQFP [10].

Technologii DDS používá na svých čipech i firma Texas Instruments. Konkrétně RF vysílač TRF6900 využívá 24 bitový fázový akumulátor spolu s 11 bitovým D/A převodníkem. Podobně i ostatní obvody z této řady - TRF4900 a TRF4400 [11]. V roce 2005 byla nahrazena ekvivalentním produktem TRF6900A [12]. V roce 2007 se na trhu objevila zcela nová řada nízkopříkonových RF přijímačů pod označením C1101 [13], která ovšem není funkčně ekvivalentní s předchozími komponentami.

Pozadu nezůstává ani známý distributor hradlových polí společnost Xilinx. Řady FPGA (angl. Field Programmable Gate Array) Virtex a Spartan využívají také DDS technologii v podobě tzv. „drop – in“ modulů [14].

Více informací o dalších integrovaných obvodech s DDS lze najít na internetových stránkách uvedených výrobců nebo v obchodech specializujících se na prodej elektroniky.

2 Analýza funkčního generátoru Hameg HM8030

V této části textu bude podrobně popsán funkční generátor Hameg HM8030-6 [15] na základě dokumentace a měření. První podkapitola bude věnována jeho technickým parametrům a řadě výrobků Hameg HM8000. Zbývající podkapitoly představí blokové schéma přístroje a důkladný rozbor funkce jednotlivých bloků.

2.1 Parametry Hameg HM8030-6

Jedná se o modulární systém – viz. obr. 1.2.2-1 ze série HM8000, který je funkční pouze po zasunutí do tzv. mainframu Hameg HM8001-2 na obr. 1.2.2-2 [16]. Mainframe obsahuje zdroj napájení pro dva zásuvné moduly z této řady a umožňuje tak jejich nezávislou činnost. Dále plní funkci jakési ochrany pro jednotlivé přístroje a dle přání zákazníka ho lze vybavit i doplňkovými konektory, které jsou k dispozici na zadním panelu mainframu.

Současná série HM8000, kromě výše zmiňovaných modulů, ještě zahrnuje programovatelný multimetr HM8012, RLC metr HM8018, univerzální čítač HM8021-4, trojitý napájecí zdroj HM8040-3 a prázdný modul HM800.



Obr. 1.2.2-1 Hameg HM8030-6



Obr. 1.2.2-2 Mainframe 8001-2

Tabulka Tab. 1.2.2-1 přehledně shrnuje základní technické parametry funkčního generátoru Hameg HM8030-6. Více údajů se lze dozvědět z datasheetu [16] a dále budou zmiňovány v části o kalibraci přístroje (viz. kap. 4.2).

Typ signálu	Sinus, trojúhelník, obdélník, pulzní, pilový, volně běžící (angl. free running) rozmitání - interní „sweep,“ externí FM modulace s nebo bez ss offsetu
Frekvenční rozsah	50 mHz – 10 MHz
Trigger	Obdélník TTL/5V
Impedance	50 Ω
Výstupní napětí	10 Vpp při 50 Ω , 20 Vpp při OC
Výstupní napětí - puls	5 Vpp při 50 Ω , 10 Vpp při OC
Doba náběhu a doběhu	typ. cca 15 ns
Zkreslení	0,5% do 1 MHz (typ. 0,3%) THD

Tab. 1.2.2-1 Základní technické parametry Hameg HM8030-6

V následujících odstavcích budou popsány vstupy a výstupy uvedeného funkčního generátoru [18]. Všechny disponují ochranou proti zkratu.

2.1.1 Výstup 50 Ω

Jedná se o klasický signálový výstup. Amplitudu výstupu je možné plynule nastavovat od 10 mV do 10 Vpp. Záleží na použití dvou vestavěných atenuátorů. Největší možný útlum se pak rovná 60 dB. Daných hodnot lze dosáhnout při 50 Ω zakončení. V případě zapojení naprázdno je amplituda výstupního napětí dvakrát větší tzn. 20Vpp.

Zvolený obdélníkový průběh vyžaduje kvalitní 50 Ω koaxiální kabely s 50 Ω zakončením. Nedodržením těchto opatření může docházet na vyšších frekvencích k překmitům.

Jak již bylo napsáno, všechny výstupní konektory jsou chráněny proti zkratu. Pokud dojde ovšem k dlouhodobému (více jak 30 s) připojení výstupu k zdroji ss napětí přesahujícím ± 45 V, je velmi pravděpodobné, že dojde k poruše výstupních obvodů přístroje.

Připojení zdroje ss napětí nebo jakýchkoliv jiných ss zařízení je podmíněno zařazením sériové kondenzátoru. Jeho hodnotu je nutné dobře zvážit, aby neovlivňovala frekvenční odezvu výstupu.

2.1.2 Výstup Trigger

Vytváří obdélníkový signál v synchronizaci s nastavenými parametry libovolného výstupního signálu. Lze ho charakterizovat jako TTL kompatibilní. Nastavený offset nemá vliv na výstup. Pro výstup trigger by měly být použity kvalitní kabely bez 50 Ω zakončení a s nízkou kapacitou. V opačném případě může dojít k nedodržení úrovní daných TTL specifikací.

2.1.3 Interní rozmítaný signál – internal sweep

Tento druh rozmítaného signálu umožňuje prověření filtrů a jiných zařízení v rozmezí 3 Hz až 10 MHz. Nastavení parametrů „sweeput“ je velmi jednoduché: stačí zadat pomocí tlačítek na předním panelu počáteční a koncovou frekvenci a čas rozmítání, který může být měněn i během operace a to v rozsahu od 20 ms do 15 s. Jediné omezení je v nastavení koncové frekvence. Ta může být maximálně dvě dekády od počáteční frekvence. Tím lze dosáhnout odchylky frekvence resp. rozsahu rozmítání odpovídající poměru 1:100.

2.1.4 Externí FM vstup

Po přivedení střídavého napětí na zadní konektor VCF panelu mainframu HM8001-2 se z funkčního generátoru HM8030-6 stává frekvenčně modulovaný systém v závislosti na čase a tvaru přivedeného napětí. Odchylka frekvence závisí na amplitudě tohoto napětí. Z ní lze pak vypočítat požadovanou hloubku modulace

V případě připojení kladného ss napětí opět na zadní konektor VCF panelu mainframu bude docházet ke zvyšování frekvence, která bude zobrazována na předním pětimístném sedmissegmentovém displeji. Naopak po připojení záporného napětí bude docházet ke snižování frekvence. Stručně řečeno – frekvenční posunutí závisí na hodnotě a polaritě přivedeného ss napětí. Při nulovém napětí může být frekvence libovolně zvolena.

Výpočet:

$$N = N_0 + (A \cdot U) \quad (2.1.4-1)$$

$$U = (N - N_0) \div A \quad (2.1.4-2)$$

Příklad výpočtu:

$N_0 = 500$ Hz (rozsah 5 kHz), $U = 2$ V, $A = 1050$ digitů/V

$$N = 500 + (1050 \cdot 2) = 2600 \quad (2.1.4-3)$$

Na stabilitu frekvence má zásadní vliv přiváděné napětí. Nemělo by proto docházet k jeho výpadkům. Změna frekvence je pak lineární funkcí napětí. Platné jsou pouze zobrazené digity, na desetinnou tečku se nebere ohled (např. $100.0 \approx 1000$ digitů). Všechny nuly před desetinou čárkou jsou vynechány. Při dosažení maximální frekvence 10 MHz je $A = 2500$, a zároveň nesmí dojít k jejímu překročení.

Parametry FM vstupu shrnuje tabulka Tab. 2.1.4-1.

Změna frekvence	1:100
Vstupní impedance	$6 \text{ k}\Omega \parallel 25 \text{ pF}$
Ochranné napětí	max $\pm 30\text{V}$

Tab. 2.1.4-1 Parametry FM vstupu

2.1.5 Pilový výstup

Nutný pro správné „triggrování“ při rozmítaném signálu. K dispozici je také na zadním panelu mainframu.

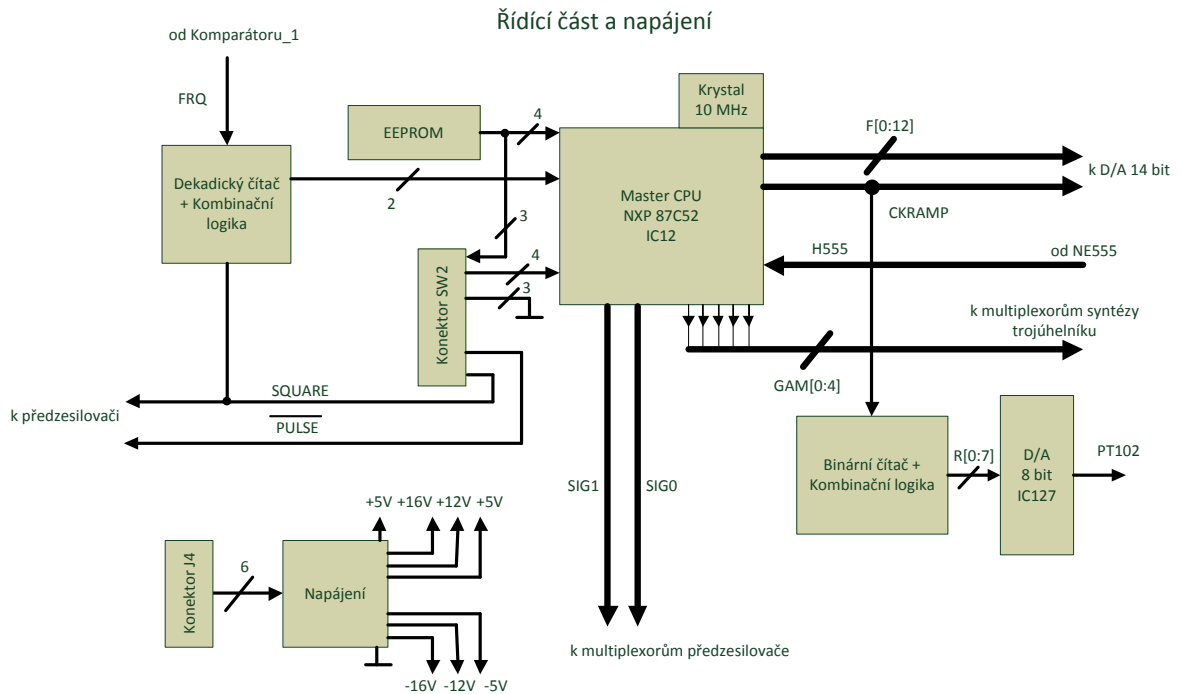
Další informace o funkčním generátoru jsou uvedeny v manuálu [17].

2.2 Blokové schéma

Na obrázcích obr. 2.2.1-1 – 2.2.5-1 je zobrazeno blokové schéma funkčního generátoru Hameg HM8030-6 rozdělené do 5 částí. Vychází z poznatků získaných četnými měřeními na přístroji a z obvodových schémat obsažených v příloze diplomové práce. Klade si za cíl

důkladnější pochopení funkce přístroje a díky tomu usnadnění práce technikům např. při hledání závad.

2.2.1 Řízení a napájení



Obr. 2.2.1-1 Blokové schéma řízení a napájení

Jak už název napovídá, v této části přístroje dochází k vytváření a zpracování řídicích signálů spolu s rozvodem napájení.

Jádrem je master mikrokontrolér NXP87C52 plnící řadu úkolů. Slouží ke generování datového slova pro ovládání elektronických spínačů D/A převodníku – signály F[0:12], signálů GAM[0:4] a SIG[0:1] pro řízení adresových vstupů multiplexorů, reset a hodinových a kontrolních signálů např. CKRAMP. Dále provádí přepočítání frekvence na hodnotu zobrazovanou na displeji a zpracování informací z čelního panelu. Je buzen externím krystalovým oscilátorem o frekvenci 10 MHz.

Hlavní význam paměti EEPROM je v uložení kalibračních faktorů pro měření frekvence. Souvisí s přepočítáváním frekvence na nižších rozsazích. Vyšší frekvence jsou měřeny přímo a po tuto dobu je paměť blokována.

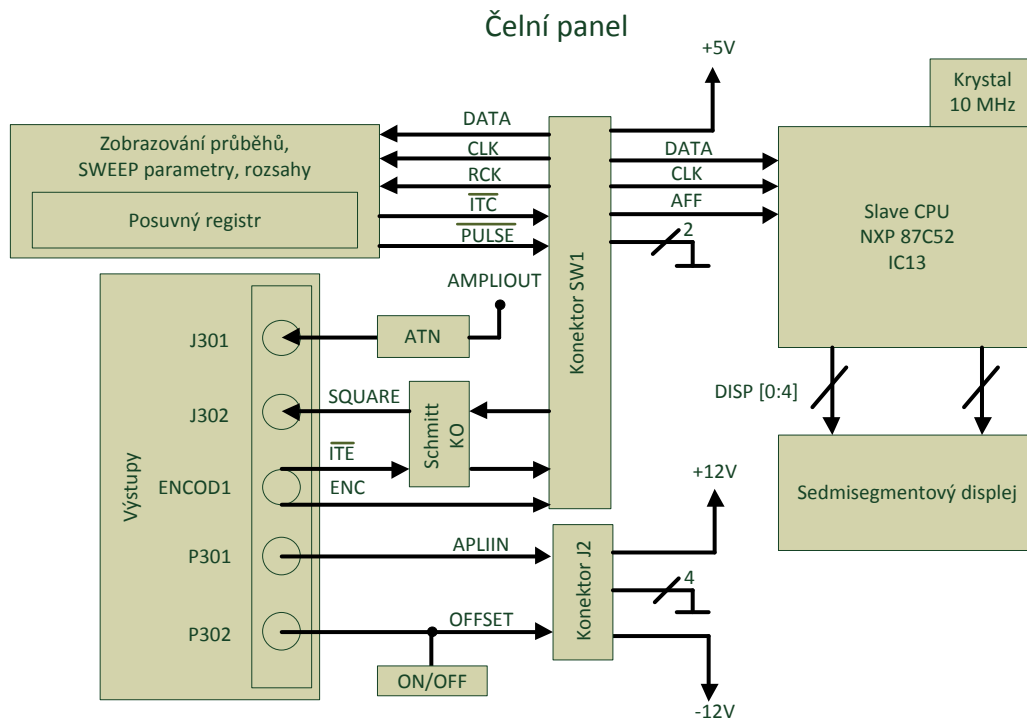
Blok dekadického čítače a kombinační logiky tvořené NOR hradly upravuje frekvenci generovaného obdélníkového průběhu na dvou nejvyšších rozsazích (signál FRQ – výstup komparátoru z bloku syntézy trojúhelníku) pro mikrokontrolér.

Pilový průběh na výstupu PT102 vyvedený na zadní panel mainframu je vytvářen blokem binárního čítače taktovaného signálem CKRAMP z master mikrokontroléru, NOR hradlem

přivádějícím nulovací signál pro binární čítač osmibitovým D/A převodníkem ovládaným signály R[0:7] z výstupů binárního čítače.

Řídící část základní desky je propojena s čelním panelem pomocí konektoru SW2, napájecí deska se základní deskou konektorem J4. Napájení je pak rozváděno symetricky ve třech větvích a to $\pm 5V$, $\pm 12V$, $\pm 16V$ nebo nesymetricky $+5V - GND$.

2.2.2 Čelní panel



Obr. 2.2.2-1 Blokové schéma čelního panelu

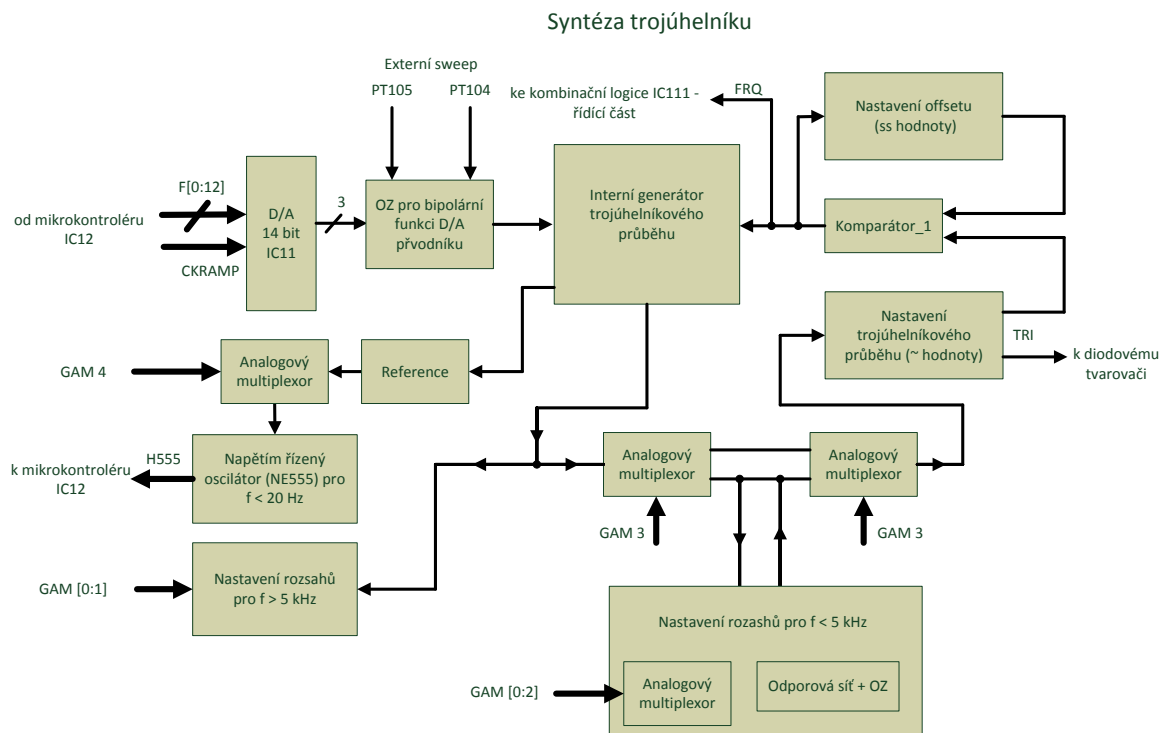
Čelní panel je z uživatelského hlediska nejdůležitější, neboť představuje viditelný výstup z přístroje.

Obsahuje slave mikrokontrolér NXP87C52, který řídí pětimístný sedmisegmentový zobrazovací displej – signály CA[8:15] a DISP[0:4]. Taktovací, datové a ovládací signály - CLK, DATA, AFF - jsou přivedeny od hlavního master mikrokontroléru IC12 ze základní desky přes konektor SW1. Komunikace probíhá jednosměrně od IC12 k IC13 po SPI.

Blok zobrazování průběhu, „sweep“ parametrů a rozsahů je ovládán dvěma osmibitovými posuvnými registry. Skládá se z LED diod, ukazujících uživateli zvolené nastavení přístroje a tlačítek pro výběr průběhů, frekvenčních rozsahů a „sweep“ parametrů. Řídící signály pro posuvné registry – RCK, CLK, DATA – jsou opět vytvářeny mikrokontrolérem IC12 a zavedeny přes konektor SW1.

Za výstupy na čelním panelu lze považovat kromě klasického 50Ω signálového – J301 a „trigger“ TTL kompatibilního výstupu – J302 i nastavení požadované frekvence – ENCOD1, amplitudy – P301 a offsetu – P302. Do 50Ω výstupu je signál AMPLIOUT přiváděn z výstupu koncového zesilovače a je vybaven dvěma fixními atenuátory, každý s útlumem 20dB. „Trigger“ výstup je spojen se signálem SQUARE z předzesilovače a je vyveden na BNC konektor přes Schmittův klopný obvod. Přes něj prochází i signál ITE z potenciometru pro regulaci frekvence. Druhý signál ENC je zaveden přímo do konektoru SW1 a následně ke zpracování do mikrokontroléru IC12. Nastavení offsetu je nutné povolit samostatným tlačítkem. Signál OFFSET je přiváděn konektorem J2 do bloku předzesilovače. Obdobné platí i pro regulaci amplitudy. Signál AMPLIIN je zaveden přímo propájením přes čelní panel na vstup koncového zesilovače.

2.2.3 Syntéza trojúhelníku



Obr. 2.2.3-1 Blokové schéma syntézy trojúhelníkového průběhu

Základem pro analogové funkční generátory je trojúhelníkový průběh. Z něj jsou pak odvozeny všechny další výstupy.

Vstupy čtrnáctibitového D/A převodníku jsou nastavovány signály F[0:12] od master mikrokontroléru IC12. Kontrolním signálem CKRAMP jsou ovládány jeho registry. D/A převodník převádí digitální informaci o zvolené frekvenci na binárně odstupňované proudy, které jsou zaváděny z výstupu převodníku do bloku s operačními zesilovači pro bipolární

funkci převodníku. Obsahuje dva operační zesilovače, z nichž první je zapojen jako invertující integrátor. Jeho záporný (invertující) vstup je rozladován napětím z externího sweepu tj. externí FM vstup, popisovaný v podkapitole 2.1.4. Výstupní záporné napětí v daném rozsahu odpovídá zobrazované frekvenci na displeji. Druhý operační zesilovač je zapojen jako sumátor a sčítá napětí z výstupu integrátoru se záporným napájecím napětím. Výstupní kladné napětí je opět úměrné nastavené frekvenci a je zavedeno na kladný (neinvertující) vstup operačního zesilovače z bloku interního generátoru trojúhelníku.

Interní blok generátoru trojúhelníku se skládá z dvojice proudových zdrojů napájených kladným a záporným napětím. Jeho funkce je spjata s bloky pro nastavení frekvenčních rozsahů, komparátorem a spínacím tranzistorem. Dohromady tvoří relaxační generátor. Zdroje akumulované energie jsou zastoupeny proudovými zdroji, jako akumulární prvky vystupují kondenzátory v blocích pro nastavení frekvenčních rozsahů. Nedílnou součástí je též rychlý komparátor s hysterezi a jím ovládaný spínací tranzistor. Z jeho kolektoru je signál rozváděn do bloků pro nastavení frekvenčních rozsahů, které jsou řízeny GAM[0:4] signály od master mikrokontroléru IC12.

Blok pro nastavení rozsahů pro $f > 5\text{kHz}$ je ovládán signály GAM[0:1] spínající tranzistory připojené k váhově odstupňovaným kondenzátorům. Dle zvoleného frekvenčního rozsahu je sepnut příslušný kondenzátor a signálová cesta je vedena přes horní větev analogových multiplexorů do bloku nastavení parametrů trojúhelníkového průběhu pro diodový tvarovač.

Při volbě nižších frekvenčních rozsahů je situace opačná. V činnosti je blok pro nastavení rozsahů $f < 5\text{kHz}$ obsahující další analogový multiplexor s rezistorovou sítí připojenou k zápornému (neinvertujícímu) vstupu operačního zesilovače s korekcí vstupního offsetu (pozn. podobné zapojení operačního zesilovače je i blok interního generátoru trojúhelníku). Dle zvoleného frekvenčního rozsahu je vybrán signálem GAM[0:1] jeden ze čtyř výstupních kanálů multiplexoru. Signálem GAM2 je blokována funkce pro ostatní frekvenční rozsahy tj. pro $f > 5\text{kHz}$ a nejnižší frekvenční rozsah. Signálová cesta je vedena spodní větví mezi analogovými multiplexory a dále jako v předchozím případě do bloku nastavení trojúhelníkového průběhu pro diodový tvarovač.

Nízké frekvence, konkrétně dva nejnižší frekvenční rozsahy, jsou upravovány známým obvodem NE555 v zapojení jako napětím řízený oscilátor – dále jen VCO. VCO běží na násobku frekvence zobrazované na displeji a je laděn stejným napětím jako interní generátor trojúhelníku. Signál H555 je z výstupu VCO zaveden do master mikrokontroléru IC12 provádějící přepočítání frekvence. Analogový multiplexor je řízen signálem GAM4 a

přepíná mezi proudovým zdrojem s operačním zesilovačem a zdrojem napětí +12V v bloku reference. Jedná se v případě proudového zdroje o nabíjení kondenzátoru konstantním proudem (pozn. lineárně), u zdroje napětí pak o nabíjení konstantním napětím (pozn. exponenciálně). Výsledkem je produkce synchronizačního trojúhelníkového průběhu pro správnou činnost VCO.

Komparátor vytváří z trojúhelníkového průběhu na svém výstupu obdélníkový. Signálem FRQ je obdélník přiváděn na vstupy kombinační logiky v řídicí části přístroje. Výstup z komparátoru je spojen nejen se vstupem interního generátoru trojúhelníku resp. integrátoru, ale i blokem pro nastavení offsetu a dohromady tvoří smyčku relaxačního generátoru, která se vzájemně ovlivňuje.

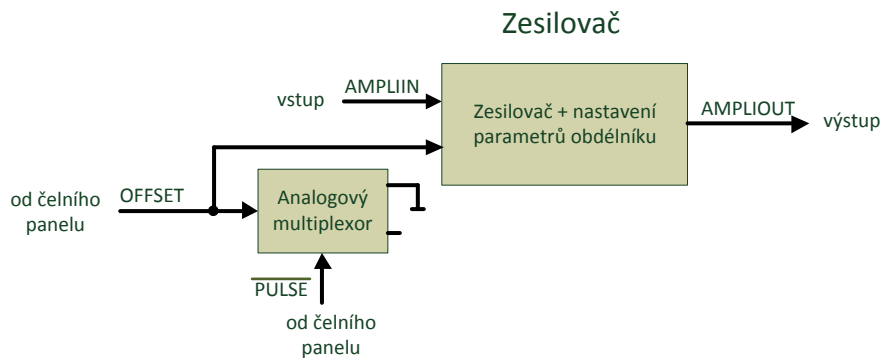
V bloku nastavení střídavých parametrů trojúhelníku se upravuje trojúhelníkový průběh pro diodový tvarovač – výstup představuje signál TRI. Dochází zde k regulaci amplitudy pomocí kapacitního trimru a nastavení střídavého napětí (efektivní hodnoty) dle kalibrační návodky zveřejněné v poslední kapitole práce.

Obdobně i u bloku pro nastavení ss offsetu se upravuje pomocí potenciometru ss offset trojúhelníkového průběhu podle kalibračního postupu na nulovou hodnotu. Ačkoliv je prakticky nastavován offset obdélníkového průběhu, díky již zmíněné smyčce má podstatný vliv na generovaný trojúhelníkový průběh a následně i sinový vytvářený diodovým tvarovačem.

Výstupy z obou těchto bloků jsou zavedeny na vstupy komparátoru a celý výše popsáný proces se znovu opakuje.

V bloku nastavení offsetu a koncového stupně se reguluje potenciometrem stejnosměrný offset výstupu. Koncový stupeň předzesilovače je realizován s teplotní kompenzací a proudovým buzením. Jeho výstup je přiveden na multiplexor.

2.2.5 Zesilovač



Obr. 2.2.5-1 Blokové schéma zesilovače

Koncový zesilovač funkčního generátoru obsahuje komponenty pro nastavení parametrů obdélníkového průběhu. Dochází zde k doladění hran a odstranění překmitů obdélníkového průběhu. Cílem koncového zesilovače jsou maximálně nezkreslené průběhy na jeho výstupu. Signál AMPLIOUT je totiž vyveden přes dva attenuátory přímo na 50Ω signálový výstup J301 na čelním panelu. Vstupní signál AMPLIIN je přiváděn přímo z čelního panelu.

Analogový demultiplexor na vstupu je stejný integrovaný obvod jako u předzesilovače a je zde opět pro názornost nakreslen zvlášť. Je řízen signálem PULSE a slouží k vypnutí nastavení offsetu pro pulzní průběh. U pulzního průběhu je totiž místo offsetu regulována šířka resp. střída pulzu. Výstup je zaveden společně se signálem OFFSET na vstup operačního zesilovače koncového stupně.

3 Popis a rozbor jednotlivých bloků přístroje

Následující část práce bude zaměřena na detailní rozbor a popis bloků z blokových schémat uvedených v předchozích podkapitolách a zároveň bude vysvětlen význam jednotlivých součástí případně jejich skupin. Pozornost bude věnována i všem měřicím bodům tzv. testpointům ověřujících správnou funkci jednotlivých bloků funkčního generátoru. V neposlední řadě zde budou prezentovány zajímavé poznatky z měření.

3.1 Řídící a napájecí bloky funkčního generátoru

Řídící a napájecí bloky funkčního generátoru Hameg HM8030-6 obsahují několik důležitých prvků. Jedná se především o master mikrokontrolér, paměť EEPROM, čítače spolu s D/A převodníkem, kombinační logiku, stabilizátory apod.

V dalším textu budou postupně probrány výše vypsané komponenty z blokového schématu na obr. 2.2.1-1 a bude vycházeno z obvodových schémat uvedených v příloze.

3.1.1 Master mikrokontrolér NXP87C52

Master mikrokontrolér NXP87C52SBAA od firmy Philips [18] má ve schématu označení IC12 a plní roli hlavního řídicího členu funkčního generátoru. Je vyveden ve 44 pinovém pouzdře PLCC. Stejný procesor je použit i u čelního panelu, ale v 44 pinovém PQFP pouzdře. Jedná o mikrokontrolér ze známé rodiny osmibitových procesorů 80C51. Obsahuje např. 256 x 8 RAM paměť, čtyři osmibitové vstupně/výstupní porty, tři šestnáctibitové čítače, plně duplexní UART a integrovaný oscilátor s hodinovými obvody.

Popis zapojení jednotlivých pinů je přehledně shrnut v tabulce Tab. 3.1.1-1 :

Pin	Popis
1	NC, nezapojený
2	spojen s DI/DO z EEPROM IC124 a konektorem SW2-5 - signál DATA
3	spojen s CLK z EEPROM IC124 a konektorem SW2-8 - signál CLK
4	propojen s konektorem SW2-7 - signál AFF
5	propojen s konektorem SW2-3 - signál RCK
6	signály pro ovládání multiplexorů syntézy trojúhelníku - GAM[0:3]
7	
8	
9	
10	RST napojen na RC člen
11	signál pro ovládání multiplexorů a kombinační logiky předzesilovače - SIG0
12	NC, nezapojený
13	signál pro ovládání multiplexorů a kombinační logiky předzesilovače - SIG1
14	negovaný, z konektoru SW2-6 přichází signál ITC od čelního panelu
15	negovaný, z konektoru SW2-9 přichází signál ITE od čelního panelu
16	od obvodu NE555 - signál H555
17	signál od kombinační logiky IC111-B
18	negovaný, z konektoru SW2-10 přichází signál ENC od čelního panelu
19	signál pro ovládání multiplexorů - GAM4
20	krystal 10 MHz
21	

Pin	Popis
22	AGND
23	NC, nezapojený
24	signály pro 14 bitový D/A převodník IC11 - F[8:12]
25	
26	
27	
28	
29	připojen k dekadickému čítači IC121-A (CLR) a kombinační logice IC111-C
30	připojen k CS u EEPROM IC124
31	spojen s binárním čítačem IC126-A (CLK) a dále se vstupem D/A převodníku IC11 (LDAC) - signál CKRAMP
32	negovaný, spojen s kombinační logikou IC123-D
33	Nevyužitý
34	NC, nezapojený
35	negovaný, připojen na +5V
36	signály pro 14 bitový D/A převodník IC11 - F[0:7]
37	
38	
39	
40	
41	
42	Ucc, připojen k +5V přes C155
43	
44	

Tab. 3.1.1-1 Pinout mikrokontroléru IC12

Následující odstavce budou podrobněji zaměřeny na všechny důležité signály zpracovávané nebo vytvářené master mikrokontrolérem IC12 z tabulky Tab. 3.1.1-1. Předně je nutné uvést, že bohužel nebyl k dispozici software jak pro master mikrokontrolér IC12, tak i pro stejný slave mikrokontrolér IC13 na čelním panelu. Z toho důvodu nebylo možné zjistit úplný význam a parametry těchto signálů.

Signály DATA, CLK a AFF se podílejí na komunikaci s druhým slave mikrokontrolérem IC13 na čelním panelu. Probíhá standardním způsobem po sériové lince a to pouze jednosměrně od IC12 k IC13. Stejně signály DATA a CLK jsou využívány i pro řízení osmibitových posuvných registrů (IC302 a IC303). Navíc je zde zaveden hodinový signál RCK pro synchronizaci totožných datových registrů (IC302 a IC303). Naopak negovaný signál ITC je z přepínače zvoleného typu průběhu (SW307 - výstup Q7 posuvného registru

IC302 k němu připojen) veden k master mikrokontroléru IC12. Tyto signály budou dále vysvětleny v podkapitolách o paměti EEPROM IC124 (viz. kap. 3.1.3), slave mikrokontroléru IC13 (viz. kap. 3.2.1) a posuvných registrech IC302 a IC303 (viz. kap. 3.2.3).

Totéž platí i o GAM[0:4] signálech přepínající analogové multiplexory. Bude jim věnován prostor v kapitole o bloku syntézy trojúhelníku (viz. kap. 3.3.3).

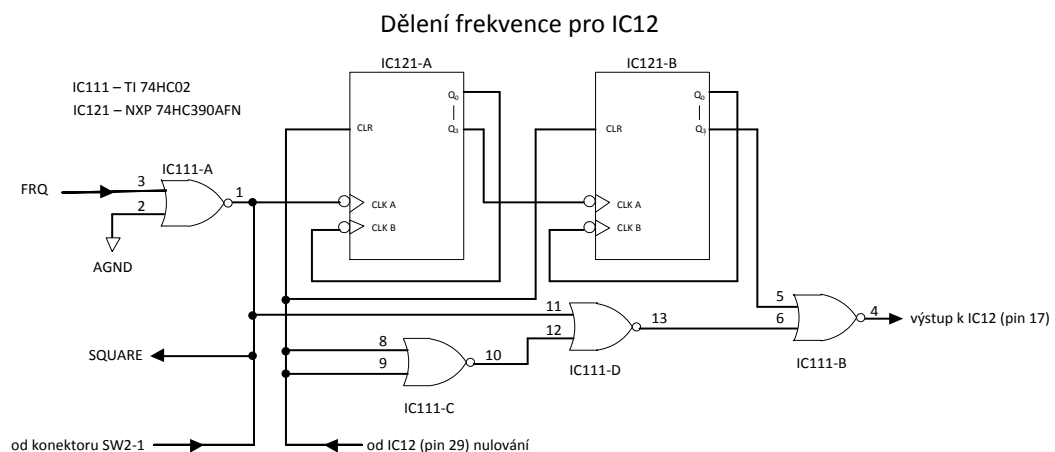
Signály SIG[0:1] plnící podobný úkol v předzesilovači budou důkladně rozebrány v textu o již zmíněném předzesilovači (viz. kap. 3.4.2).

Pin 10 (angl. RST - Reset) zajišťuje nulování mikrokontroléru ve stavu „1“ přes elektrolytický kondenzátor (C163). Funkci interního difúzního rezistoru povolujícího zapnutí resetu na pinu 22 (angl. Vss - Ground) přebírá vnější odpor (R215) připojený k pinu 10.

Signál ENC a negovaný ITE jsou přiváděny k mikrokontroléru IC12 od inkrementálního snímače polohy nastavené frekvence (ENCOD1) na čelním panelu. Frekvence je master mikrokontrolérem IC12 zpracována a následně k dispozici pro zobrazení na sedmisegmentovém displeji. Podrobnosti budou uvedeny v kapitole o čelním panelu (viz. kap. 3.2.5).

Signál H555 je spjat se známým obvodem NE555 v bloku syntézy trojúhelníku, který je zapojen jako napětím řízený oscilátor - VCO. Jedná se o zajímavý princip měření nízkých frekvencí (do 20 Hz). Vyšší frekvence jsou získávány přímo pomocí 10MHz krystalu (piny 20 a 21). Podobný způsob ovšem není možné aplikovat pro nízké frekvence. Doba měření by totiž byla příliš dlouhá. Z toho důvodu přístroj obsahuje zmíněný VCO běžící na násobné frekvenci. Více bude zveřejněno v samostatné části zaměřené na NE555 (viz. kap. 3.3.4).

Komentář vyžadují především piny 17 a 29. Jsou vázány na kombinační logiku (IC111) a dekadický čítač (IC121) a výsledné zapojení znázorňuje obr. 3.1.1-1.



Obr. 3.1.1-1 Dělení frekvence pro mikrokontrolér IC12

Kombinační logika (IC111) tvořená čtyřmi hradly NOR představuje jeden integrovaný obvod, ale pro přehlednost je kreslena zvlášť. To samé platí i pro dekadický čítač (IC121). Princip zapojení spočívá v dělení frekvence dvou nejvyšších frekvenčních rozsahů tj. 200,0 kHz a 2000 kHz stem. Činnost kombinační logiky shrnuje tab. 3.1.1-2. Rozdělení hradel v tabulce je dle schématu na obr. 3.1.1-1, nikoliv dle abecedního pořadí.

Pin	IC111-A
3	signál FRQ z výstupu komparátoru (IC107) - obdélníkový průběh
2	AGND
1	obdélník na všech frekvenčních rozsazích a všech typech průběhů
Pin	IC111-C
8	log. 1 na všech frekvenčních rozsazích kromě posledních dvou - log. 0
9	to samé jako pin 8
10	negace - log. 1 na posledních dvou frekvenčních rozsazích, jinak log. 0
Pin	IC111-D
11	to samé jako pin 1 - navíc propojení se signálem SQUARE z čelního panelu
12	to samé jako pin 10
13	obdélník na všech frekvenčních rozsazích kromě posledních dvou - 0V
Pin	IC111-B
5	obdélník na posledních dvou frekvenčních rozsazích s frekvencí 100x nižší než na displeji, jinak 0V
6	to samé jako pin 13
4	obdélník na všech frekvenčních rozsazích a všech typech průběhů - poslední dva rozsahy s frekvencí 100x nižší než na displeji

Tab. 3.1.1-2 Činnost kombinační logiky IC111

Funkce dekadického čítače se dá prezentovat velmi jednoduše. Je rozdělen do dvou bloků. Na vstup CLKA prvního je přiváděn obdélníkový průběh se stejnou frekvencí jako je na displeji funkčního generátoru. Vstup CLKB je propojen s výstupem Q0, kde je k dispozici polovina nastavené frekvence, na výstupu Q3 pak desetina frekvence. Z něj je potom signál veden na vstup CLKA druhého bloku. Vstup CLKB je opět propojen s výstupem Q0 s dvacetkrát nižší frekvencí. Na výstupu Q3 je pak požadovaná stokrát nižší frekvence a je pak zavedena na pin 4 kombinační logiky (IC111-B). Signál z pinu 29 master mikrokontroléru IC12 je spojen s CLR čítače a piny 8, 9 kombinační logiky (IC111-C). Zajišťuje správné nulování, aby dělení frekvence probíhalo pouze pro dva nejvyšší frekvenční rozsahy (viz tab. 3.1.1-2 piny 8, 9). Napájení u kombinační logiky i čítače je řešeno nesymetricky tj. +5V – AGND.

Signály F[0:12] slouží, jak již bylo dříve uvedeno, ke generování datového slova pro ovládání elektronických spínačů čtrnáctibitového D/A převodníku (IC11). Skupina signálů F[0:7] je připojena přes externí pull-up rezistory o hodnotě 2 k Ω k napájecímu napětí +5V. Externí pull-up rezistory jsou povinné, poněvadž brány P0 neobsahují interní. Naopak signály F[8:12] externí pull-up rezistory nepotřebují, porty P2 jsou vybaveny interními. Signál CKRAMP je propojen s negovaným vstupem LDAC řídicí DAC registr D/A převodníku. Zároveň je přiveden jako hodinový signál na vstup CLK binárního čítače (IC126). Tato problematika bude podrobněji diskutována v podkapitolách o D/A převodníku (viz. kap. 3.3.1) a generování kontrolního pilového průběhu (viz. kap. 3.1.4).

3.1.2 Konektor SW2

O provedení konektoru SW2 propojujícího čelní panel s řídicí deskou bylo v této práci už hodně napsáno, přesto je níže v tabulce tab. 3.1.2-1 kvůli větší názornosti a přehlednosti opětovně shrnut.

Pin	Popis
1	SQUARE
2	AGND
3	RCK signál
4	Ucc = +5V
5	DATA
6	negovaný ITC
7	AFF
8	CLK
9	negovaný ITE
10	ENC
11	negovaný PULSE
12	AGND

Tab. 3.1.2-1 Popis konektoru SW2

3.1.3 Paměť EEPROM

Sériová paměť EEPROM IC124 od firmy Microchip nese označení 93LC46B [19] (dříve 93C46B) a je zapojena v konfiguraci 64 x 16 bitů. Pin 6 (ORG) nemá u typu B interní propojení. Změnu konfigurace mezi 128 x 8 bitů a 64 x 16 bitů lze provádět pouze u verze C, která má pin 6 (ORG) funkční.

Jak bylo uvedeno v podkapitole 2.2.1, hlavním významem paměti EEPROM je uložení kalibračních faktorů pro měření frekvence. Používání kalibračních faktorů je nutné kvůli závislosti aktuální měřené frekvence na toleranci pasivních součástek VCO (pozn. VCO je v této práci již několikrát zmiňovaný obvod NE555).

Signálem CS (pin 30 master mikrokontroléru IC12) v logické „0“ je činnost paměti blokována pro dva nejvyšší frekvenční rozsahy tj. pro 200,0 kHz a 2 000 kHz. Na ostatních frekvenčních rozsazích je CS v logické „1“ a paměť není blokována. Na těchto dvou nejvyšších frekvenčních rozsazích dochází k dělení zvolené frekvence stem. O něm pojednává podkapitola 3.1.1 a především obrázek obr. 3.1.1-1.

Paměť je synchronizována z master mikrokontroléru IC12, neboť je propojena se signálem CLK rozvádějícím hodiny i do čelního panelu. Instrukce, adresy a zapisovaná data jsou taktována na náběžnou hranu hodin. Hodiny běží pouze při změně nastavení přístroje např. přeladění frekvence, přepínání frekvenčních rozsahů a průběhů apod. To odpovídá komunikaci po SPI.

Piny DI (angl. Serial Data In) a DO (angl. Serial Data Out) jsou spojeny dohromady a propojeny s pinem 2 mikrokontroléru IC12. Mohou ale nastat problémy s „falešnou nulou“ předcházející operaci čtení, pokud A0 (nejnižší bit adresy) je logická „1“. Při této podmínce může dojít ke konfliktu a úroveň napětí na výstupu DO nebude definována. Výsledek bude závislý na relativní impedanci pinu DO a zdroji signálu řídícím A0. Aby nedocházelo k problémům s touto „falešnou nulou“, bude nutné využívat pouze sudých adres. Dále musí být program upraven i vzhledem k rozdílné architektuře mikrokontroléru IC12 a EEPROM paměti – procesory řady 80C51 jsou osmibitové.

Napájení paměti není zakresleno ve schématu, ale měřením bylo zjištěno nesymetrické provedení +5V (pin 8) – AGND (pin 5).

3.1.4 Pilový výstup

Pilový výstup na zadní straně mainframu je vytvářen zapojením označovaným jako digitální generátor pilového průběhu (angl. Digital Sawtooth Generator).

Dvojitý čtyřbitový binární čítač (IC126) [20] je v provedení se dvěma nezávislými hodinovými signály a resety v jednom pouzdře. Na CLK vstup prvního čtyřbitového čítače (IC126-A) jsou dodávány hodinové impulzy signálem CKRAMP z pinu 31 mikrokontroléru IC12 úměrné násobku nastavené frekvence na přístroji. Výstup Q3 je vyveden na CLK vstup druhého čtyřbitového čítače (IC126-B). Oba čítače jsou tak propojeny do kaskády a tvoří

dohromady osmibitový binární čítač. Nulování pro čítač je vytvářeno negovaným pinem PSEN (angl. Program Store Enable), který vytváří impulzy do „0“ na dvojnásobku požadované frekvence. Na vstupy CLR je přivedeno přes negaci sestavenou z logického členu NOR (IC123-D), tudíž jako logická „1“.

Výstupy z čítače R[0:7] jsou napojeny vstupy D[0:7] osmibitového D/A převodníku (IC127) [21]. Na negovaném proudovém výstupu IOOUT D/A převodníku (pin 6) je pak stupňovitě se zvyšující proud, jehož velikost je přímo úměrná napětí na vstupu REF+ (+12V – pin 2) a číslu N, do kterého napočítal čítač. Tento proud je vyfiltrován RC členem a výsledný pilový průběh je přiváděn na výstup PT102.

Napájení binárního čítače je opět nesymetrické +5V – AGND. D/A převodník je napájen symetricky ±12V (piny 1 a 7).

3.1.5 Rozvod napájení

Deska napájení je samostatná a zajišťuje vodivé propojení přístroje s mainframem přes dvaadvaceti pinový zásuvný konektor. Zapojení tohoto konektoru ilustruje tab. 3.1.5-1. Žlutě podbarvené řádky tabulky jsou využité piny pro napájení funkčního generátoru Hameg HM8030-6.

Pin	Signál
1	zadní BNC_1 konektor (externí FM vstup)
2	zadní BNC_2 konektor (pilový výstup)
3	GND
4	+5V (max 1A)
5	0V
6	+8V neregulovatelné
7	+5 - 20V (max 0,5A)
8	0V
9	nastavitelné napětí
10	0V ~
11	18V ~
12	25V ~
13	~ vstup pro piny 11 nebo 12
14	+5 - 20V (max 0,5A)
15	0V
16	nastavitelné napětí
17	0V ~
18	18V ~
19	25V ~

Pin	Signál
20	~ vstup pro piny 18 nebo 19
21	0V ~
22	8V ~ (max 0,5V)

Tab. 3.1.5-1 Provedení napájecího konektoru

Z jednotlivých údajů uvedených v tabulce tab. 3.1.5-1 lze pak snadno vypočítat maximální výkonovou zatížitelnost daných pinů. Pro pin 4 je 4W, pro piny 7 a 14 se rovná 10W a konečně u pinu 22 odpovídá 4W.

K hlavní desce (mainboardu) je napájení přiváděno konektorem J4. Jeho zapojení ukazuje tab. 3.1.5-2. O vyvedení signálů na zadní BNC konektory mainframu se nestará konektor J4, ale samostatné vodiče. Jejich pájecí plošky jsou ve schématu přístroje označeny pro externí frekvenční vstup jako PT105 pro FM_IN a PT104 pro AGND (u novějšího schématu se může vyskytnout název „External Sweep“). U pilového výstupu se nazývají PT102 pro průběh a PT103 pro AGND.

Pin	Signály
1	+5V
2	GND
3	+16V
4	GND
5	GND
6	-16V

Tab. 3.1.5-2 Provedení konektoru J4

Nesymetricky +5V – GND jsou napájeny především integrované obvody přístroje (např. čítače, kombinační logika apod.) a je odebíráno přímo z konektoru J4. Symetrické napájení o velikosti $\pm 16V$ je využito výhradně u výstupního výkonového zesilovače a je rozvedeno přímo z konektoru J4. Další napěťové úrovně jsou vytvářeny pomocí čtyř třibodových stabilizátorů. Jejich zapojení naznačuje obr. 3.1.5-1. Nejprve je symetrické napájecí napětí $\pm 16V$ upraveno známými stabilizátory řady 7812 (kladná větev) a 7912 (záporná větev) na úroveň $\pm 12V$, které slouží k napájení většiny operačních zesilovačů. Následně je toto napětí stabilizováno regulátory LM340 (kladná větev) a 79L05 (záporná větev) na velikost $\pm 5V$, kterým jsou napájeny analogové multiplexory a komparátory. Elektrolytické filtrační kondenzátory přemostují vstup a výstup stabilizátorů. Zničení výstupních tranzistorů zpětným napětím zabraňují ochranné diody zapojené z výstupu na vstup stabilizátorů.

3.2 Čelní panel

Čelní panel je významný především z uživatelského hlediska, neboť představuje viditelný výstup z funkčního generátoru. Obsahuje stejný mikrokontrolér NXP87C52 jako řídicí blok, sedmissegmentový displej, posuvné registry pro řízení LED diod informujících o nastavení přístroje, konektory, přepínače, signálové výstupy apod.

Stejně jako u předchozí části textu budou následujících odstavce věnovány výše uvedeným blokům z obr. 2.2.2-1 a bude nadále vycházeno z obvodových schémat umístěných v příloze této práce.

3.2.1 Slave mikrokontrolér NXP87C52

Slave mikrokontrolér NXP87C52 [18] nese ve schématu označení IC13 a je plně podřízen řídicímu master mikrokontroléru IC12 umístěném na základní desce (mainboardu) a popisovaném v podkapitole 3.1.1. Komunikace mezi nimi probíhá po SPI, ale pouze jednosměrně, a to od IC12 k IC13. Pin TxD není využit. Hlavním úkolem mikrokontroléru IC13 je tak přijímání dat o nastavené frekvenci a jejím zobrazení na sedmissegmentovém pětimístném displeji.

Níže uvedená tabulka tab. 3.2.1-1 poskytuje přehledný seznam zapojení všech pinů slave mikrokontroléru IC13.

Pin	Popis
1	nevyužité
2	
3	
4	RST propojen přes C45 s negovaným EA (pin 29) na Ucc
5	z konektoru SW1-5 přichází signál DATA od mikrokontroléru IC12
6	NC, nezapojený
7	TxD nevyužitý
8	z konektoru SW1-8 přichází signál CLK od mikrokontroléru IC12
9	z konektoru SW1-7 přichází signál AFF od mikrokontroléru IC12
10	nevyužité
11	
12	
13	
14	krystal 10 MHz
15	
16	GND
17	NC, nezapojený

Pin	Popis
18	signály CA[08:15] pro tranzistory BCR183 ovládající sedmissegmentový displej DL[301:305]
19	
20	
21	
22	
23	
24	
25	
26	nevyužité
27	nevyužité
28	NC, nezapojený
29	negovaný EA, (viz. pin 4)
30	nevyužité
31	
32	
33	
34	signály DISP[0:4] pro tranzistory BCR183 ovládající sedmissegmentový displej DL[301:305]
35	
36	
37	
38	Ucc, připojen k +5V přes C49, C46 a R1, R23
39	NC, nezapojený
40	nevyužité
41	
42	
43	
44	

Tab. 3.2.1-1 Pinout mikrokontroléru IC13

Signály DATA, CLK a AFF už byly popisovány v předešlých podkapitolách o master mikrokontroléru IC12 a EEPROM paměti. Jen pro úplnost bude uvedeno ještě několik poznatků získaných z měření. Signál DATA je připojen k bráně RxD (pin 6), TxD (pin 8) není využito. Je trvale v „0“, pokud nedochází ke změně nastavení přístroje tj. přeladění frekvence, přepnutí na jiný průběh, frekvenční rozsah nebo parametrů rozmítání (sweep). V okamžiku provedení některé z těchto akcí, je vyslána série pulzů do „1“ DATA signálem odpovídající požadovanému přenastavení přístroje. To samé platí i pro hodinový signál CLK, který také zůstává v „0“, pokud nejsou vysílána resp. přijímána data. Signál AFF

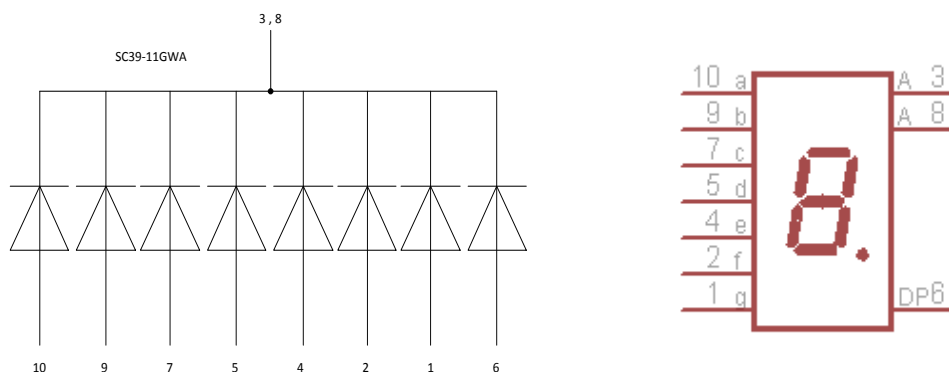
je naopak v klidu trvale v „1“ a rovněž funguje pouze při změnách nastavení přístroje. Signál DATA má na rozdíl od signálů CLK a AFF podstatně delší dobu ustálení do klidového stavu „0“. Signály CLK a AFF jdou ihned po poslední hraně pulzu do „0“ resp. „1“, signál DATA setrvává v „1“ ještě po dobu $t = 2,32s$.

Skupiny signálů CA[08:15] a DISP[0:4] slouží k řízení třinácti PNP digitálních tranzistorů BCR183 ovládajících sedmissegmentový pětimístný displej. Více o těchto signálech a displeji bude napsáno v následující podkapitole.

Negovaný pin 29 (angl. EA - External Access Enable) je trvale v „1“, což znamená vykonávání programu z vnitřní paměti. Navíc je propojen s pinem 4 (angl. RST - Reset) přes externí elektrolytický kondenzátor C45 zajišťující vynulování mikrokontroléru ve stavu „1“. Interní difúzní rezistor na pinu 16 (angl. Vss - Ground) povolující zapnutí resetu není zakreslen.

3.2.2 Sedmissegmentový displej

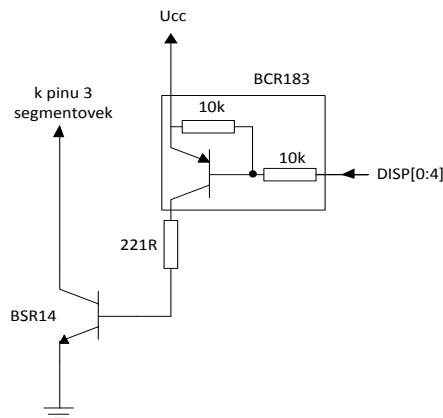
Sedmissegmentový displej je tvořen pěti samostatnými zobrazovacími jednotkami SC39-11GWA [22]. Jak už z jejich názvu vyplývá, jedná se o zapojení se společnými katodami, tudíž k rozsvícení segmentu slouží logická „1“. Zkratka „GWA“ pak znamená barvu a materiál, ze kterého jsou segmentovky s LED diodami vyrobeny. Pro zajímavost v uvedeném případě jde o zelenou barvu a materiál GaP – gallium fosfid. Rozmístění jednotlivých segmentů a zapojení diod představuje obrázek obr. 3.2.2-1.



Obr. 3.2.2-1 Zapojení diod a pojmenování segmentů displeje

Jako dekodér pro displej je použit slave mikrokontrolér IC13 (pozn. v literatuře firmy Hameg označován jako „display controller“). Signály CA[08:15] i signály DISP[0:4] jsou napojeny na spínací prvky – tranzistory přivádějící napájení ke katodám segmentovek. Oba signály spínají stejné digitální PNP tranzistory BCR183 [23], i když ve schématu jsou pro

signál CA[08:15] označeny jinak, což by mohlo být zavádějící. Digitální tranzistor (angl. resistor - equipped transistor) obsahuje na čipu integrované tzv. „bias rezistory“ pro nastavení vhodného pracovního bodu tranzistoru, jak ukazuje obrázek obr. 3.2.2-2.



Obr. 3.2.2-2 Zapojení spínacích tranzistorů

Signály DISP[0:4] zajišťují napájení segmentovek. Jsou napojeny přes komplementární zapojení tranzistorů na spojené katody diodových segmentů. Komplementární zapojení tranzistorů (viz. obr. 3.2.2-2) tvoří zmíněné digitální PNP tranzistory, které jsou svými kolektory propojeny na báze NPN tranzistorů řady BSR14 [24] schopných dodat kolektorový proud až 500mA. Tyto tranzistory připojují společnou katodu segmentovek na potenciál země. Signály CA[08:15] rozsvěčují logickou „1“ segmenty displeje. Opět jsou propojeny přes báze digitálních PNP tranzistorů na jednotlivé anody segmentovek.

Protokol mezi oběma mikrokontroléry je speciálně upraven firmou Hameg a podrobnosti nebyly vývojáři sděleny.

3.2.3 Posuvné registry

Jedná se o dva totožné osmibitové posuvné registry NXP 74HC595 [25] (IC302 a IC303) propojené do kaskády. Jsou vybaveny datovými registry s osmi paralelními třístavovými výstupy a oddělenými hodinami. Jejich význam spočívá v řízení rozsvěcování LED diod při přepínání frekvenčních rozsahů, průběhů a parametrů rozmítání (sweep).

Tabulky tab. 3.2.3-1 pro IC302 a tab. 3.2.3-2 pro IC303 seznamují se zapojením jednotlivých pinů obou posuvných registrů.

Piny	Popis
1	Q1 výstup na LED302 - trojúhelníkový průběh
2	Q2 výstup na LED303 - sinus průběh
3	Q3 výstup na LED305 - rozsah kHz
4	Q4 výstup na LED304 - rozsah Hz

Piny	Popis
5	Q5 výstup na LED306 - rozsah mHz
6	Q6 výstup na LED307 - sweep čas sec
7	Q7 výstup na přepínač průběhů, připojen na negovaný signál ITC pro mikrokontrolér IC12
8	GND, propojen s pinem 13 (negovaný OE)
9	Q7S, výstup sériových dat propojen s pinem 14 (sériový vstup) druhého posuvného registru (IC303)
10	negovaný MR, master reset - připojen přes C13 k zemi
11	SHCP, přiveden signál CLK od konektoru SW1-8
12	STCP, přiveden signál RCK od konektoru SW1-3
13	negovaný OE, připojen ke GND
14	DS, přiveden signál DATA od konektoru SW1-5
15	Q0 výstup na LED301 - obdélníkový průběh
16	Ucc = +5V

Tab. 3.2.3-1 Pinout posuvného registru IC302

Řídící signály DATA, CLK, RCK už byly mnohokrát popisovány v několika předchozích kapitolách (např. 2.2.2, 3.1.1 a 3.2.1), proto zde bude uvedena pouze stručná rekapitulace. Nejvíce pozornosti si zaslouží signál RCK přivedený k pinům 12 (angl. STCP - Storage Register Clock Input) – hodinový signál pro datové registry. Jeho význam i charakteristika je velmi podobná hodinovému signálu CLK pro posuvné registry. Signál RCK však na rozdíl od CLK nereaguje na přeladění frekvence. Všechny ostatní změny nastavení přístroje jako např. přepínání rozsahů, nastavení parametrů rozmítání (sweep) apod. jsou tímto signálem detekovány – je vyslána patřičná série pulzů do „1“. Jinak je signál RCK trvale v „0“, stejně jako v případě CLK.

Piny	Popis
1	Q1 výstup na LED309 - stop frekvence sweepu
2	Q2 výstup na LED310 - čas sweepu
3	Q3 výstup na přepínač sweepu, připojen na negovaný signál ITC pro mikrokontrolér IC12
4	Q4 výstup na levý přepínač pro změnu frekvenčního rozsahu, připojen na negovaný signál ITC pro mikrokontrolér IC12
5	Q5 výstup na pravý přepínač pro změnu frekvenčního rozsahu, připojen na negovaný signál ITC pro mikrokontrolér IC12
6	Q6 výstup na LED311 - pulzní průběh, dále negovaný signál PULSE pro ovládání multiplexorů předzesilovače

Piny	Popis
7	nevyužitý
8	GND, propojen s pinem 13 (negovaný OE)
9	nevyužitý
10	negovaný MR, master reset - připojen přes C12 k zemi
11	SHCP, signál CLK propojen s pinem 11 prvního posuvného registru (IC302)
12	STCP, signál RCK propojen s pinem 12 prvního posuvného registru (IC302)
13	negovaný OE, připojen ke GND
14	DS, vstup sériových dat propojen s pinem 9 (sériový výstup) prvního posuvného registru (IC302)
15	Q0 výstup na LED308 - start frekvence sweepu
16	Ucc = +5V

Tab. 3.2.3-2 Pinout posuvného registru IC303

Všechny LED diody indikující dané nastavení přístroje jsou rozsvěcovány logickou „0“ a zhasínány logickou „1“. To je obvyklé zapojení, protože vývody brány posuvného registru při logické „0“ mohou přijmout mnohem větší proud, než jaký dodávají při logické „1“. Negovaný signál PULSE (pozn. z katody LED311) je zaveden konektorem SW1-11 do bloku předzesilovače jako signál pro přepínání výběrových vstupů některých multiplexorů.

Negovaný signál ITC informuje master mikrokontrolér IC12 o sepnutí příslušného přepínače logickou sekvencí obsahující „1“ a „0“ např. pro přepínač průběhů (označený jako FORM) platí sekvence „1000“.¹ Zapojení těchto přepínačů spolu s diodami (D303, D307, D301, D302) odpovídá v diodové logice logickému součinu AND. Jeho význam spočívá v případě držení některého z přepínačů v sepnutém stavu nebo stisknutí více přepínačů na jednou, přístroj nereaguje po tuto dobu na jakémkoliv sepnutí dalšího přepínače, neboť signál ITC je nadále trvale v „0“. Konektorem SW1-6 je přiveden k pinu 14 (negovaný INT0) master mikrokontroléru IC12.

Princip činnosti posuvného registru je jednoduchý. Data jsou posouvána na náběžnou hranu hodinového signálu CLK. Následně jsou na náběžnou hranu RCK převedena do datového registru a na paralelních výstupech se objeví kdykoliv je negovaný pin OE v „0“. V uvedeném případě je ale OE trvale v „0“ neboť je propojen s pinem GND, proto data

¹ Měřeno paralelní logickou sondou MSO. Trigger nastaven na signál RCK. Obtížné měření, výsledky nutné brát s rezervou (přepínač FORM – 1000, TIME – 0100, LEFT – 0010, RIGHT – 0001). Odpovídá časově odstupňovaným přepínačům a vysvětluje význam AND.

nejsou tímto signálem nijak ovlivňována. Data se na výstupech objeví až po úplném naplnění obou datových registrů a s náběžnou hranou RCK. Zmíněná činnost je podmíněna správným časováním obou hodinových signálů RCK a CLK v poměru 1:16. Asynchronní reset pro posuvné registry je pak aktivní vždy v „0“.

3.2.4 Konektory

Konektor SW1 nebude znovu popisován, neboť se jedná o protikus ke konektoru SW2 představeném v podkapitole 3.1.2. s identickým provedením.

Konektor J2 propojuje blok předzesilovače s čelním panelem. Tabulka tab. 3.2.4-1 vyznačuje jeho zapojení.

Pin	Popis
1	AGND
2	AGND
3	regulace amplitudy P301
4	AGND
5	AGND
6	+12V
7	-12V
8	regulace offsetu P302 (signál OFFSET)

Tab. 3.2.4-1 Pinout konektoru J2

Signál přiváděný z výstupu bloku předzesilovače na pin 3 konektoru J2 je dále zaveden na potenciometr P301 (1k Ω) nastavující amplitudu zvoleného průběhu. Z jezdcy potenciometru je zaváděn signál AMPLIIN přímým propojením resp. vodivou cestou na vstup výkonového zesilovače. Pin 1 potenciometru je připojen k pasivnímu filtru RC typu dolní propust utlumujícího nežádoucí vyšší frekvence.

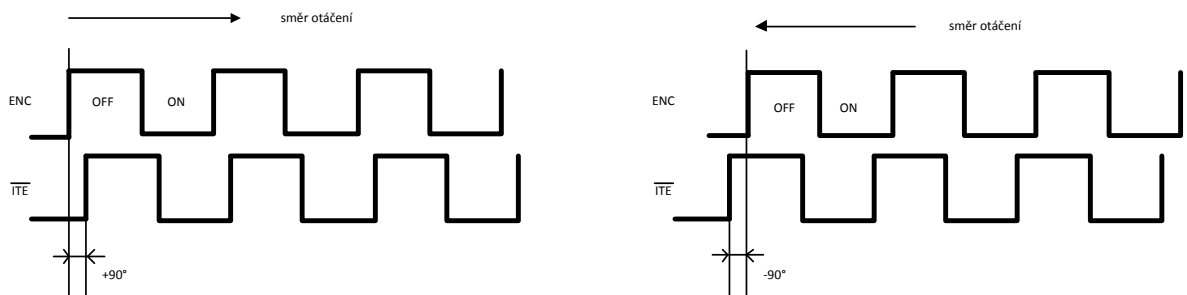
Pinem 8 z konektoru J2 je zaváděn signál OFFSET do předzesilovače, kde probíhá nastavování střidy pulzního průběhu pomocí komparátoru. Výstup ze spínače (SW304) povolujícího zapnutí regulace offsetu případně šířky pulzu pro pulzní průběh je zaveden na jezdec potenciometru P302 (10k Ω). Zbývající piny 1 a 3 potenciometru jsou připojeny na napětí $\pm 12V$ přivedené rovněž z konektoru J2.

3.2.5 Výstupy, přepínače, tlačítka

Čelní panel přístroje lze rozdělit na digitální a analogovou část. Do digitálního bloku je možné zařadit téměř všechny signály (pozn. až na signál SQUARE) přenášené konektorem

SW1 tj. pro nastavení frekvence, sweep parametrů, řízení přepínání frekvenčních rozsahů, průběhů i LED diod informujících o zvolené konfiguraci přístroje a v neposlední řadě i ovládání sedmissegmentového displeje. Do analogového bloku jsou uvažovány nejen signály přivedené konektorem J2 tj. pro regulaci amplitudy a offsetu, ale i oba BNC konektory s klasickým 50Ω a TTL trigger výstupem.

Digitální blok byl popisován v předchozích podkapitolách, převážně v podkapitole 3.2.3 o posuvných registrech, proto bude text doplněn pouze o několik důležitých poznatků. Nastavení frekvence je zajištěno pomocí rotačního mechanického inkrementálního snímače polohy označeného ve schématu jako ENCOD1 – typ PEC16 [26]. Jeho rozlišení je 24 otáček na periodu, výstupní informace je nesena ve dvoubitovém Grayově kódu. Výstupem ze snímače jsou dva obdélníkové signály A (ve schématu pojmenovaný ENC) a B (negovaný ITE) posunuté vzájemně o 90 elektrických stupňů a přiváděné konektorem SW1 (pozn. ENC SW1-10, ITE SW1-9) k master mikrokontroléru IC12. Zpracováním signálu ENC lze získat informaci o rychlosti otáčení, pomocí druhého signálu – negovaný ITE je možné podle sekvence stavů generovaných oběma signály resp. kanály rozeznat i směr otáčení. Princip znázorňuje obrázek obr. 3.2.5-1. Negovaný signál ITE je k master mikrokontroléru IC12 veden přes pasivní RC filtr a dva hysterezní členy resp. Schmittovy klopné obvody [27] sloužící k úpravě tvaru impulzů.



Obr. 3.2.5-1 Princip detekce směru otáčení

Konektor J2 byl již představen v předchozí podkapitole 3.2.4, proto zde nebude znovu popisován.

TTL trigger výstup byl charakterizován v podkapitole 2.1.2. TTL kompatibilní obdélníkový průběh přenášený signálem SQUARE není vytvářen master mikrokontrolérem IC12, ale čistě analogově komparátorem v bloku syntézy trojúhelníku a následně přiveden jako signál FRQ na hradlo kombinační logiky (IC111) v řídicí části přístroje. Na BNC

konektor J302 je signál SQUARE přiveden opět přes čtyři Schmittovy klopné obvody zlepšující strmost hran obdélníkového průběhu a 50Ω odpor.

Klasický 50Ω signálový výstup byl uveden v podkapitole 2.1.1. Signál AMPLIOUT z výstupu výkonového zesilovače je propojen přímo vodivou cestou přes dva spínače na BNC konektor J301. Oba zmíněné spínače jsou přivedeny na pasivní fixní atenuátory tvořené sérioparalelní kombinací odporů. Lze je používat separátně a každý z nich disponuje útlumem 20 dB. Spolu s potenciometrem pro regulaci amplitudy lze tak dosáhnout maximálního útlumu 60dB.

3.3 Syntéza trojúhelníkového průběhu

Blok syntézy trojúhelníku je z hlediska funkčnosti nejdůležitějším v přístroji. Z generovaného trojúhelníkového průběhu jsou pak odvozeny všechny další vytvářené průběhy. Zkreslením trojúhelníku dojde k znehodnocení všech dalších průběhů, proto je třeba tomuto bloku věnovat náležitou pozornost.

V následujících podkapitolách budou podrobněji představeny jednotlivé bloky z blokového schématu na obrázku obr. 2.2.3-1.

3.3.1 D/A převodník

O D/A převodníku bylo již hodně zmíněno v podkapitole o blokovém schématu syntézy trojúhelníku (viz. 2.2.3), proto zde bude nově uvedeno pouze několik informací o generování rozmítání resp. sweepu a dále detailů upřesňující dané zapojení.

Čtrnáctibitový D/A převodník IC11 od firmy Maxim s označením MX7538 [28] je založen na architektuře rezistorové sítě R/2R. Je nastavován signály F[0:12] od master mikrokontroléru IC12, z čehož vyplývá využití pouze 13 bitů – vstup D0 je propojen se zemí. Signál CKRAMP (pin 20) je zaveden na negovaný vstup LDAC (angl. Load – DAC) a propojen s DAC registrem. Jedná se o asynchronní kontrolní vstup pro nahrání dat aktivní v „0“. Další kontrolní vstupy – negovaný WR (angl. write – zápis) a CS (angl. chip select – výběrový vstup) jsou rovněž aktivní v „0“. Jsou spojeny dohromady a trvale propojeny se zemí. Činnost těchto vstupů je pro ilustraci shrnuta v tabulce tab. 3.3.1-1.

Kontrolní vstupy			Popis funkce
CS	LDAC	WR	
0	1	0	Nahrání dat do vstupního registru.
1	0	X	Nahrání dat do DAC registru ze vstupního registru.
0	0	0	Vstupní a DAC registr jsou transparentní.
1	1	X	Žádná operace.
X	1	1	Žádná operace.

Tab. 3.3.1-1 Popis funkce kontrolních vstupů

Význam D/A převodník tkví v převádění digitální informace o zvolené frekvenci na binárně odstupňované proudy, které jsou zaváděny z výstupu převodníku do bloku nazvaného dle datasheetu – operační zesilovače pro bipolární funkci převodníku. Je složen z celkem dvou operačních zesilovačů obsažených v jednom pouzdře [29], z nichž první (IC108-B) je zapojen jako invertující integrátor a druhý (IC108-A) jako sumátor. Záporný (invertující) vstup integrátoru je propojen s pevným referenčním napětím D/A převodníku +5V (pin 1) a s externím FM vstupem (PT104) popisovaným v podkapitole 2.1.4. Integrátor je (pozn. dle povahy napětí na FM vstupu) tímto napětím rozladován. Záporné napětí na jeho výstupu pak v daném rozsahu od $U = -0,8V$ pro f_{\min} do $U = -5,1V$ pro f_{\max} odpovídá zvolené frekvenci. Zpětnovazební rezistor R102 slouží k uzavření smyčky kolem externího operačního zesilovače resp. integrátoru. Výstup z integrátoru je zaveden přes ochrannou diodu D101 (pozn. zabraňuje vytvoření kladné zpětné vazby) na invertující vstup sumátoru. Ten sčítá napětí z výstupu integrátoru se záporným napájecím napětím -12V. Výstupní kladné napětí je opět úměrně nastavené frekvenci v rozmezí od $U = 4,9V$ pro f_{\min} do $U = 0,35V$ pro f_{\max} . Napětí na výstupu sumátoru bylo ověřeno výpočtem (viz. vztahy 3.3.1-1 až 3.3.1-3). Následně je zavedeno na kladný (neinvertující) vstup operačního zesilovače (IC3-B) z bloku interního generátoru trojúhelníku.

$$U_0 = -R_{110} \cdot \left(\frac{U_{in}}{\frac{R_{43} \cdot R_{118}}{R_{43} + R_{118}}} + \frac{U_{max/min}}{R_{112}} \right) - U_{D101} \quad (3.3.1-1)$$

$$U_0 = -10000 \cdot \left(\frac{-12}{\frac{(6,81 \cdot 10^6)^2}{(2 \cdot 6,81 \cdot 10^6)}} + \frac{-5,1}{9310} \right) - 0,6 = 4,9V \quad (3.3.1-2)$$

$$U_0 = -10000 \cdot \left(\frac{-12}{\frac{(6,81 \cdot 10^6)^2}{(2 \cdot 6,81 \cdot 10^6)}} + \frac{-0,8}{9310} \right) - 0,6 = 0,35V \quad (3.3.1-3)$$

Generování rozmítání resp. sweepu je řešeno programově master mikrokontrolérem IC12. Frekvence je opět kontrolována stejným D/A převodníkem IC11. V případě volby rozmítání jsou master mikrokontrolérem IC12 posílány inkrementální kódy po signálech F[0:12] na vstupy D/A převodníku IC11. Rozmítání má jednu zásadní vlastnost. Lze ho aplikovat pouze na jednom frekvenčním rozsahu. Důvod je jednoduchý – přepínání nabíjecích kondenzátorů v blocích pro změnu frekvenčních rozsahů by způsobovalo záškrt a nelinearity rozmítaného signálu. Limitem je i poměr frekvencí f_{\max}/f_{\min} kvůli rozlišení D/A převodníku IC11 (viz. kap. 2.1.3). Více informací o měření rozmítání je uvedeno v podkapitole o výstupním testování modulu (viz. kap. 4.3.4).

3.3.2 Interní trojúhelníkový generátor

Blok interního trojúhelníkového generátoru lze ve spojení s komparátorem pochopit jako relaxační generátor. Zdroje akumulární energie jsou proudové zdroje tvořené operačními zesilovači (IC3-A, IC3-B, IC4-B, CN1) a tranzistory na jejich výstupech (T101, T103, T105, T104). Samostatně bude charakterizován proudový zdroj (IC4-A) pro obvod NE555 (viz. kap. 3.3.4). Jako akumulární prvky vystupují kondenzátory (C114, C110, C117) pro nastavení rozsahů nad 5kHz resp. kondenzátor (C115) pro rozsahy pod 5kHz. Spínací prvek zastupuje tranzistor (T102). Ve funkci komparátoru je použit rychlý komparátor s hysterezí (IC107-B).

Proudové zdroje s příslušnými kondenzátory představují integrační část relaxačního generátoru. Kondenzátory jsou dle zvoleného frekvenčního rozsahu nabíjeny a vybíjeny konstantním proudem. Dle smyslu integrace jsou možné dva následující stavy:

1) V okamžiku přechodu komparátoru z $-U_{\text{SAT}}$ do $+U_{\text{SAT}}$ dosáhlo výstupní napětí integrátoru dolní překlápěcí úrovně hysterezního komparátoru, napětí na příslušném kondenzátoru stoupá.

2) V opačném případě tj. při přechodu komparátoru z $+U_{\text{SAT}}$ do $-U_{\text{SAT}}$ dosáhlo výstupní napětí integrátoru horní překlápěcí úrovně, změní se smysl integrace a napětí na příslušném kondenzátoru klesá.

Jejich přepínání je zajištěno spínacím tranzistorem (T102) ovládaným dvoustavovým výstupem komparátoru (IC107-B). Trojúhelníkový průběh z výstupu integrační části relaxačního generátoru je pak k dispozici na vodivé cestě ve schématu označené jako S172. Z výstupu komparátoru je odebráno obdélníkové napětí s amplitudou $\pm 5V$ a přiváděno signálem FRQ na vstup kombinační logiky (IC111-A).

Blok s proudovými zdroji je nutné ještě podrobněji popsat. Neinvertující vstup IC3-B je propojen s výstupem ze sumátoru IC108-A. Na jeho vstupu dochází ke změně napětí při přeladování frekvence v rozmezí od $U = 4,9V$ pro f_{\min} až po $U = 0,35V$ pro f_{\max} na zvoleném frekvenčním rozsahu. Odporový dělič na vstupu bloku s proudovými zdroji se skládá ze třech stejných rezistorů (R2, R103, R113) a připomíná analogii s vnitřní strukturou obvodu NE555. Rozděluje napájecí napětí v následujících poměrech: na neinvertujícím vstupu IC4-B odpovídá $U = +11,5V$ pro f_{\min} a $U = +7V$ pro f_{\max} . Obdobné platí i pro neinvertující vstup CN1, akorát se jedná o záporné napětí $U = -11,5V$ pro f_{\min} a $U = -7V$ pro f_{\max} . Operační zesilovač CN1 je navíc v zapojení s kompenzací vstupního offsetu potenciometrem VR104. Podobnou úlohu plní i potenciometr VR101 (viz. kap. 4.2.3 o kalibraci interního obdélníkového průběhu). Proudová cesta pro nabíjení kondenzátorů je vedena od +12V zdroje přes T105, spínací tranzistor T102 až ke kondenzátorům bloků pro nastavení rozsahů. Při vybíjení kondenzátorů je proudová cesta vedena opět ke spínacímu tranzistoru T102, přes T104 do potenciálu -12V. Více o blocích pro nastavení rozsahů bude uvedeno v následující podkapitole.

3.3.3 Bloky pro nastavení rozsahů

Bloky pro nastavení a přepínání frekvenčních rozsahů jsou poměrně komplikované a teoreticky je lze rozdělit na tři významné části: blok s obvodem NE555 pro $f < 20Hz$ (viz. kap. 3.3.4), blok pro $f < 5000Hz$ a konečně blok pro $f > 5000kHz$ budou popsány v této podkapitole. Tabulka tab. 3.3.3-1 představuje signály GAM[0:4] od master mikrokontroléru IC12 pro ovládání výběrových vstupů multiplexorů resp. demultiplexorů a tranzistorů.

Mikrokontrolér IC 12					
Piny	5	6	7	8	19
GAM	0	1	2	3	4
200 mHz	L	L	H	H	X
2 Hz	L	L	L	H	X
20 Hz	H	L	L	H	H
200 Hz	L	H	L	H	H
2000 Hz	H	H	L	H	H
20 kHz	H	L	H	L	H
200 kHz	L	H	H	L	H
2000 kHz	H	H	H	L	H

Tab. 3.3.3-1 Tabulka GAM signálů

Signály GAM[0:1] jsou přivedeny na báze tranzistorů T111 a T112 a dále pak na výběrové vstupy demultiplexoru IC106. Jednotlivé kondenzátory C117, C114 a C110 jsou váhově odstupňovány po dekádách ($C117 = 10 C114 = 100 C110$). Vysokou úroveň H jsou tranzistory T111 a T112 otevřeny a dle zvoleného rozsahu vybrán příslušný kondenzátor např. pro rozsah 20kHz je signál GAM0 v H a nabíjeny budou kondenzátory C114 a C110.² Nízkou úroveň L jsou tranzistory uzavřeny a připojeny k potenciálu +5V. Ač to na první pohled nevypadá, tento blok zajišťuje pouze frekvenční rozsahy nad 5kHz tj. pro 20kHz, 200kHz a 2000kHz.

Blok pro $f < 5000\text{Hz}$ je tvořen demultiplexorem IC106 s architekturou 2x4 přepínaných kanálů [30] ovládaným signály GAM[0:2], odporovou sítí, nabíjecím kondenzátorem C115 a operačním zesilovačem IC5. U demultiplexoru je využita pouze horní větev s kanály X0 až X3, dolní větev Y0 až Y3 je trvale připojena k zemi. Princip přepínání demultiplexoru je přehledně vyznačena v tabulce tab. 3.3.3-2.

Demultiplexor IC106				
Piny	6	9	10	-
GAM	2	1	0	výstup
2 Hz	L	L	L	X0
20 Hz	L	L	H	X1
200 Hz	L	H	L	X2
2000 Hz	L	H	H	X3

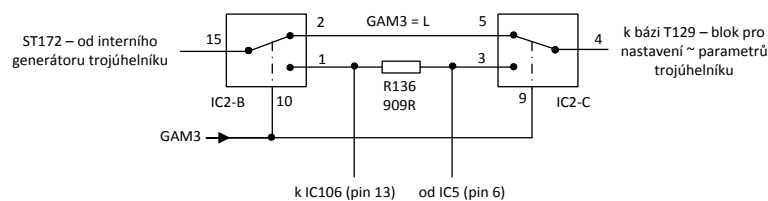
Tab. 3.3.3-2 Princip přepínání rozsahů demultiplexorem IC106

² Obdobně platí i pro rozsah 200kHz – GAM1=H, nabíjen bude C117. Při rozsahu 2000kHz GAM[0:1]=H nabíjeny budou všechny tři kondenzátory (C114, C110, C117).

Signál GAM2 je přiveden na pin 6 (angl. Enable) aktivní v nízké úrovni L. Tato skutečnost vysvětluje, proč je popisovaný blok funkční pouze pro uvedené čtyři rozsahy. U ostatních rozsahů je signál GAM2 ve vysoké úrovni H a je tak pinem 6 blokován. Signály GAM[0:1] jsou zavedeny na výběrové vstupy demultiplexoru.

Operační zesilovač IC5 [31] je zapojen jako napěťový sledovač. Plní především roli impedančního převodníku. Snižuje vysoký vstupní odpor $R_{107} = 10\text{M}\Omega$ na malou výstupní impedanci. Kompenzace vstupního offsetu potenciometrem VR106 je obdobná jako v případě proudového zdroje s CN1. Více o ní je uvedeno v podkapitole 4.2.3 o kalibraci.

Přepínání mezi popisovanými bloky pro nastavení frekvenčních rozsahů $f < 5000\text{Hz}$ a $f > 5000\text{Hz}$ je řešeno multiplexorem IC2 [32], jehož provedení znázorňuje schéma na obrázku obr. 3.3.3-1.



Obr. 3.3.3-1 Provedení multiplexoru IC2

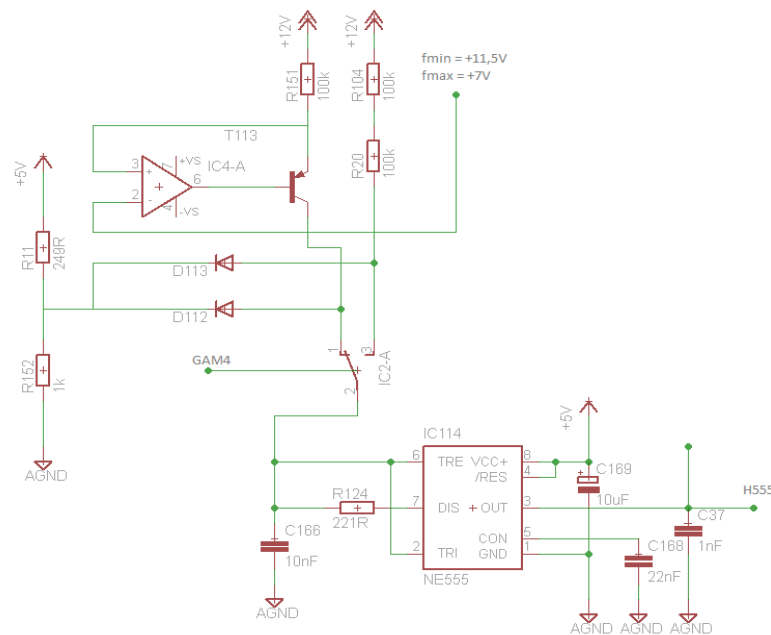
Na výběrový vstup (piny 9 a 10) multiplexoru IC2 je přiveden signál GAM3, který je kromě třech posledních nejvyšších frekvenčních rozsahů vždy ve stavu H (viz. tab. 3.3.3-1). Jeho vstup (pin 15) je propojen s blokem interního generátoru trojúhelníku a blokem pro nastavení rozsahů $f > 5000\text{Hz}$. Horní větev multiplexoru (mezi piny 2 a 5) je vodivá pouze, pokud je signál GAM3 v nízké úrovni L tj. pro poslední tři nejvyšší frekvenční rozsahy. Analogicky pro ostatní rozsahy tj. $\text{GAM3} = \text{H}$ bude vodivá dolní větev multiplexoru (mezi piny 1 a 3). Výstup (pin 4) je propojen s bází tranzistoru T129 v bloku pro nastavení ~ parametrů trojúhelníku (resp. jeho amplitudy).

3.3.4 Obvod NE555

Známý časovací obvod NE555 [33], ve schématu označený jako IC114, je zapojen jako napětím řízený oscilátor (angl. Voltage Controlled Oscillator – dále jen VCO). Jeho hlavní význam spočívá v měření nízkých frekvencí do $f \leq 20\text{Hz}$ tj. pro dva nejnižší frekvenční rozsahy. Na rozdíl od vyšších frekvenčních rozsahů nelze frekvenci získávat přímo pomocí 10 MHz krystalu, poněvadž by měření trvalo příliš dlouho. VCO je sice laděno stejným

napětím jako interní generátor trojúhelníku, ale je provozováno na násobné frekvenci³. Signálem H555 z výstupu VCO je pak zajištěna zpětná vazba s master mikrokontrolérem IC12, který provede přepoččet frekvence na hodnotu zobrazovanou na sedmissegmentovém displeji čelního panelu.

Následující obrázek obr. 3.3.4-1 vystihuje pro přehlednost kompletní schéma zapojení bloku s obvodem NE555.



Obr. 3.3.4-1 Kompletní zapojení obvodu NE555

Operační zesilovač IC4-A je zapojen obdobně jako proudový zdroj v bloku interního generátoru trojúhelníku (viz. kap. 3.3.2) s výstupním tranzistorem T113. Na neinvertující vstup je přiváděno napětí úměrné změně frekvence v rozsahu od $U = +11,5\text{V}$ pro f_{\min} do $U = +7\text{V}$ pro f_{\max} . Druhý napájecí zdroj je připojen k potenciálu +12V přes dva totožné sériové rezistory R20 a R104. Diodový omezovač z diod D112 a D113 se uplatňuje, pokud napětí překročí +5V. Je to jistá ochrana pro obvod NE555, který je právě napájen nesymetricky napětím +5V – GND.

Multiplexor IC2-A zajišťuje přepínání mezi oběma zdroji. Jeho význam souvisí s kalibrací VCO (pozn. přesný důvod přepínání nebyl zjištěn – zdrojový kód není k dispozici). Na výběrový vstup (pin 11) je přiveden signálem GAM4 obdélníkový průběh s amplitudou +5V a frekvencí $f = 3,8\text{Hz}$. Ke vstupům multiplexoru je připojen buď proudový zdroj

³ Měřením bylo zjištěno, že se jedná o 4000 násobek zvolené frekvence (řádově jednotky kHz). Nesouhlasí ale s poznámkami od techniků firmy Hameg.

(pin 13) – pak je kondenzátor C166 nabíjen konstantním proudem tj. lineárně, nebo je propojen s napěťovým zdrojem (pin 12) – poté je kondenzátor C166 nabíjen konstantním napětím (viz. printscreeny CD). Průběh na výstupu (pin 14) z multiplexoru připomíná pilu, díky velmi rychlému vybíjení přes rezistor R124 a interní nulovací tranzistor (pin 7 – Discharge) obvodu NE555. Přesněji, dosáhne-li napětí na kondenzátoru C166 hodnoty $2/3$ napájecího napětí $+5V$, změní se úroveň výstupního signálu na L a dochází k zmiňovanému vybíjení kondenzátoru přes nulovací tranzistor. Zmenší-li se vybíjením napětí na kondenzátoru C166 na $1/3$ napájecího napětí $+5V$, překlopí se interní komparátor a obvod NE555 se samočinně uvede znovu do začátku pracovního cyklu.

Netradiční zapojení obvodu NE555 jako VCO velmi připomíná provedení s astabilním multivibrátorem. Rozdíl je v možnosti řízení frekvence výstupního napětí v závislosti na řídicím napětí tj. zdroji popisovanými v předchozím odstavci. Zvýšení vstupního napětí se projeví snížením výstupní frekvence a naopak snížení vstupního napětí bude mít za následek zvýšení výstupní frekvence.

3.3.5 Komparátor a bloky pro nastavení trojúhelníkového průběhu

Komparátor s hysterezí IC107 od firmy Maxim s označením MAX9203 [34] je nedílnou součástí bloku relaxačního generátoru (viz. kap. 3.3.2), jehož dvoustavový výstup ovládá nepřímo (pozn. přes T106) spínací tranzistor T102. Výstup z komparátoru (pin 2) pojmenovaný jako FRQ je přiveden na vstup kombinační logiky IC111-A a dále propojen se signálem SQUARE vytvářejícím obdélníkový průběh pro TTL trigger výstup. Zároveň má master mikrokontrolér IC12 díky signálu FRQ zpětnou kontrolu o nastavené frekvenci (viz. kap. 3.1.1 o master mikrokontroléru IC12, obr. 3.1.1-1).

Na vstupy komparátoru (piny 6 a 7) jsou přiváděny signály z bloků pro úpravu trojúhelníkového průběhu nazvaných podle požadovaných parametrů v kalibraci. Jejich cílem je zajistit optimální trojúhelníkový průběh pro co nejnižší zkreslení sinového průběhu. Invertující vstup (pin 6) komparátoru je propojen s blokem pro nastavení amplitudy trojúhelníku. Potenciometr VR102 povoluje její regulaci nastavením konstantních hodnot (pozn. $U = \pm 0,57V$) prahových napětí komparátoru (viz. kap. 4.2.2). Kapacitní trimr VC101 provádí vlastní nastavení amplitudy trojúhelníku (viz. kap. 4.2.7). Tranzistory T129 a T107 tvoří dohromady zapojení připomínající Darlingtonův stupeň. Zajišťují odpovídající proudové zesílení a buzení pro dva shodné výstupní PNP tranzistory T109 a T128. Kombinace všech těchto tranzistorů je v provedení tzv. kvazi komplementárního stupně. Na vstup komparátoru

(pin 6) je pak přiváděn trojúhelníkový průběh o efektivní hodnotě $U = 577, 3\text{mV}$, s nulovým ss offsetem a stejnou fází, jaký je signálem TRI přenášen na vstup diodového tvarovače.

Na neinvertující vstup (pin 7) komparátoru je připojen blok pro nastavení ss offsetu. Potenciometrem VR103 se doladuje právě zmíněný ss offset obdélníkového průběhu na nulovou hodnotu (viz. kap. 4.2.2). Princip spočívá v proudovém řízení tranzistoru T110. Záporná amplituda obdélníkového průběhu je pevně stanovená hodnotou záporného prahového napětí $U = -0,57\text{V}$ určeného poměrem rezistorů R5/R120. Tranzistor T110 je otevřen, výstup komparátoru IC107-B dosáhnul záporné překlápěcí úrovně a diodou D103 ve zpětné vazbě je postupně uzavírán tranzistor T110. Kladná amplituda obdélníkového průběhu je získávána proudem dodaným tranzistorem T110 přes rezistor R5 a její hodnotu lze ovlivňovat potenciometrem VR103.

Výstup (pin 2) z komparátoru IC107-B je přiveden přes RC člen (R115 a C194) na emitor tranzistoru T106. Pokud je komparátorem dosažena horní překlápěcí úroveň, tranzistor T106 je uzavřen a na emitoru spínacího tranzistoru T102 se objeví napětí cca. $0,30\text{V}$ dané Schottkyho diodou D1. Probíhá vybíjení kondenzátorů (viz. kap. 3.3.2). V opačném případě po dosažení dolní překlápěcí úrovně komparátoru se otevře tranzistor T106 a jeho napětí na bázi je ovlivněno dvěma PN přechody diod D110 a D136 tj. cca. $3,8\text{V}$. Spínací tranzistor T102 je rovněž otevřen a kondenzátory jsou nabíjeny (opět viz. kap. 3.3.2).

Na blok syntézy trojúhelníku logicky navazuje blok předzesilovače. Oba bloky jsou propojeny výše popisovaným signálem TRI s diodovým tvarovačem.

3.4 Předzesilovač

Blok předzesilovače obsahuje multiplexory, kombinační logiku, zesilovací stupeň, ale i např. diodový tvarovač zajišťující vytváření sinového průběhu. V následujících podkapitolách budou podrobněji představeny všechny výše zmíněné části a komponenty. Opět bude vycházeno z blokového schématu na obrázku obr. 2.2.4-1.

3.4.1 Diodový tvarovač

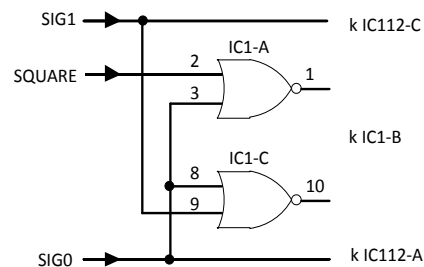
Diodový tvarovač patří ke stěžejnímu bloku v předzesilovači. Upravuje trojúhelníkový průběh na harmonický sinusový průběh. Je tvořen rychlými spínacími diodami typu BAS16L [35] v SMD provedení a vhodně odstupňovanými rezistory.

Na vstup tvarovače je přiváděn trojúhelníkový průběh bez překmitů, nulovým ss offsetem a efektivní hodnotou $U = 577\text{mV}$. Tvarování na sinus je rozděleno do tří úseků pro kladnou

(D114, D116, D118) i zápornou (D115, D117, D119) část. Využívá se příznivých vlastností diod pro aproximace průběhů, neboť dioda se neotevře náhle, ale postupně dle kolena voltampérové charakteristiky. Trojúhelníkový průběh je pak postupně utlumován vždy po 30°, kde je přibližně přímo úměrný sinovému průběhu. Na výstupu z diodového tvarovače jsou pak obě části průběhu sečteny pomocí dvou diod (D120 a D121). Výstupní pasivní RL filtr tvořený indukčností L101, rezistorem R155 a potenciometrem VR108 omezuje nežádoucí špičky a zvlnění sinového průběhu. Potenciometry VR108 a VR109 se zároveň upravuje zkreslení na požadovanou hodnotu (viz. kap. 4.2.5). NTC termistor RT1 slouží ke stabilizaci amplitudy sinového průběhu. Výstup z bloku tvarovače je zaveden na multiplexor IC112-C popisovaný v podkapitole o koncovém stupni (viz. kap. 3.4.5).

3.4.2 Kombinační logika

Kombinační logika je reprezentována členy NAND – negovaný logický součin [36] a NOR – negovaný logický součet [37] v integrovaném provedení. V předzesilovači plní roli např. blokování (viz. vstup LATCH komparátoru IC6) nebo upravují signál pro výběrový vstup multiplexoru (viz. multiplexor IC112-C). Schéma na obr. 3.4.2-1 znázorňuje zapojení první části logických členů.



Obr. 3.4.2-1 Kombinační logika IC1- zapojení

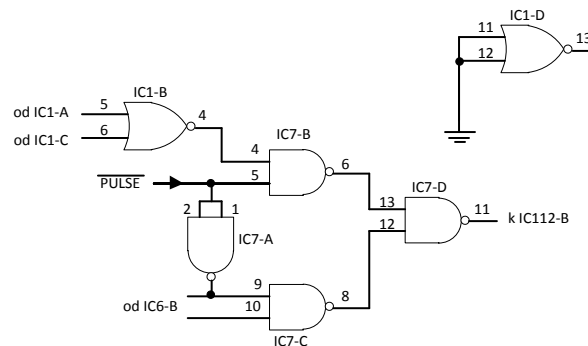
Signály SIG[0:1] jsou přiváděny od master mikrokontroléru IC12, signál SQUARE je propojen se signálem FRQ z výstupu komparátoru IC107 a je jím přenášen obdélníkový průběh pro „trigger“ výstup na čelním panelu. Činnost kombinační logiky lze nejlépe a nejpřehledněji charakterizovat tabulkou tab. 3.4.2-1.

piny	IC1-A			
	sinus	trojúhelník	obdélník	pulz
2	obdélník	obdélník	obdélník	obdélník
3	1	1	0	0
1	0	0	obdélník	obdélník

piny	IC1-C			
průběh	sinus	trojúhelník	obdélník	pulz
8	1	1	0	0
9	0	1	1	1
10	0	0	0	0

Tab. 3.4.2-1 Činnost kombinační logiky IC1

Výstup z IC1-A (pin 1) typu NOR je stejně jako v případě IC1-C (pin 10) zaveden na vstup dalšího hradla IC1-B (piny 5,6). Výstup z IC1-C je trvale pro všechny průběhy v „0“, proto je navíc propojen se vstupem EN (angl. Enable) multiplexoru IC112 aktivním právě v „0“. Na předchozí zapojení kombinační logiky navazuje schéma na obr. 3.4.2-2.



Obr. 3.4.2-2 Kombinační logika IC1 a IC7 – zapojení

Negovaný signál PULSE je přiváděn z posuvného registru IC303 od čelního panelu přes konektor SW1-11. Hradlo typu NOR IC7-D je nevyužité. Jeho vstupy (piny 11,12) jsou spojeny se zemí, aby se zabránilo pronikání signálů od okolních obvodů vlivem kapacitních vazeb. Činnost kombinační logiky je opět shrnuta v tabulce tab. 3.4.2-2.

piny	IC1-B			
průběh	sinus	trojúhelník	obdélník	pulz
5	0	0	obdélník	obdélník
6	0	0	0	0
4	1	1	obdélník	obdélník
piny	IC7-B			
průběh	sinus	trojúhelník	obdélník	pulz
4	1	1	obdélník	obdélník
5	1	1	1	0
6	0	0	obdélník	1

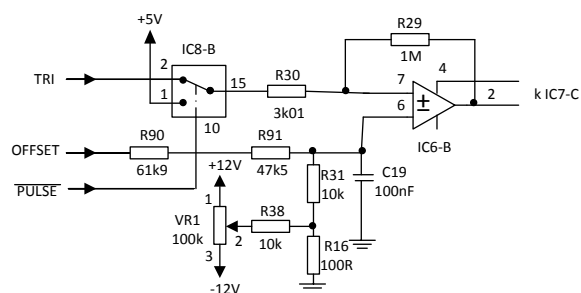
piny		IC7-A			
průběh	sinus	trojúhelník	obdélník	pulz	
1	1	1	1	0	
2	1	1	1	0	
3	0	0	0	1	
piny		IC7-C			
průběh	sinus	trojúhelník	obdélník	pulz	
9	0	0	0	1	
10	0	0	0	obdélník	
8	1	1	1	obdélník	
piny		IC7-D			
průběh	sinus	trojúhelník	obdélník	pulz	
13	0	0	obdélník	1	
12	1	1	1	obdélník	
11	1	1	obdélník	obdélník	

Tab. 3.4.2-2 Činnost kombinační logiky IC1 a IC7

Hradlo IC7-A je zapojeno jako negace. Výstupní signál je zaveden na vstup LATCH komparátoru IC6 a zajišťuje jeho blokování pro všechny typy průběhů kromě pulzního (viz. kap. 3.4.3). Výstup z posledního hradla IC7-D je přiváděn na výběrový vstup multiplexoru IC112-B (viz. kap. 3.4.4).

3.4.3 Komparátor

Komparátor v bloku předzesilovače funguje obdobně jako impulzně – šířkový modulátor. Jedná se o známý obvod MAX9203 [34]. Celé zapojení komparátoru představuje schéma na obr. 3.4.3-1.



Obr. 3.4.3-1 Zapojení komparátoru IC6

Na výběrový vstup (pin 10) multiplexoru IC8-B je přiváděn negovaný signál PULSE (log. „1“ pro všechny průběhy kromě pulzního – „0“). Z toho vyplývá, že v případě volby pulzního průběhu je multiplexor přepnut do horní polohy (pin 2), na který je přiváděn pomocný trojúhelníkový průběh signálem TRI. Pro ostatní průběhy je multiplexor v dolní poloze (pin 1) trvale připojen k napětí +5V. Výstup (pin 15) je pak zaveden na neinvertující vstup (pin 7) komparátoru.

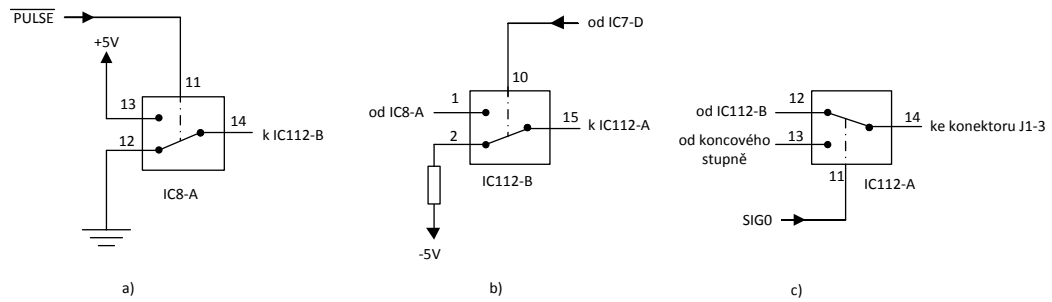
Komparátor IC6-B je proveden je v neinvertujícím zapojení a odpory R29 a R30 určují šířku hysterezního pásma dle následujícího vztahu:

$$U_H = \pm U_{SAT} \cdot \frac{R_{30}}{R_{29}} [V] \quad (3.4.3-1)$$

Na invertující vstup (pin 6) je přiváděn signál OFFSET z čelního panelu konektorem J1-8 s rozkmitem $\pm 1V$ dle polohy potenciometru pro regulaci offsetu na čelním panelu. Potenciometrem VR1 připojeným k napětí $\pm 12V$ se upravuje střída pulzního průběhu (viz. kap. 4.2.8). K signálu OFFSET je zaveden přes odporový T-článek. Jak již bylo uvedeno v podkapitole 2.2.4, okamžitá hodnota vstupního signálu OFFSET je porovnávána komparátorem s pomocným trojúhelníkovým signálem TRI. Komparátor plní funkci impulzně – šířkového modulátoru. Jednoduše řečeno: Nastavováním ss offsetu trojúhelníkového průběhu se reguluje střída pulzního průběhu resp. šířka pulzů. Komparátor je transparentní pouze pro pulzní průběhy. Pro ostatní průběhy je jeho neinvertující vstup trvale připojen přes dolní větev multiplexoru IC8-B k napětí +5V. Navíc je blokován vstupem „LATCH“ (pin 4) v log. „0“ tj. změny na vstupu komparátoru se nepřenášejí na jeho výstup. Ten je pak dále zaveden do kombinační logiky IC7-C popisované v předchozí podkapitole.

3.4.4 Nastavení parametrů obdélníku

Blok pro nastavení parametrů obdélníkového a pulzního průběhu se skládá z multiplexorů a laditelných prvků tj. potenciometrů a kapacitních trimrů. Zapojení multiplexorů je vyznačeno na obrázku obr. 3.4.4-1.



Obr. 3.4.4-1 Provedení multiplexorů IC8 a IC112

Na schématu a) je vyobrazeno provedení části multiplexoru IC8-A. Na výběrový vstup (pin 11) je přiváděn negovaný signál PULSE. Pro všechny typy průběhů kromě pulzního je multiplexor přepnut k napětí +5V (pin 13). V případě volby pulzního průběhu je spojen se zemí (pin 12). Výstup (pin 14) je veden k dalšímu multiplexoru IC112-B.

Provedení části multiplexoru IC112-B je vidět na schématu b). K výběrovému vstupu (pin 10) je přiváděn signál z výstupu kombinační logiky IC7-D popsané výše v podkapitole 3.4.2. Pro sinový a trojúhelníkový průběh je multiplexor přepnut k napětí -5V (pin 2). Při zvolení obdélníkového nebo pulzního průběhu je multiplexor přepnut do horní polohy (pin 1). Na jeho výstupu (pin 15) se pak objevuje obdélníkový průběh s překmity.

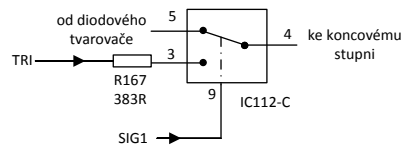
Na schématu c) je nakresleno zapojení části multiplexoru IC112-A. Výběrový vstup (pin 11) je propojen s master mikrokontrolérem IC12 (pin 13) a pojmenován jako signál SIG0. Pro obdélníkový a pulzní průběh zůstává multiplexor přepnut v horní poloze (pin 12) a na výstupu (pin 14) se objevuje zmiňovaný obdélníkový průběh s překmity. V případě volby trojúhelníkového nebo sinového průběhu je multiplexor přepnut k výstupu koncového stupně předzesilovače (pin 13) a na jeho výstupu (pin 14) je pak k dispozici buď trojúhelníkový, nebo sinový průběh. Výstup z IC112-A je vlastně výstupem z celého bloku předzesilovače a je zaveden přímo na konektor J1-3 k čelnímu panelu.

Mezi laditelné prvky patří dvojice potenciometrů a jeden kapacitní trimr. Pomocí potenciometru VR105 připojeného k napětí $\pm 12V$ se nastavuje nulový ss offset obdélníkového průběhu, potenciometr VR110 zase doladuje jeho amplitudu. Kapacitním trimrem se upravují dynamické parametry obdélníku. Konkrétně se jedná o nastavení doby náběhu a doběhu. Více o této problematice je uvedeno v kapitole o kalibraci (pozn. kap. 4.2.6).

3.4.5 Zesilovací stupeň s nastavením offsetu

Zesilovací stupeň pro sinový a trojúhelníkový průběh obsahuje rozdílový (diferenční) zesilovač s nastavením ss offsetu a koncový stupeň s proudovým buzením a teplotní

kompenzací pomocí diod. Na schématu na obr. 3.4.5-1 je znázorněno zapojení vstupního multiplexoru IC112-C.



Obr. 3.4.5-1 Provedení multiplexoru IC112-C

Na výběrový vstup (pin 9) multiplexoru IC112-C je zaveden signál SIG1 (log. „0“ pro sinus, jinak log. „1“) od master mikrokontroléru IC12. V případě volby sinového průběhu je multiplexor přepnut do horní polohy (pin 5) na výstup z bloku diodového tvarovače. Pokud je vybrán jiný průběh je multiplexor v dolní poloze (pin 3) a signálem TRI je k němu přiváděn trojúhelníkový průběh. Na výstupu (pin 4) je tak k dispozici sinus pro sinový průběh nebo trojúhelník pro ostatní průběhy. Při zvolení obdélníkového nebo pulzního průběhu je trojúhelník poškozen značnými překmity.

Diferenční stupeň je tvořen dvěma NPN tranzistory T114 a T115 a emitorovým odporem R171. K bázi tranzistoru T114 je připojen potenciometr VR111 pro nastavení ss offsetu trojúhelníku (viz. kap. 4.2.4).

Koncový stupeň je v dvojčinném zapojení s komplementárními tranzistory T116 a T117. Tranzistor T118 funguje jako říditelný proudový zdroj. Diody D124 a D125 jsou udržovány v propustném směru a proud jimi nesmí poklesnout pod určitou mez. Zároveň plní úlohu teplotní kompenzace. Emitorové rezistory R178 a R179 mají dva významy. Slouží jako dodatečná stabilizace pracovního bodu i jako omezovače zkratového proudu. Kvůli snižování výstupního výkonu, musí být značně menší než zatěžovací odpor R220. Výsledné napěťové zesílení celého stupně je 10, o čemž se lze přesvědčit měřeními na TP6 (pozn. efektivní hodnota trojúhelníku je 10x větší než na vstupu TRI). Výstup z koncového stupně je zaveden na vstup multiplexoru IC112-A popisovaného v předchozí podkapitole.

Pro zlepšení stability průběhů byly provedeny v bloku zesilovacího stupně následující změny. Rezistor R169 s hodnotou $R = 24,3\text{k}\Omega$ omezující spolu s R168 proud do báze tranzistoru T114 byl nahrazen rezistorem s hodnotou $R = 47,5\text{k}\Omega$. Fixní rezistor R58 o hodnotě $R = 150\Omega$ byl zaměněn za potenciometr o hodnotě $R = 200\Omega$ z důvodu možnosti dodatečného nastavení amplitudy sinu a trojúhelníku.

3.4.6 Konektor J1

Konektor J1 nebude znovu popisován, neboť se jedná o protikus ke konektoru J2 představeném v podkapitole 3.2.4. s identickým provedením.

3.5 Zesilovač

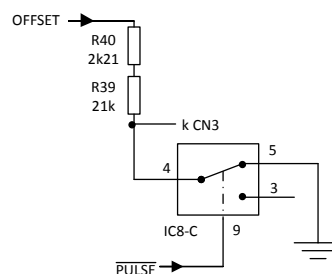
Hlavní význam koncového výkonového zesilovače je zesílení amplitudy zvoleného výstupního průběhu na požadované hodnoty tj. 10 Vpp v případě 50Ω zátěže, resp. 20Vpp naprázdno. Zapojení lze charakterizovat pojmem kompozitní zesilovač. Výhody spočívají v přesnosti a především rychlé odezvě. Výstupní signál AMPLIOUT je zaveden přímo na BNC konektor 50Ω signálového výstupu OUTF na čelním panelu.

V následující podkapitole bude představeno jeho provedení a bude vycházeno z blokového schématu uvedeného na obrázku obr. 2.2.5-1.

3.5.1 Výkonový zesilovač

Vstupní signál AMPLIIN je přiváděn na vstup výkonového zesilovače přímo vodivou cestou z čelního panelu od jezdce potenciometru P301 pro regulaci amplitudy (viz. kap. 3.2.4). Zároveň je přes tento potenciometr propojen i se signálem z výstupu předzesilovače (pozn. multiplexor IC112-A). Dalším potenciometrem VR107 na vstupu zesilovače se doladují maximální ploché vršky obdélníkového průběhu (viz. kap. 4.2.6). Tento potenciometr má ještě jeden důležitý význam, který bude vysvětlen dále v textu.

Na schématu na obr. 3.5.1-1 je znázorněno zapojení vstupního demultiplexoru IC8-C. Význam uvedeného demultiplexoru spočívá ve vypnutí možnosti nastavení offsetu pro pulzní průběh (pozn. u něj je možné měnit pouze střídu).



Obr. 3.5.1-1 Provedení demultiplexoru IC8-C

Na výběrový vstup (pin 9) je přiváděn negovaný signál PULSE (log. „1“ pro všechny průběhy kromě pulzního – log. „0“). Vstup (pin 4) je propojen se signálem OFFSET

(reaguje na změnu offsetu v rozmezí $\pm 1V$ dle nastavení potenciometru pro regulaci offsetu). Pro pulzní průběh je demultiplexor v horní poloze (pin 5) a trvale propojen se zemí. V případě volby jiného z průběhů je v dolní poloze (pin 3) spojen s nezapojeným výstupem demultiplexoru.

Signál OFFSET je též propojen se stejnosměrnou zpětnou vazbou vedenou z výstupu zesilovače na vstup operačního zesilovače CN3 (pozn. jedná se o stejný J-FET zesilovač jako v případě CN1). Tento operační zesilovač kontroluje a stabilizuje výstup přes výše zmíněnou zpětnou vazbu s rezistorem R35. Zesílení na nízkých frekvencích lze odvodit ze vztahu $R35/(VR107+R41+R95)$. Potenciometr VR107 je zde zahrnut z důvodu dorovnání zisku pro nízké frekvence se ziskem na vysokých frekvencích. Zesílení na vysokých frekvencích odpovídá poměru $R174/R240$ a je fixní. Jedinou alternativou jak ho upravit, je osazení dodatečného rezistoru na volnou pozici R34 ve zpětné vazbě paralelně k rezistoru R35.

Rezistory R37, R25 a R36, R26 slouží k vytvoření napěťové symetrie. Další rezistory R228, R27, R163, R234 souvisí s požadavkem na stabilitu polohy pracovních bodů tranzistorů T3 a T4. Rezistory R28 a R251 byly nahrazeny nulovými rezistory resp. drátovými propojkami. Zajímavostí je možnost doladění symetrie koncového stupně pomocí osazení dodatečných rezistorů na pozicích R244 a R235. Zesilovač má tři přímo vázané stupně v každé větvi (horní větev T8, T12, T15 a spodní větev T13, T9, T6). Koncové výkonové tranzistory představují tranzistory T12 a T9. Diody D14, D16, D17, D18 vytváří potřebný rozdíl napětí mezi bázemi obou polovin koncových stupňů a zároveň se podílejí na teplotní kompenzaci závislosti napětí přechodu báze – emitor U_{BE} koncových výkonových tranzistorů T12 a T9. Kondenzátor C30 a rezistor R162 vytvářejí dohromady tzv. Boucherotův člen používaný u zesilovačů se zpětnou vazbou ke zvýšení odolnosti proti rozkmitání. Rezistory R156 a R157 spolu s diodami D15 a D19 připojenými k emitorům koncových výkonových tranzistorů T12 a T9 opět stabilizují zesilovač a zároveň slouží i jako ochrana proti zkratu na zátěži.

Signálová cesta na výstup zesilovače je vedena přes výkonové tranzistory T14 a T2 zajišťují patřičné buzení zesilovače. Kapacitní trimr VC102 nastavuje maximálně ploché vršky obdélníkového průběhu (viz. kap. 4.2.6). Dále pokračuje přes RC člen (R 174 a C31). 50 Ω výstup je zajištěn paralelní kombinací rezistorů R195 a R197 o shodné hodnotě $R = 100\Omega$.

3.6 Testpointy

Testpointy neboli měřící body tvoří důležitou složitéjších celků, pomocí nichž lze snadno ověřit správnou funkci jednotlivých bloků. Funkční generátor Hameg HM8030-6 obsahuje celkem dvanáct měřících bodů. Některé jsou bohužel velmi špatně přístupné sondami (např. skryté pod napájecí deskou), proto postrádají význam. Následující tabulka tab. 3.6-1 představuje jejich seznam a stručný popis jejich uplatnění.

TP číslo	Význam
1	Výstup z digitálního generátoru pilového průběhu (viz. kap. 3.1.4), trigger signál pro externí sweep, obtížně přístupný - pod napájecí deskou
2	Ve schématu pod označením též PT100, signál TRI - výstup z bloku syntézy trojúhelníku, trojúhelníkový průběh pro diodový tvarovač s nulovým ss ofsetem a efektivní hodnotou 577 mV
3	Výstup z D/A převodníku IC11 resp. sumátoru IC108 -A, odpovídá změně frekvence v rozsahu od f_{min} - $\rightarrow U= 4,9V$ až po f_{max} - $\rightarrow U= 0,35V$
4	Výstup z komparátoru IC107-B, obdélníkový průběh, na $f > 5$ MHz silně zkrslený (zvlnění), velmi špatně přístupný, skrytý pod napájecí deskou
5	Výstup z časovače NE555 zapojeného jako VCO pro $f < 20Hz$ běžící na násobné frekvenci ($f=2,3kHz$), signál H555 - k mikrokontroléru IC12 - \rightarrow přepočten na skutečnou frekvenci (více viz. kap. 3.3.4), vyveden na spodní stranu (bottom) DPS - vedle IC12
6	Výstup z koncového stupně předzesilovače pro sinový a trojúhelníkový průběh, místo obdélníkového a pulzního průběhu - \rightarrow trojúhelníkový průběh se zákmity (viz. printscreeny z měření CD)
7	Výstup z multiplexoru IC112-B, pro sinový a trojúhelníkový průběh trvale v -5V, obdélníkový a pulzní průběh - velké překmity a podkmity již na $f > 1MHz$
8	Výstup z multiplexoru IC112 -A (do konektoru J1-3) dle zvoleného průběhu, pro $f > 5Mhz$ patrné zkreslení všech průběhů, především obdélník a pulz (zvlnění a překmity)
9	Výstup z kombinační logiky IC7 -D, sinový a trojúhelníkový průběh trvale v +5V, obdélníkový a pulzní průběh s překmity a podkmity na všech frekvencích
10	Signál OFFSET od čelního panelu (konektor J1-8), dle polohy potenciometru pro regulaci offsetu - \rightarrow min. = +1V, pol. = 0V, max. = -1V
11	Vstup výkonového zesilovače - signál AMPLIIN, dle zvoleného průběhu, na $f > 1MHz$ patrné zkreslení všech průběhů
12	Výstup z výkonového zesilovače - signál AMPLIOUT, na signálový 50 Ω výstup, dle zvoleného průběhu - na $f > 5$ MHz zkreslení především obdélníkového a pulzního průběhu (viz. kalibrace), obtížně přístupný, nutné sundat pasivní chladič z T9

Tab. 3.5.1-1 Popis testpointů

Na testpointy resp. měřicí body logicky navazuje poslední kapitola zabývající se ověřením funkčnosti generátoru Hameg HM8030-6.

4 Ověření funkčnosti generátoru

Ověření funkčnosti generátoru se skládá z několika kroků. Všechny přístroje jsou ihned po montáži podrobeny důkladné vizuální kontrole a poté kalibrovány dle předepsaného postupu na specializovaných měřicích pracovištích. Dále jsou poslány na zahoření a koncové zkoušení. Poslední kontrola je prováděna nezávislou osobou tzv. look and feel.

V následujících podkapitolách budou stručně představeny všechny výše jmenované postupy a především bude brán zřetel na koncové zkoušení přístroje, jehož součástí bude návrh pro ověření všech parametrů uvedených v datovém listě.

4.1 Vizuální kontrola

Vizuální kontrola přístroje následuje bezprostředně po jeho montáži ještě týměž pracovníkem. Zahrnuje kontrolu nalepení typových a tzv. „barcode“ štítků, správné sesazení panelů, zakrytování a veškeré dokumentace, např. zda souhlasí sériová čísla s označením na přístroji. Více o této kontrole je uvedeno na všech montážních pracovištích.

4.2 Kalibrace

Každý přístroj je po sestavení povinen absolvovat tzv. kalibraci. Probíhá ve speciálním servisním menu resp. kalibračním módu v přesně definovaných krocích a na specializovaných měřicích pracovištích. Během ní dochází k nastavení a doladění všech důležitých parametrů generovaných průběhů pomocí regulovatelných prvků tj. potenciometrů a kapacitních trimrů. Naměřené hodnoty jsou zapisovány do předpřipravené tabulky vytvořené v programu Excel. Zároveň je inicializována EEPROM paměť, která slouží k uložení kalibračních faktorů pro měření frekvence.

Firmware k přístroji bohužel není k dispozici, proto nelze popsat autokalibrační sekvenci při přepnutí přístroje do servisního menu, ověření dělicích faktorů apod. V následujících podkapitolách budou stručně uvedeny jednotlivé kroky kalibrace.

4.2.1 Počáteční nastavení přístroje

Před začátkem kalibrace je nutné zkontrolovat, zda je v pořádku napájení přístroje. Při montáži totiž může dojít k záměně desek napájení (pozn. vzhledem k jejich podobnosti) z jiného modulu, což má za důsledek jeho úplné zničení. Jako nejvýhodnější varianta otestování se jeví zapojení modulu přímo – bez mainframu – (viz. kap. 3.1.5-1) ke stabilizovanému zdroji napájení s proudovým omezením. Uvedené opatření má bohužel dvě velké nevýhody. Zaprvé by výrazně prodloužilo dobu testování. Zadruhé, vzhledem ke konstrukci dvaadvaceti pinového plochého konektoru s úzkými ploškami, s sebou nese riziko zkratů při neopatrném zacházení s modulem. Z těchto důvodů je přistoupeno převážně ke kvalitní vizuální kontrole napájecí desky se servisním manuálem.

Dalším způsobem ověření hodnot napájení je s pomocí multimetru nastaveném na rozsahu 20V pro ss napětí. Konektor J4 (ve schématu napájecí desky nese též označení CN401) je odpojen od desky napájení. Sondami od multimetru je provedeno změření napájení a zkontrolováno s pinoutem konektoru popsáném v tabulce 3.1.5-2.

Po kontrole napájení je potřeba nechat modul minimálně 30 minut zapnutý kvůli ohřátí na pracovní teplotu. Důležité je též nastavení všech potenciometrů a kapacitních trimrů na střed dráhy. Na čelním panelu je potřeba zkontrolovat vypnuté tlačítko OFFSET a potenciometr pro jeho regulaci ve středové poloze. Potenciometr pro regulaci amplitudy je naopak nutné nastavit na maximum. Tlačítka obou atenuátorů musí rovněž zůstat neaktivní.

Servisní menu je vyvoláno současným stiskem přepínačů 50 mHz a 10 MHz a zasouváním modulu do napájení resp. mainframu. Přístroj se automaticky přepne do kalibračního režimu, který začíná spuštěním autokalibrační sekvence. Ta musí bezpodmínečně proběhnout celá, jinak dojde k chybnému uložení kalibračních faktorů do paměti EEPROM. O tomto problému s pamětí EEPROM bude ještě dále zmíněno. Po úspěšném provedení autokalibrace bude na displeji na čelním panelu svítit libovolné číslo ve formátu XXX3, kde blikající číslice 3 znamená číslo prováděného kroku kalibrace. Jejich přepínání je řízeno přepínači frekvenčních rozsahů 50 mHz směrem nahoru a 10 MHz směrem dolů.

4.2.2 Nastavení základního trojúhelníkového průběhu

K testovacímu bodu TP2, což je výstup TRI vedoucí k diodovému tvarovači, jsou připojené obě sondy od multimetrů. Potenciometrem VR103 je doladěno ss napětí na 0mV s přesností $\pm 1\text{mV}$. Podobně i potenciometrem je nastaveno \sim napětí na hodnotu 577,3mV

(RMS, 2Vpp) s přesností $\pm 0,1\text{mV}$. Hodnoty se navzájem ovlivňují. Z toho důvodu je nutné kontrolovat oba údaje na displejích multimetrů najednou. Tento krok je jedním z nejpodstatnějších z celé kalibrace, proto jsou hodnoty tolerancí natolik striktní. Pokud by došlo k jejich nedodržení, může přístroj vykazovat např. větší zkreslení sinového průběhu, než je dovoleno a znamenalo by opětovné provedení kalibrace.

Přepínačem 10 MHz je přepnuto na další krok číslo 4.

4.2.3 Nastavení střidy interního obdélkového průběhu

Dříve byla střída měřena pomocí dvou čítačů, které musely ukazovat stejnou hodnotu frekvence s přesností na dvě desetinná místa. Zároveň byl průběh a hodnota frekvence porovnávána s údaji na osciloskopu. Vzhledem k téměř nulovým rozdílům naměřených hodnot a z důvodu zrychlení bylo upuštěno od kontroly frekvence pomocí čítačů.

Otočným ovladačem frekvence je nastavena nejvyšší možná frekvence (odpovídá $f = 52,50\text{ kHz}$). Potenciometrem VR101 je doladěna doba kladného impulsu tak, aby byla shodná s dobou záporného. Poté je otočným ovladačem nastavena nejnižší možná frekvence (odpovídá $f = 4,75\text{ kHz}$). Potenciometrem VR104 je opět jako v předchozím případě doladěna doba kladného impulsu tak, aby se rovnala záporné.

Přepínačem je přepnuto na další krok číslo 5, ve kterém se potenciometrem VR106 znovu doladuje střída interního obdélkového průběhu. Tentokrát ovšem při frekvenci rovné $f = 475\text{ kHz}$.

Přepínačem je opět přepnuto na následující krok číslo 6.

4.2.4 Nastavení ss offsetu výstupu

Na testovací bod TP12 (výstup z výkonového zesilovače) je připojena sonda s filtrem dolní propust. Potenciometrem VR111 je doladěno ss napětí na hodnotu 0mV s přesností $\pm 1\text{mV}$. Dřívější problémy se stabilitou výstupního offsetu byly vyřešeny jeho výměnou za typ s odporem $R = 47,5\text{k}\Omega$.

Přepínačem 10 MHz je přepnuto na další krok číslo 7.

4.2.5 Nastavení zkreslení

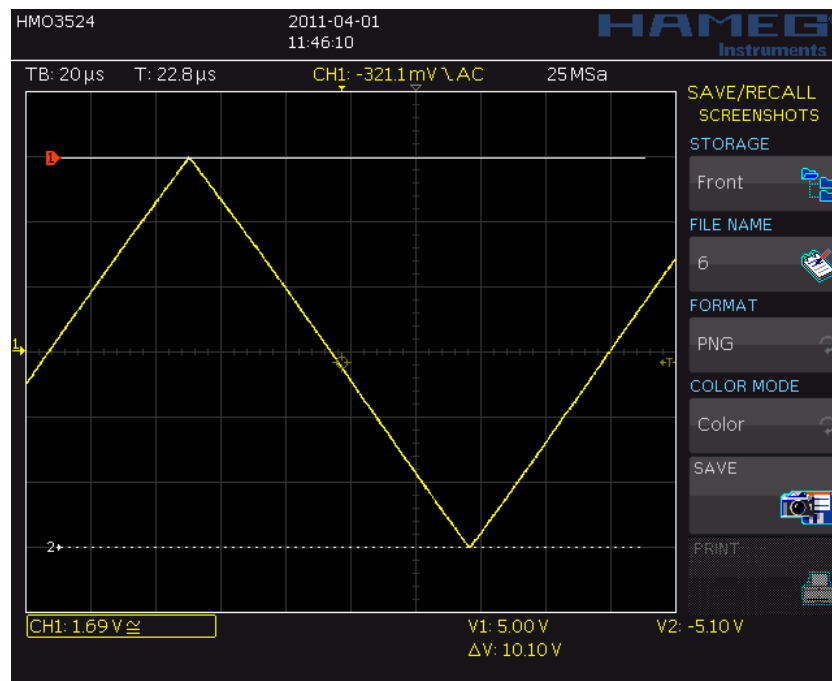
Zkreslení je přesně měřeno audio analyzátozem UPA [38] od firmy Rohde&Schwarz a hrubě osciloskopem. Potenciometry VR108 a VR109 je doladěno zkreslení sinového průběhu na hodnotu alespoň pod $0,3\%$ (THD). V praxi by mělo být lepší než $0,25\%$ (THD).

Pokud doladění na požadovanou hodnotu není možné, je potřeba se vrátit zpět přepínačem 50 MHz do bodu 4 (viz. kap. 4.2.3) a provést znovu nastavení střídavy interního obdélníkového průběhu. V případě, že ani opětovné nastavení střídavy nepomůže, bude nejspíše vadný jeden z potenciometrů VR108 nebo VR109, případně některá z diod tvarovače D114 až D121.

Přepínačem 10 MHz je přepnuto na následující krok 8.

4.2.6 Nastavení parametrů obdélníku

Po odpojení audio analyzátoru je nutné se vrátit zpátky ke kroku 6 (viz. kap. 4.2.4), kde dochází k nastavení ss offsetu výstupu pro trojúhelník. Je potřeba zkontrolovat, zda amplituda trojúhelníkového průběhu odpovídá 10V resp. 6 dílkům rastru obrazovky osciloskopu a případně opět doladit pomocí potenciometru VR111. Název amplituda je zde však značně zavádějící, neboť se jedná o napětí špička – špička (V_{pp}) viz. obrázek obr. 4.2.6-1. Podobná situace je i v následujících krocích. Opět na ni bude upozorněno.



Obr. 4.2.6-1 Obraz trojúhelníkového průběhu

V kroku 8 jsou nastavovány parametry obdélníkového průběhu trojicí potenciometrů VR107, VR105 a VR110. Cílem je optimální pravoúhlý signál s nulovým ss offsetem. Potenciometrem VR 107 jsou doladěny maximálně ploché vršky impulzů i za cenu drobných překmitů na jejich náběžných a doběžných hranách. Potenciometrem VR105 se reguluje ss offset průběhu na nulovou hodnotu. Potenciometrem VR110 se pak nastavuje amplituda

na 10V s přesností $\pm 0,1V$ resp. 6 dílků rastru obrazovky osciloskopu. Pojem amplituda zde opět znamená V_{pp} . Přepínačem 10 MHz je přepnuto na následující krok 9.

V 9. bodě kalibrace se doladují pomocí kapacitních trimrů VC102 a VC104 náběžné a doběžné hrany obdélníkového průběhu. Na osciloskopu je aktivováno kurzorové měření hran signálu. Náběžná hrana nesmí trvat méně než $t_r = 14ns$ a naopak sestupná hrana by neměla být kratší než $t_f = 11ns$. Pokud tyto doby nejsou dodrženy, může docházet k nežádoucím zákmitům a překročení mezní hodnoty $10V \pm 0,1V$ pro V_{pp} . V případě nemožnosti nastavení požadované náběžné hrany delší jak $t_r = 14ns$, lze připustit drobný zákmit na doběžné hraně, který ovšem nesmí překročit výše zmiňovanou toleranci.

Přepnutím 10 MHz je přistoupeno k dalšímu kroku A.

4.2.7 Nastavení trojúhelníkového průběhu

Krok A slouží opět k doladění amplitudy resp. V_{pp} trojúhelníkového průběhu kapacitním trimrem VC101 na hodnotu 10V s přesností $\pm 0,1V$ resp. 6 dílků rastru obrazovky osciloskopu. Při nastavování se může objevit mírný offset tj. řádově do 100mV.

Všechny kapacitní trimry je nutné obsluhovat speciálními keramickými ESD šroubováky nemagnetickými rukojetmi, jinak dochází ke značnému zkreslení průběhů.

Přepínačem 10 MHz dojde k přepnutí k poslednímu kroku B.

4.2.8 Nastavení střídý pulzního průběhu

V posledním kroku kalibrace je pomocí potenciometru VR1 doladěna střída pulzního průběhu tak, aby odpovídala poměru 1:1. Proto musí na obrazovce osciloskopu souhlasit doba kladného a záporného impulsu s přesností na dvě desetinná místa.

4.2.9 Ukončení kalibrace a zahoření

Po provedení posledního bodu kalibrace je přístroj vypnut. Při opětovném zapnutí je potřebné současně stisknout přepínače 50 MHz a 10 MHz a nechat znovu proběhnout celou autokalibrační sekvenci. Po jejím dokončení se na displeji objeví libovolné číslo ve formátu XXX3, kde číslice 3 bliká. Následně je přístroj vypnut a tím je část kalibrace hotova.

Před zahořením je přístroj kompletně zakrytován. Proces zahoření probíhá ve speciálních mainframech stanovených pro tento účel. Generátor je ponechán dva dny zapnutý v předepsaných klimatických podmínkách.

4.2.10 Výměna paměti EEPROM

Výměna nebo prázdná paměť EEPROM je spojena s následnou speciální inicializací. Po klasické aktivaci servisního menu současným stiskem přepínačů 50 mHz a 10 MHz se na displeji místo autokalibrační sekvence objeví E. Poté je potřeba zmáčknout přepínač SWEEP a provést inicializaci nové desky. Je nutné počkat, dokud se na displeji podruhé nerozsvítí čísla ve formátu 9.9.9.9 mHz. Následně je přístroj odpojen od napájení resp. modul je vyjmut z mainframu. Po dalším připojení napájení je již plně připraven ke kalibraci.

4.3 Koncové zkoušení přístroje

Koncové zkoušení je posledním ověřením funkčnosti přístroje po zahoření a zároveň před zabalením, proto by mu měla být věnována značná pozornost. Testovány by měly být všechny podstatné parametry uvedené v datovém listě (viz. příloha D), aby se snížilo riziko následných reklamací od zákazníka. V následujících podkapitolách bude popsáno, jak by takový koncový test zařízení mohl probíhat.

Před začátkem koncového testu je stejně jako u kalibrace důležité ponechat modul minimálně 30 minut zapnutý kvůli ohřátí na pracovní teplotu.

4.3.1 Kontrola signálového výstupu

Na klasický 50Ω signálový výstup je připojen osciloskop. Nejprve je nutné provést vizuální kontrolu základních průběhů tj. sinus, trojúhelník, obdélník (pozn. pulzní průběh je testován samostatně) - přepínáním tlačítka FUNCTION na libovolném frekvenčním rozsahu do 1 MHz. Amplituda a ss offset všech průběhů musí být shodný. Pokud by některý z nich vykazoval neúměrné zkreslení, nemá význam v dalším testování pokračovat. Přístroj je nutné opětovně kalibrovat nebo předat do oddělení oprav s patřičným popisem jeho chování.

Dále přepínači 50 mHz příp. 10 MHz je nastaven pátý rozsah ve formátu XXXX Hz a libovolný základní průběh signálu. Otočným knoflíkem FREQUENCY je otáčeno doprava na maximální hodnotu, která musí být rozmezí 5600 – 5800 Hz. Na osciloskopu je nastaveno měření frekvence a je kontrolováno, zda údaj na displeji souhlasí s frekvencí změřenou osciloskopem. Pro přesnější měření lze připojit na signálový výstup generátoru místo osciloskopu i čítač (např. modul HM8021).

Následně jsou kontrolovány frekvenční rozsahy. Osciloskop nastavíme na automatickou funkci kurzorového měření napětí V_{pp} signálu (obvykle je označena „peak – peak“).

Na generátoru je tlačítkem FUNCTION zvolen sinový průběh s frekvencí 10 MHz. Přepínáním pomocí přepínače 50 mHz je snižována frekvence po dekádách až na cca. 3,6 Hz. Na obrazovce osciloskopu se mění napětí v rozmezí 9,6Vpp až 10,4Vpp. Pro nejvyšší frekvenční rozsah na 10 MHz je tolerováno až 9Vpp.

V dalším kroku je vyzkoušeno, zda lze potenciometrem AMPLITUDE regulovat amplitudu libovolného základního průběhu. Poté pro obě tlačítka ATTENUATOR -20 dB zvlášť je potřeba ověřit, jestli po jejich stisku klesne amplituda zvoleného průběhu na desetinu původní hodnoty.

Alternativou je přesnější test s pomocí multimetru připojeného na signálový výstup. Potenciometrem AMPLITUDE je nastavena amplituda 5V. Po stisku nejprve jednoho z tlačítek ATTENUATOR musí voltmetr ukázat hodnotu napětí cca. 0,5V, při využití obou atenuátorů hodnotu cca. 0,05V s přesností $\pm 2\%$.

Následující krok je věnován nastavení offsetu. Po stisku tlačítka OFFSET ON/OFF (zmáčknuté) je nutné otáčet potenciometrem OFFSET a sledovat na osciloskopu, zda dochází ke ss posuvu libovolně zvoleného základního průběhu. Dále je nastaven tlačítkem FUNCTION pulzní průběh. Potenciometrem OFFSET lze pak měnit střidu resp. šířku pulzů v rozsahu od 10% do 90%. Při vypnutí tlačítka OFFSET ON/OFF (vymáčknuté) je střída pulzů rovna 1:1.

V posledním kroku této části je potřebné ještě znovu důkladně zkontrolovat pětimístný sedmisegmentový displej. Přepínačem 10 MHz je nastaven nejvyšší frekvenční rozsah a otočným ovladačem je otáčeno doprava a sledováno, zda dochází ke správnému rozsvěcování jednotlivých segmentů a digitů. Poté přepínačem 50 mHz je snižována frekvence až na nejnižší rozsah a je kontrolováno korektní zobrazení desetinné tečky.

4.3.2 Kontrola dynamických parametrů a zkreslení průběhů

Tlačítkem FUNCTION je přepnuto na obdélníkový průběh. Je zvolen přepínači 50 mHz a 10 MHz druhý nejvyšší frekvenční rozsah a frekvence je pomocí otočného ovladače FREQUENCY doladěna na 570 kHz. Osciloskop zůstává připojen k signálovému výstupu generátoru a je nutné zkontrolovat, zda jsou maximálně ploché vršky obdélníkového průběhu bez nežádoucích překmitů nebo podkmitů. Stejný test je potřeba provést i na nejvyšším frekvenčním rozsahu s frekvencí naladěnou na 2000 kHz. V případě neuspokojivých výsledků je opakován krok kalibrace popsany v podkapitole 4.2.6 ve druhém odstavci.

Dále jsou kontrolovány náběžné a doběžné hrany obdélníkového průběhu. Na osciloskopu je aktivováno kurzorové měření hran signálu (obvykle jedna z položek volby „Quick Measurements“). Frekvenční rozsah je ponechán nejvyšší, frekvence je naladěna 5250 kHz. Náběžná hrana obdélníkového průběhu musí trvat minimálně $t_r = 14\text{ns}$ a doběžná hrana signálu minimálně $t_f = 11\text{ns}$. Pokud není uvedených parametrů dosahováno, je potřeba opětovně provést krok kalibrace popsany v kapitole 4.2.6 v posledním odstavci – tzn. doladění hran pomocí kapacitních trimrů VC102 a VC104.

Místo osciloskopu je nyní na signálový výstup generátoru připojen audio analyzátor UPA nastavený na měření zkreslení (jedná se o funkci „Total THD“). Na generátoru je zvolen tlačítkem FUNCTION sinový průběh s frekvencí naladěnou na 5250 Hz. V datovém listě je uvedeno zkreslení značně benevolentní. V rozmezí od 0,05 Hz do 1 MHz by mělo dosahovat maximálně 0,3% (THD). Poté je přepínačem 10 MHz přepnuto na nejvyšší frekvenční rozsah a nastavena frekvence 1000 kHz. Hodnota zkreslení nesmí přesáhnout 3%. V opačném případě je nutné zopakovat kalibrační krok představený v podkapitole 4.2.5.

4.3.3 Kontrola „trigger“ výstupu

Osciloskop bez 50Ω zakončení je připojen tentokrát k výstupu TRIG. OUP generátoru HM8030-6. Na obrazovce osciloskopu musí být patrný TTL kompatibilní obdélníkový průběh (tj. s úrovněmi cca. 0,4V pro „0“ a cca. 5V pro „1“) o stejné frekvenci, jaká je nastavena na generátoru.

4.3.4 Kontrola interní a externí SWEEP funkce

Osciloskop je přepojen zpět na signálový výstup OUP generátoru HM8030-6. Prvním stiskem přepínače SWEEP je nastavena počáteční frekvence (START) na 5,7 kHz. Druhým stiskem je zvolena koncová frekvence (STOP) na 41 kHz. Třetím stiskem je regulován čas resp. rychlost rozmítání na 0,02s, což je i limitní hodnota přístroje. Na osciloskopu musí být vidět interní rozmítaný (sweep) signál, jehož rychlost rozmítání lze nastavovat otočným ovladačem FREQUENCY v rozmezí od 0,02s do 15s.

U osciloskopického měření je velmi náročné zjistit, zda parametry rozmítání opravdu odpovídají předpokladům. Mnohem přesnější měření interního rozmítání (sweeps) lze provést např. pomocí analyzátoru časových a frekvenčních intervalů. Výstup TRIG.OUP z HM8030-6 je propojen s „trigger“ vstupem (obvykle na zadním panelu analyzátoru s označením FRQ_TRIG). Signálový výstup OUP je zaveden do frekvenčního vstupu

(většinou na čelním panelu analyzátoru s označením FRQ_IN). Parametry rozmítání jsou nastaveny následovně: libovolný základní průběh (sinus, trojúhelník, obdélník), počáteční frekvence (START) na 10 kHz, koncová frekvence (STOP) na 50 kHz, a čas rozmítání na 0,5s. Amplitudu signálu je nutné zvolit nejvýše 5V. Na analyzátoru je možné nastavit např. 2000 vzorků a spustit měření. Pomocí „zoomovacích“ funkcí lze pak snadno zjistit, zda skutečně souhlasí zvolené parametry rozmítání nebo zkontrolovat, jestli je přechod u rozmítání skutečně lineární. S použitím převodníku GP-IB - > USB je možné stáhnout i údaje z měření (často ve formátu .plt) do PC pro pozdější zpracování nebo kontrolu.

Ještě sofistikovanější způsob měření rozmítání by byl za použití zmíněného audio analyzátoru UPV [39] od firmy Rohde&Schwarz. Disponuje funkcí SWEEP v panelu ANALYZER FUNCTION pro efektivní měření rozmítání.

Externí sweep resp. rozmítání je měřeno aplikací čítače (např. HM8021). Čítač je nastaven na měření frekvence a připojen bez 50Ω zakončení k zadnímu BNC konektoru mainframu HM8001-2 s označením FM_IN. Na generátoru je nastaven pomocí přepínače SWEEP co nejkratší čas rozmítání, tj. $t=0,02s$. Na displeji čítače se pak musí objevit frekvence podle vztahu $1/t$, což odpovídá cca. 46 Hz.

4.3.5 Kontrola pilového výstupu

Pilový výstup není v současné době při koncovém testu kontrolován. Jednou z možností, jak ověřit správnost pilového průběhu je připojení osciloskopické sondy k testovacímu bodu TP1. Tento bod je však špatně dostupný, neboť je zakryt napájecí deskou.

Mainframy HM8001-2 určené ke kalibraci mají vyvedeny pilový výstup na zadní BNC konektor s označením SWP_OUT. Pilový výstup lze zkontrolovat připojením osciloskopu bez 50Ω zakončení. Na obrazovce osciloskopu pak musí být vidět pilový průběh se stejnou frekvencí, jaká je nastavena na generátoru.

Další možností otestování je využití pilového výstupu jako „externího triggeru“ při měření rozmítání pomocí např. audio analyzátoru nebo analyzátoru časových a frekvenčních intervalů. V předchozí podkapitole 4.3.4 byl jako „trigger“ používán výstup TRIG. OUP na čelním panelu generátoru Hameg HM8030-6. Stejným způsobem je možné zapojit i uvedený pilový výstup. Dále lze postupovat obdobně, jak je uvedeno v podkapitole 4.3.4. Pokud zvolené parametry rozmítání odpovídají změřeným, lze prohlásit pilový výstup za korektní.

4.3.6 Koncová autokalibrace

Po dokončení všech kroků koncového testování je nutné ještě jednou provést koncovou autokalibraci generátoru HM8030-6. Nejprve je přístroj vypnut resp. odpojen od napájení. Současným stiskem přepínačů 50 mHz a 10 MHz je vyvoláno servisní menu. Autokalibrační sekvence je spuštěna a po jejím proběhnutí bude na displeji svítit libovolné číslo ve formátu XXX3 s blikající číslicí 3. Potom je potřeba přístroj vypnout. Potenciometry AMPLITUDE a OFFSET jsou nastaveny do středů dráhy. Přístroj je poté možné předat na závěrečnou výstupní kontrolu.

4.4 Výstupní kontrola

Tato kontrola je též někdy nazývána jako tzv. look and feel neboli kontrola nezávislou osobou a provádějí jí zaměstnanci před zabalením přístroje do přepravního boxu. Jedná se především o vizuální kontrolu vnějšího vzhledu, zda je přístroj kvalitně smontovaný a správně osazený všemi nálepkami spolu s výrobními čísly a kódy.

Závěr

Hlavním cílem diplomové práce bylo analyzovat funkční generátor Hameg HM8030-6 a vytvořit srozumitelný ucelený text pro pracovníky servisního centra společnosti Rohde&Schwarz závodu Vimperk, jejímž členem je firma Hameg již od roku 2005. Oficiální servisní manuál k tomuto přístroji totiž obsahuje pouze schémata zveřejněná v přílohách A až D a zjednodušený návod ke kalibraci.

V úvodní kapitole bylo provedeno rozdělení signálových generátorů. Na blokových schématech byly ukázány rozdíly mezi čtyřmi základními typy a jednoduše popsány funkce jednotlivých bloků. Dále byla představena metoda přímé digitální syntézy (pozn. častěji známá spíše pod anglickou zkratkou DDS – Direct Digital Synthesis) hojně uplatňovaná v nejmodernějších přístrojích a pro úplnost sestaven seznam integrovaných obvodů s touto technologií obsahující vždy stručný popis jejich parametrů.

Následující části textu byly již plně věnovány funkčnímu generátoru Hameg HM8030-6. Na začátku druhé kapitoly byly popsány parametry přístroje a všechny vstupy a výstupy. Návrh blokových schémat byl realizován na základě poznatků získaných četnými měřeními prováděnými na tomto modulu. Třetí kapitola je nejdůležitější a zároveň nejdelší částí práce plynule navazující na předchozí kapitolu. Struktura textu byla rozdělena do obdobných podkapitol jako u blokového schématu a postupně byly popisovány jednotlivé bloky s jejich komponenty. Označení součástek odpovídá kvůli snadnější orientaci schématům v přílohách A až C. Významy pinů u vícevývodových integrovaných obvodů a konektorů byly pro přehlednost charakterizovány samostatně tabulkami. Zapojení kombinační logiky a multiplexorů byla překreslena pro lepší pochopení. Účel některých komponent (např. paměti EEPROM) byl konzultován s vývojáři oddělení Hameg – France. V neposlední řadě byl sestaven i seznam testovacích bodů. Poslední kapitola obsahuje problematiku otestování funkčnosti přístroje. Byla rozdělena do čtyř oddílů – vizuální kontrola, kalibrace, koncové zkoušení a výstupní kontrola. Nejpodstatnější partie tj. kalibrace a koncové zkoušení byly detailně rozebrány. Současně byly navrženy nové možnosti ověření parametrů uvedených v datovém listě.

Pozitivně lze hodnotit splnění téměř všech bodů zadání. Každý blok funkčního generátoru Hameg HM8030-6 byl důkladně analyzován a popsán. Podařilo se taktéž zjistit význam a funkce jednotlivých komponent. Po konzultaci s produktovými inženýry společnosti Rohde&Schwarz byly kladně hodnoceny i některé změny při koncovém zkoušení

modulu (např. měření rozmítání pomocí analyzátoru časových a frekvenčních intervalů namísto nynějšího osciloskopického měření).

Vzhledem k absenci firmwaru nebylo možné zjistit např. průběh autokalibrační sekvence, případně ověření dělicích faktorů. Dekompilace resp. disasemblování používaného hexa kódu je licenčními podmínkami zakázána. Rovněž obtížné bylo měření komunikace mezi základní deskou a čelním panelem modulu. Firma Hameg definuje pro ovládání sedmisegmentového displeje a dalších komponent speciální protokol založený na SPI, jehož podrobnosti bohužel nebyly získány.

Všechny materiály nebylo možné umístit do příloh např. datasheety k součástkám, printscreeny z měření, nakreslené obrázky k dané problematice a příp. další dokumenty. Jsou proto k dispozici na přiloženém CD.

Použitá literatura

- [1] <http://www.zone.ni.com/> [online]. 21.6.2011 [cit. 2011-12-10]. Find The Right Signal Generator – Developer Zone – National Instruments. Dostupné z WWW: <<http://zone.ni.com/devzone/cda/tut/p/id/3348>>.
- [2] <http://www.ti.com/> [online]. © 1995-2012 [cit. 2011-12-18]. Block Diagram (SBD) – Vector Signal Generator – TI.com. Dostupné z WWW: <http://www.ti.com/solution/vector_signal_generator>.
- [3] <http://czech.ni.com/> [online]. © 2012 [cit. 2011-12-22]. Analog Output – National Instruments. Dostupné z WWW: <<http://sine.ni.com/nips/cds/view/p/lang/en/nid/10118>>.
- [4] <http://webs.zcu.cz/fel/kae/> [online]. 25.11.2003 [cit. 2012-01-13]. Přímá digitální syntéza a její aplikace. Dostupné z WWW: <<http://webs.zcu.cz/fel/kae/+eln/DDS.PDF>>.
- [5] <http://www.zone.ni.com/> [online]. 5.9.2008 [cit. 2012-01-25]. Understanding Direct Digital Synthesis (DDS) – Developer Zone – National Instruments. Dostupné z WWW: <<http://zone.ni.com/devzone/cda/tut/p/id/5516>>.
- [6] <http://www.analog.com/> [online]. 4/2011 [cit. 2012-02-01]. AD9833: Low Power, 12,65 mW, 2,3V to +5,5V Programmable Waveform Generator. Dostupné z WWW: <http://www.analog.com/static/imported-files/data_sheets/AD9833.pdf>.
- [7] <http://www.analog.com/> [online]. 2/2004 [cit. 2012-02-01]. AD9850: CMOS, 125 MHz Complete DDS Synthesizer. Dostupné z WWW: <http://www.analog.com/static/imported-files/data_sheets/AD9850.pdf>.
- [8] <http://www.analog.com/> [online]. 2/2004 [cit. 2012-02-01]. AD9851: CMOS, 180 MHz Complete DDS Synthesizer. Dostupné z WWW: <http://www.analog.com/static/imported-files/data_sheets/AD9851.pdf>.
- [9] <http://www.analog.com/> [online]. © 1995-2012 [cit. 2012-02-01]. Direct Digital Synthesis (DDS) & Modulators. Dostupné z WWW: <http://www.analog.com/en/rfif-components/direct-digital-synthesis-dds/products/index.html#Direct_Digital_Synthesis>.
- [10] <http://www.intersil.com/> [online]. 19.1.2010 [cit. 2012-02-03]. ISL5314 Direct Digital Synthesizer. Dostupné z WWW: <<http://www.intersil.com/data/fn/fn4901.pdf>>.
- [11] <http://www.ti.com/> [online]. © 2000 [cit. 2012-02-04]. TRF6900/TRF4900 – Highly Integrated ISM – Band RF Solution. Dostupné z WWW: <<http://www.ti.com/sc/docs/products/rf/trf6900.pdf>>.
- [12] <http://www.ti.com/> [online]. 8/2005 [cit. 2012-02-04]. Proprietary RF – Sub-1GHz – TRF6900 – TI.com. Dostupné z WWW: <<http://www.ti.com/lit/ds/symlink/trf6900a.pdf>>.
- [13] <http://www.ti.com/> [online]. 26.7.2011 [cit. 2012-02-04]. Mesh and IP Networks – 6LoWPAN – CC1101 – TI.com. Dostupné z WWW: <<http://www.ti.com/lit/ds/symlink/cc1101.pdf>>.
- [14] <http://www.xilinx.com/> [online]. 28.4.2005 [cit. 2012-02-06]. DDS v5.0. Dostupné z WWW: <http://www.xilinx.com/support/documentation/ip_documentation/dds.pdf>.
- [15] <http://www.hameg.com/> [online]. 2.2.2012 [cit. 2012-02-08]. Hameg: Datasheets. Dostupné z WWW: <[http://hameg.com/473.0.html?&tx_hmdownloads_pi1\[product\]=HM8030-6](http://hameg.com/473.0.html?&tx_hmdownloads_pi1[product]=HM8030-6)>.
- [16] <http://www.hameg.com/> [online]. 2.2.2012 [cit. 2012-02-08]. Hameg: Datasheets. Dostupné z WWW: <[http://hameg.com/473.0.html?&tx_hmdownloads_pi1\[product\]=HM8001-2](http://hameg.com/473.0.html?&tx_hmdownloads_pi1[product]=HM8001-2)>.
- [17] <http://www.hameg.com/> [online]. 15.4.2011 [cit. 2012-02-09]. Hameg: Manuals. Dostupné z WWW: <[http://hameg.com/470.0.html?&tx_hmdownloads_pi1\[product\]=HM8030-6&tx_hmdownloads_pi1\[product\]=HM8030-6](http://hameg.com/470.0.html?&tx_hmdownloads_pi1[product]=HM8030-6&tx_hmdownloads_pi1[product]=HM8030-6)>.

- [18] <http://www.nxp.com/> [online]. 1.4.1999 [cit. 2012-02-23]. Product information page search results for 87C52 : NXP Semiconductors. Dostupné z WWW: <http://www.nxp.com/documents/data_sheet/8XC51_8XC52.pdf>.
- [19] <http://www.microchip.com/> [online]. 6.12.2011 [cit. 2012-02-29]. Data Sheets. Dostupné z WWW: <<http://ww1.microchip.com/downloads/en/DeviceDoc/21749J.pdf>>.
- [20] <http://www.nxp.com/> [online]. 6.9.2005 [cit. 2012-03-02]. Product information page search results for 74HC393 : NXP Semiconductors. Dostupné z WWW: <http://www.nxp.com/documents/data_sheet/74HC_HCT393.pdf>.
- [21] <http://www.analog.com/> [online]. 11/2004 [cit. 2012-03-03]. 8-bit, high speed, multiplying D/A converter, all D/A converters, digital to analog converters, Analog Devices. Dostupné z WWW: <http://www.analog.com/static/imported-files/data_sheets/DAC08.pdf>.
- [22] <http://www.alldatasheet.com/> [online]. 18.11.2001 [cit. 2012-03-15]. SC39-11GWA datasheet pdf datenblatt – Kigbright Corporation – 9,9 single digit numeric display. Dostupné z WWW: <<http://www.alldatasheet.com/datasheet-pdf/pdf/97501/KINGBRIGHT/SC39-11GWA.html>>.
- [23] <http://www.infineon.com/> [online]. 30.8.2011 [cit. 2012-03-16]. BCR183 – Documents – Infineon Technologies. Dostupné z WWW: <<http://www.infineon.com/dgdl/bcr183series.pdf?folderId=db3a30431400ef68011406f3ddb1012e&fileId=db3a30431428a37301144036c8902d3>>.
- [24] <http://www.nxp.com/> [online]. 13.1.2004 [cit. 2012-03-16]. Product information page search results for BSR14 : NXP Semiconductors. Dostupné z WWW: <http://www.nxp.com/documents/data_sheet/BSR13_BSR14.pdf>.
- [25] <http://www.nxp.com/> [online]. 12.12.2011 [cit. 2012-03-21]. Product information page search results for 74HC595 : NXP Semiconductors. Dostupné z WWW: <http://www.nxp.com/documents/data_sheet/BSR13_BSR14.pdf>.
- [26] <http://www.bourns.com/> [online]. 5/2011 [cit. 2012-03-23]. Bourns – Search Results. Dostupné z WWW: <<http://www.bourns.com/pdfs/pec16.pdf>>.
- [27] <http://www.nxp.com/> [online]. 19.12.2011 [cit. 2012-03-23]. Product information page search results for 74HC14: NXP Semiconductors. Dostupné z WWW: <http://www.nxp.com/documents/data_sheet/74HC_HCT14.pdf>.
- [28] <http://www.maxim-ic.com/> [online]. 7/1995 [cit. 2012-03-27]. MX7538 CMOS, P – compatible, 14 – bit DAC – overview. Dostupné z WWW: <<http://datasheets.maxim-ic.com/en/ds/MX7538.pdf>>.
- [29] <http://www.ti.com/> [online]. 1.8.1994 [cit. 2012-03-28]. Device, tool, or software recommended for new design – Dual JFET – input Operational Amplifier . Dostupné z WWW: <<http://www.ti.com/lit/ds/symlink/lf412.pdf>>.
- [30] <http://www.nxp.com/> [online]. 13.12.2011 [cit. 2012-03-30]. Product information page search results for 74HC4052: NXP Semiconductors. Dostupné z WWW: <http://www.nxp.com/documents/data_sheet/74HC_HCT4052.pdf>.
- [31] <http://www.ti.com/> [online]. 1.5.2004 [cit. 2012-04-01]. Precision Amplifier – High Voltage – LF356 – TI.com. Dostupné z WWW: <<http://www.ti.com/lit/ds/symlink/lf356.pdf>>.
- [32] <http://www.nxp.com/> [online]. 17.11.2011 [cit. 2012-04-04]. Product information page search results for HEF4053BT: NXP Semiconductors. Dostupné z WWW: <http://www.nxp.com/documents/data_sheet/HEF4053B.pdf>.
- [33] <http://www.ti.com/> [online]. 21.6.2010 [cit. 2012-04-06]. Clocks and Timers – Timers – NE555 – TI.com. Dostupné z WWW: <<http://www.ti.com/lit/ds/symlink/ne555.pdf>>.

- [34] <http://www.maxim-ic.com/> [online]. 1/2005 [cit. 2012-04-10]. MAX920, MAX9202, MAX9203, Low-Cost, 7ns, Low-Power Voltage Comparators – Overview. Dostupné z WWW: <<http://datasheets.maxim-ic.com/en/ds/MAX9201-MAX9203.pdf>>.
- [35] <http://www.nxp.com/> [online]. 25.8.2008 [cit. 2012-04-11]. Product information page search results for BAS16: NXP Semiconductors. Dostupné z WWW: <http://www.nxp.com/documents/data_sheet/BAS16_SER.pdf>.
- [36] <http://www.renesas.eu/> [online]. 6.10.2005 [cit. 2012-04-13]. Renesas Electronics Europe – Keyword search. Dostupné z WWW: <http://documentation.renesas.com/doc/products/logic/rej03d0531_hd74hc00ds.pdf>.
- [37] <http://www.ti.com/> [online]. 28.7.2003 [cit. 2012-04-13]. Gate – NOR Gate – SN74HC02 – TI.com. Dostupné z WWW: <<http://www.ti.com/lit/ds/symlink/sn74hc02.pdf>>.
- [38] <http://www.helmut-singer.de/> [online]. 1985 [cit. 2012-04-19]. R&S Rohde&Schwarz UPA (UPA02). Dostupné z WWW: <<http://www.helmut-singer.de/stock/-2060578565.html>>.
- [39] <http://www2.rohde-schwarz.com/> [online]. 25.8.2011 [cit. 2012-04-20]. R&S UPV Audio Analyzer (Rohde&Schwarz International – Products – Test&Measurement – Audio Analyzers). Dostupné z WWW: <http://www2.rohde-schwarz.com/file_16555/UPV_bro_en.pdf>.

Seznam obrázků

Obr. 1.1.1-1 Blokové schéma generátoru libovolných funkcí dle [1].....	13
Obr. 1.1.2-1 Blokové schéma funkčního generátoru dle [1]	15
Obr. 1.1.3-1 Blokové schéma vektorového signálového generátoru dle [2]	16
Obr. 1.2.1-1 Blokové schéma DDS systému dle [5]	18
Obr. 1.2.1-2 Strukturální schéma fázového akumulátoru dle [5].....	19
Obr. 1.2.2-1 Hameg HM8030-6.....	21
Obr. 1.2.2-2 Mainframe 8001-2.....	21
Obr. 2.2.1-1 Blokové schéma řízení a napájení	24
Obr. 2.2.2-1 Blokové schéma čelního panelu	25
Obr. 2.2.3-1 Blokové schéma syntézy trojúhelníkového průběhu	26
Obr. 2.2.4-1 Blokové schéma předzesilovače.....	29
Obr. 2.2.5-1 Blokové schéma zesilovače	30
Obr. 3.1.1-1 Dělení frekvence pro mikrokontrolér IC12.....	33
Obr. 3.2.2-1 Zapojení diod a pojmenování segmentů displeje	41
Obr. 3.2.2-2 Zapojení spínacích tranzistorů	42
Obr. 3.2.5-1 Princip detekce směru otáčení.....	46
Obr. 3.3.3-1 Provedení multiplexoru IC2.....	52
Obr. 3.3.4-1 Kompletní zapojení obvodu NE555	53
Obr. 3.4.2-1 Kombinační logika IC1- zapojení	56
Obr. 3.4.2-2 Kombinační logika IC1 a IC7 – zapojení	57
Obr. 3.4.3-1 Zapojení komparátoru IC6.....	58
Obr. 3.4.4-1 Provedení multiplexorů IC8 a IC112.....	60
Obr. 3.4.5-1 Provedení multiplexoru IC112-C	61
Obr. 3.5.1-1 Provedení demultiplexoru IC8-C	62
Obr. 4.2.6-1 Printscreen trojúhelníkového průběhu.....	68

Seznam tabulek

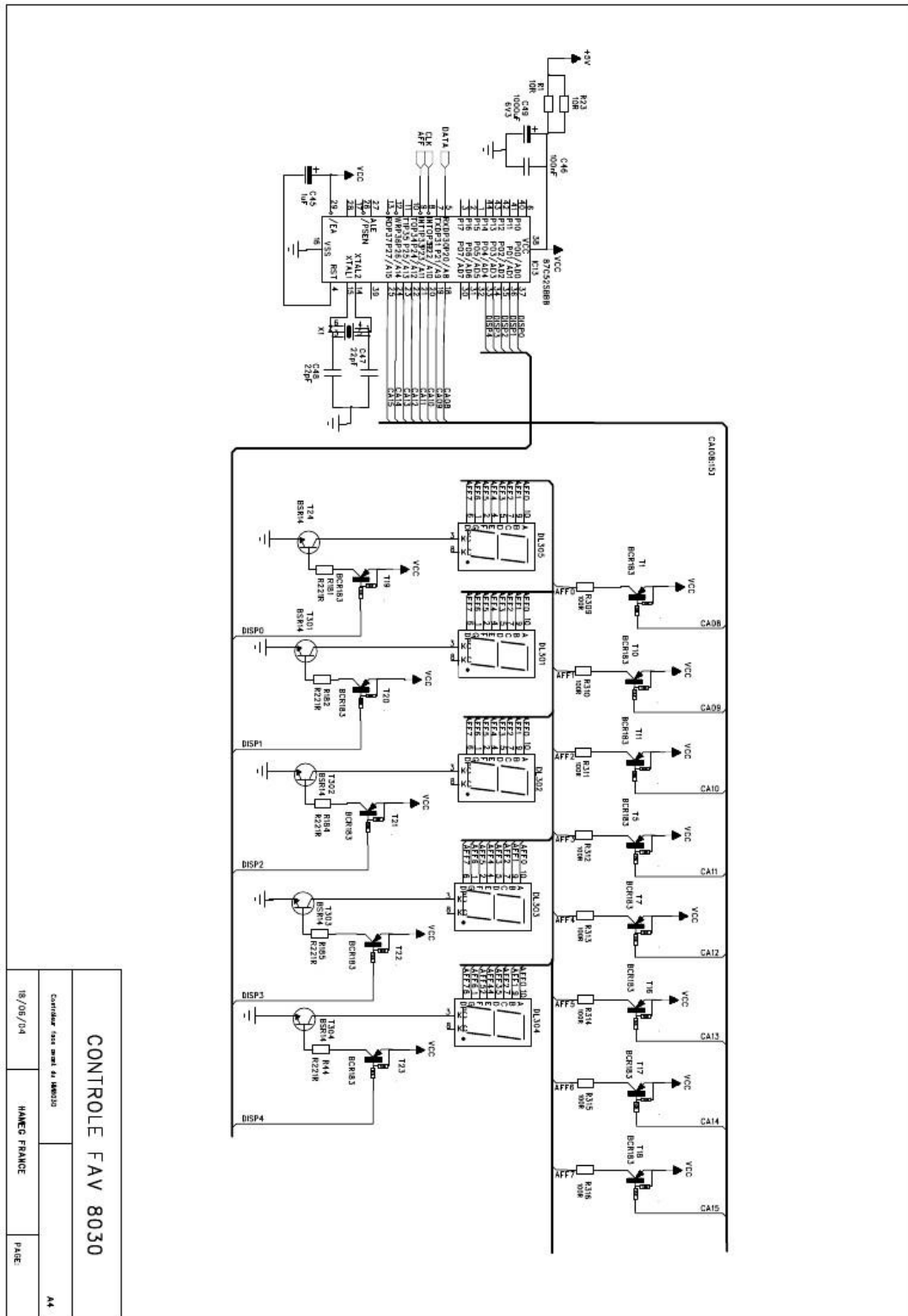
Tab. 1.1.1-1 Parametry signálových generátorů dle [1]	12
Tab. 1.2.2-1 Základní technické parametry Hameg HM8030-6	21
Tab. 2.1.4-1 Parametry FM vstupu	23
Tab. 3.1.1-1 Pinout mikrokontroléru IC12	32
Tab. 3.1.1-2 Činnost kombinační logiky IC111	34
Tab. 3.1.2-1 Popis konektoru SW2	35
Tab. 3.1.5-1 Provedení napájecího konektoru	38
Tab. 3.1.5-2 Provedení konektoru J4	38
Tab. 3.2.1-1 Pinout mikrokontroléru IC13	40
Tab. 3.2.3-1 Pinout posuvného registru IC302	43
Tab. 3.2.3-2 Pinout posuvného registru IC303	44
Tab. 3.2.4-1 Pinout konektoru J2	45
Tab. 3.3.1-1 Popis funkce kontrolních vstupů	48
Tab. 3.3.3-1 Tabulka GAM signálů	51
Tab. 3.3.3-2 Princip přepínání rozsahů demultiplexorem IC106	51
Tab. 3.4.2-1 Činnost kombinační logiky IC1	57
Tab. 3.4.2-2 Činnost kombinační logiky IC1 a IC7	58
Tab. 3.5.1-1 Popis testpointů	64

Seznam rovnic

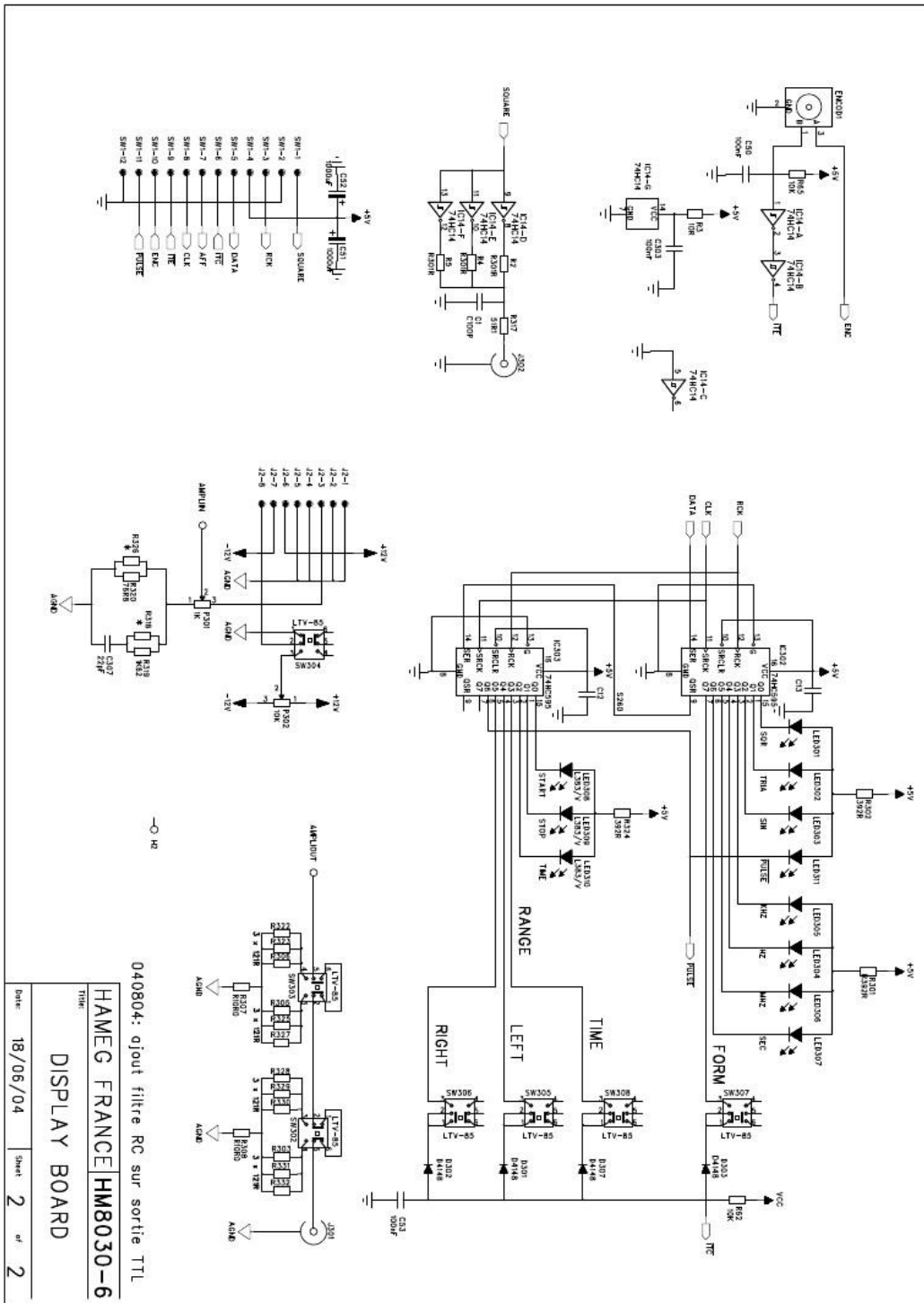
(2.1.4-1).....	23
(2.1.4-2).....	23
(2.1.4-3).....	23
(3.3.1-1).....	48
(3.3.1-2).....	48
(3.3.1-3).....	49
(3.4.3-1).....	59

Přílohy

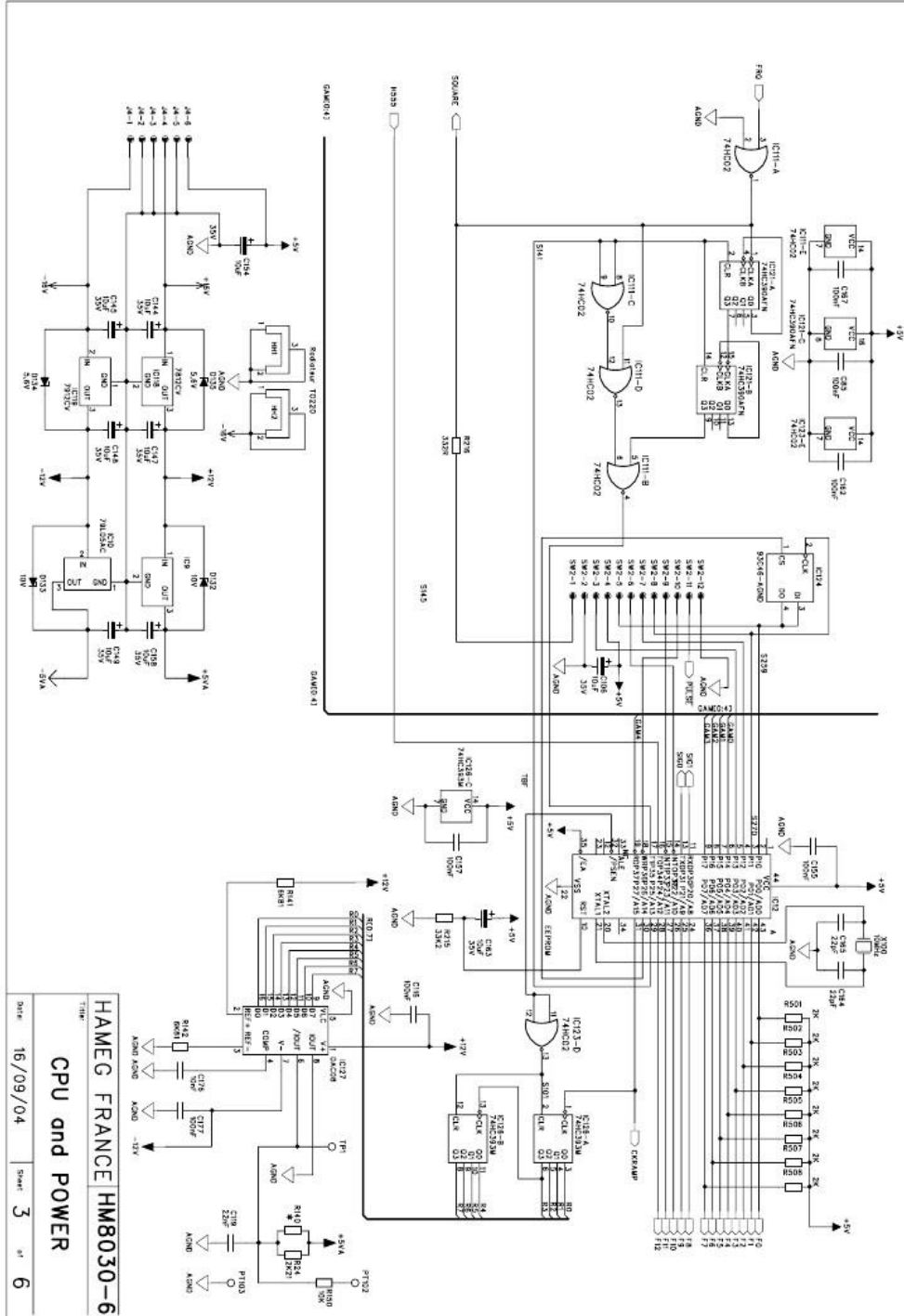
Příloha A – schéma čelní panel – displej



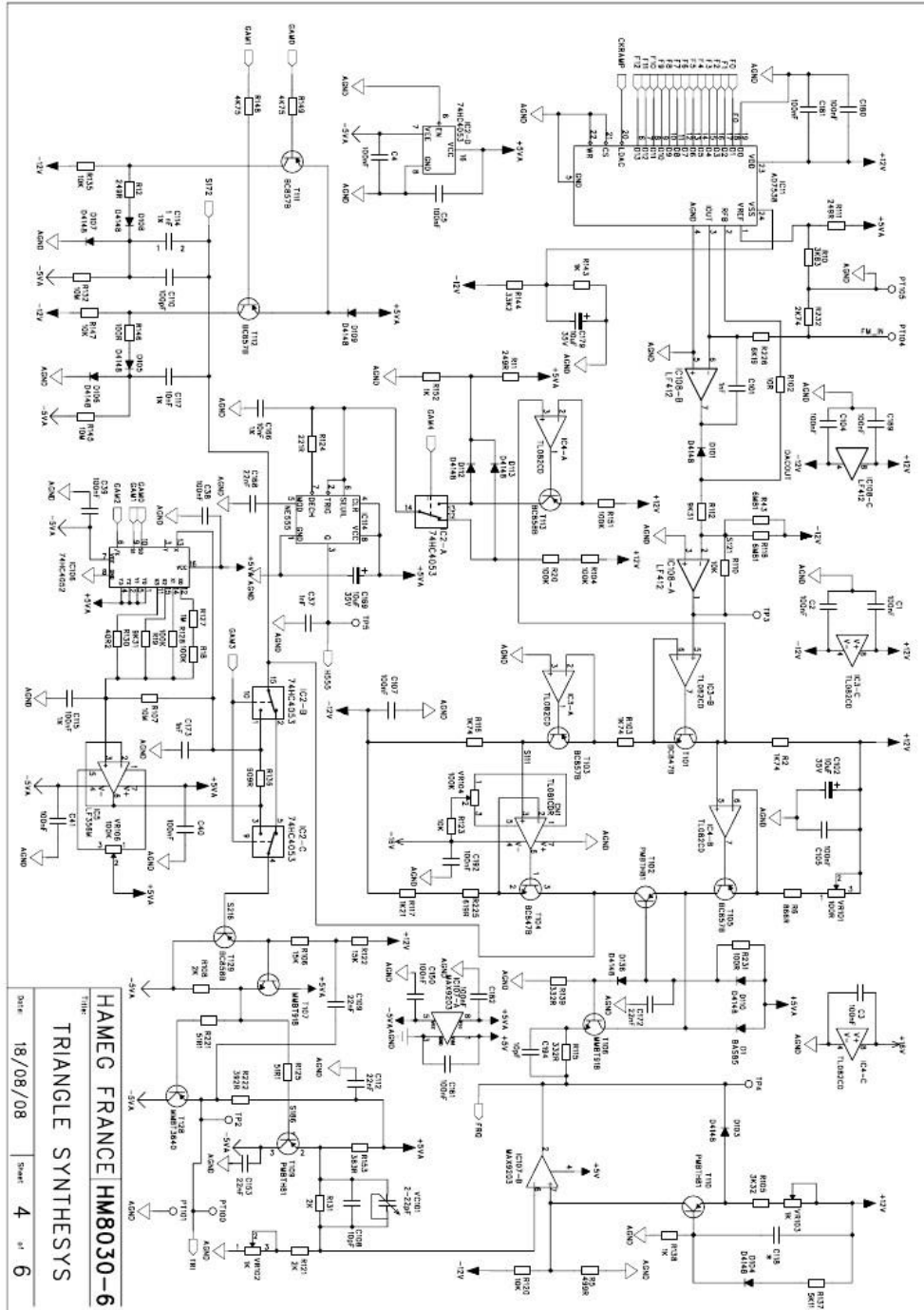
Příloha A – schéma čelní panel - řízení



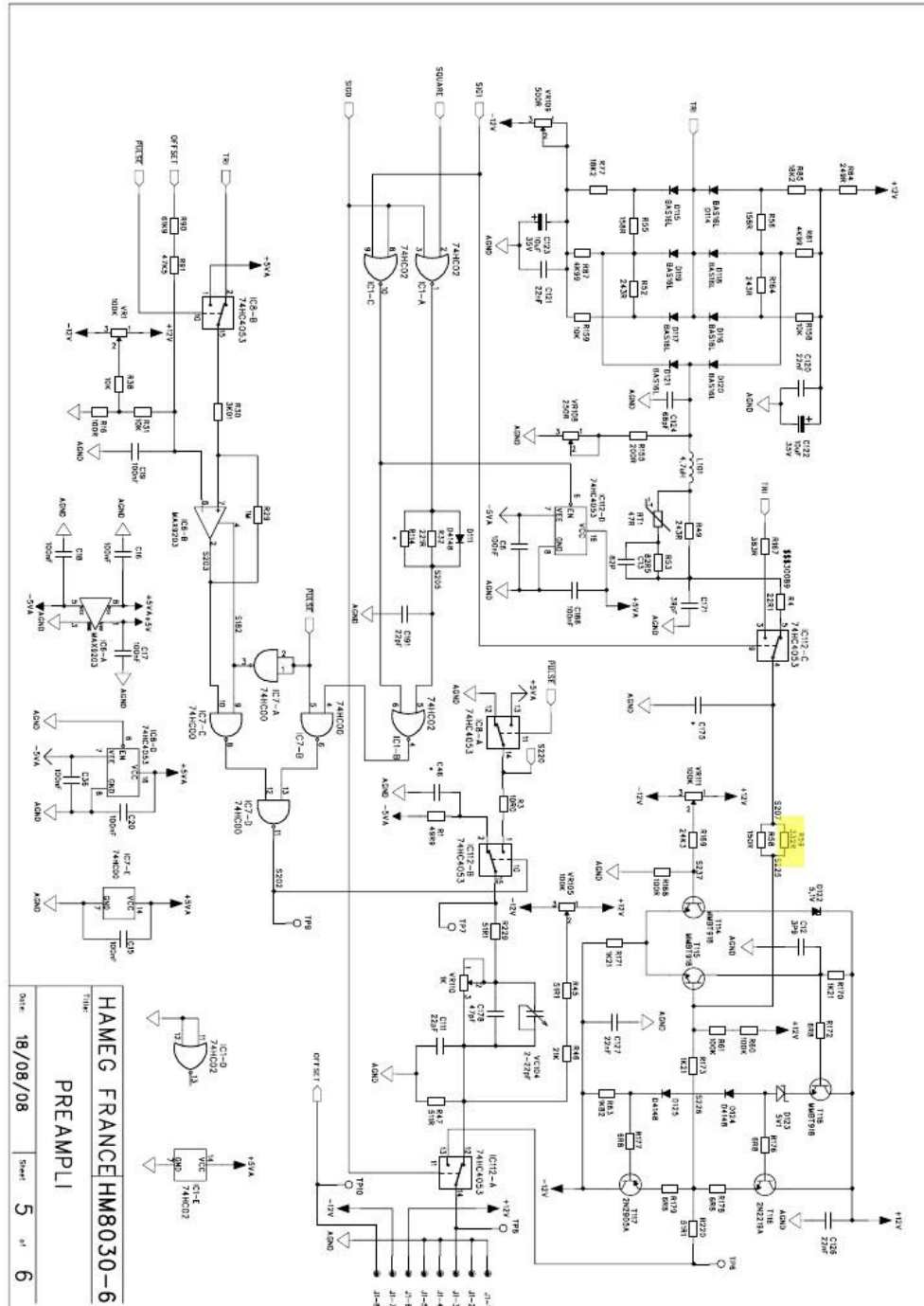
Příloha B – schéma řízení a napájení



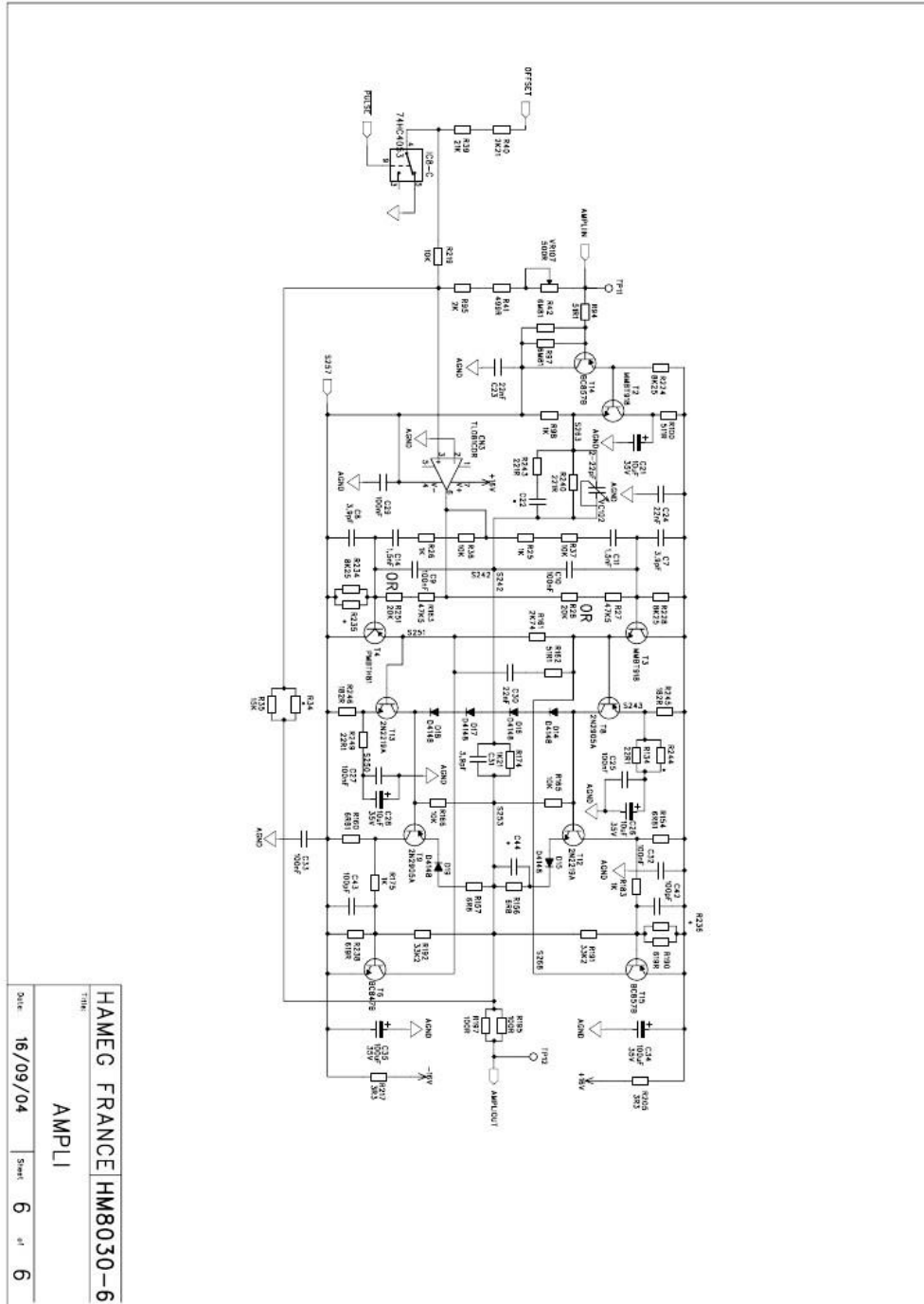
Příloha B – schéma syntéza trojúhelníku



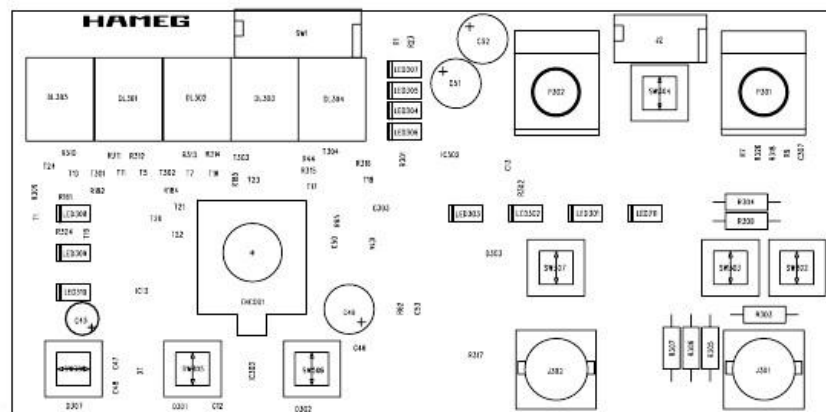
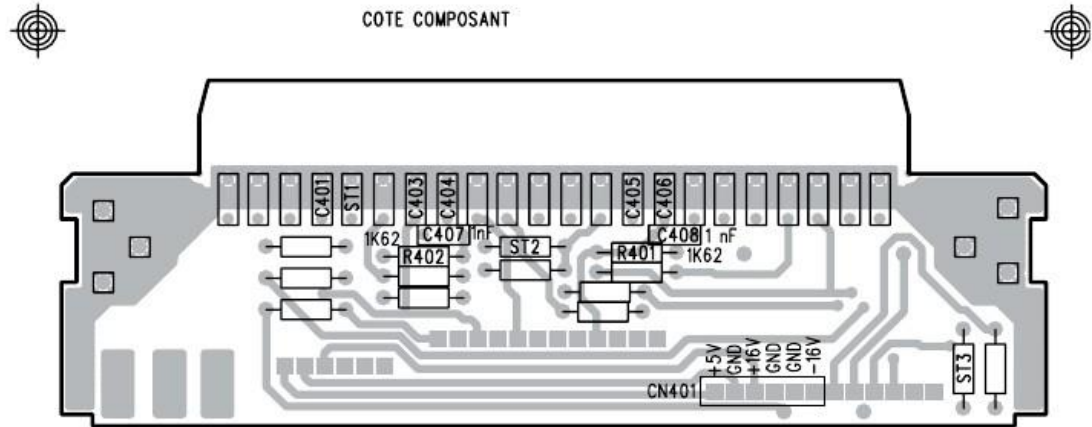
Příloha B – schéma předzesilovač



Příloha B – schéma výkonový zesilovač

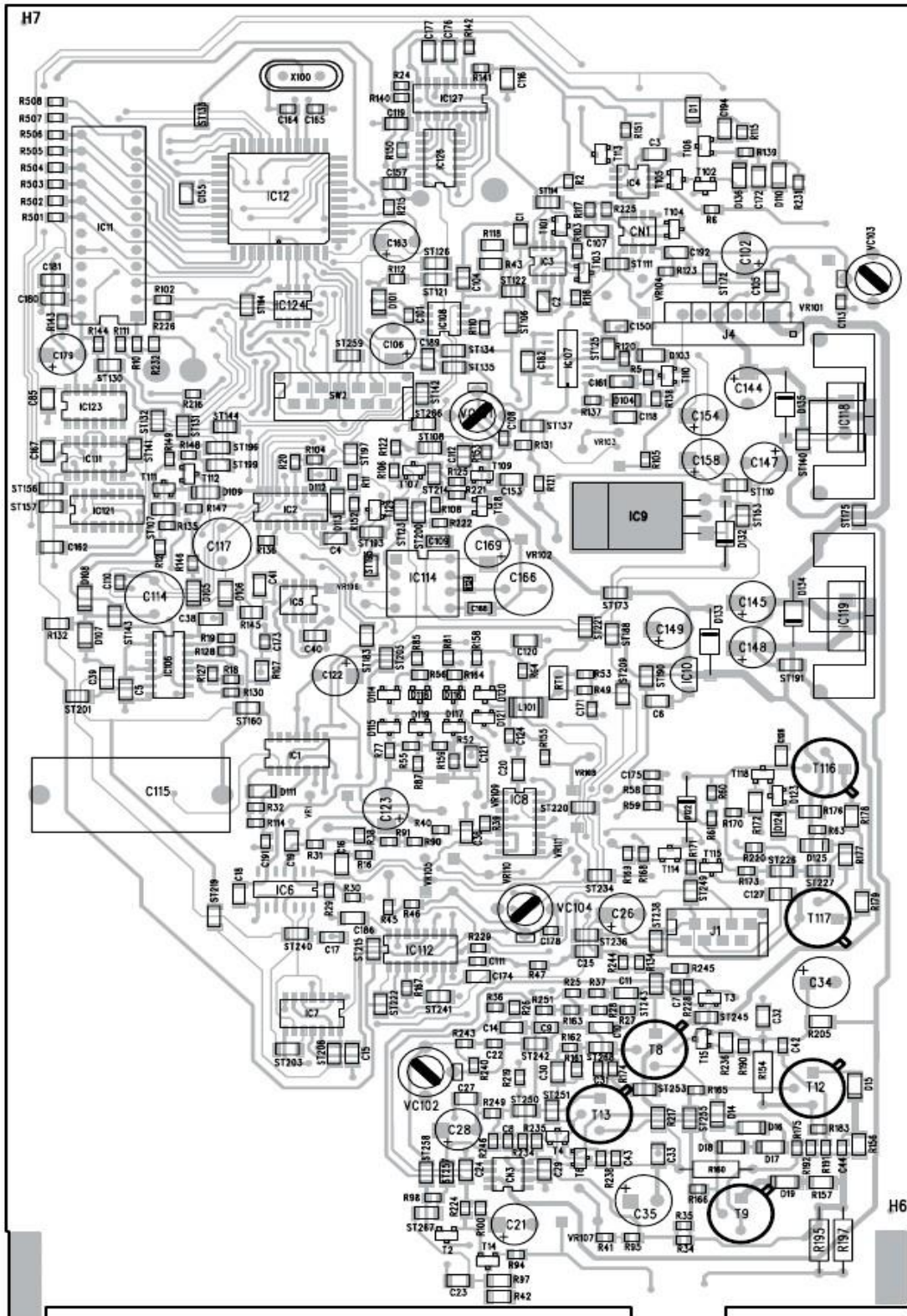


Příloha C – Layout napájení a rozmístění součástek – čelní panel



Příloha C – Layout základní desky

HM8030-6 M/D – IMPLANTATION COTE COMPONENTS



Příloha D – datový list

TECHNISCHE DATEN	
bei 23 °C nach einer Aufwärmzeit von 30 Minuten	
Betriebsarten	
Sinus-Rechteck-Dreieck-DC-Impuls freilaufend, intern oder extern frequenzmoduliert, mit oder ohne DC-Offset	
Frequenzbereiche	
0,05 Hz bis 10 MHz	in 8 dekadischen Stufen variabel: x0,09 bis x1,1 (12:1)
Frequenzdrift:	<0,5%/h bzw. 0,8%/24h bei konstanter Umgebungstemperatur (Mittelstellung des Frequenzstellers)
Kurvenform - Charakteristiken	
Sinus-Klirrfaktoren	
0,05 Hz bis 1 MHz:	max. 0,5%
1 MHz bis 10 MHz:	max. 5%
Rechteck-Anstiegszeit:	typ. 15ns
Überschwingen	
bei Abschluss mit 50Ω:	<5%
Dreieck-Nichtlinearität:	< 1% (bis 100 kHz)
Anzeigen	
Frequenz:	5stell. 7-Segment-LED, je 8 x 5 mm
Genauigkeit:	
bis 5 Hz:	±(1% + 3 Digit)
5 Hz bis 10 MHz:	±(5x10 ⁻⁵ + 1 Digit)
LED-Anzeige für mHz, Hz, kHz und s	
Ausgänge	
Signalausgang:	kurzschlussfest
Impedanz:	50 Ω
Ausgangsspannung:	
an 50 Ω Last:	10V _{SS}
Leerlauf:	20V _{SS}
Impuls-Ausgangsspannung	
an 50 Ω Last:	5V _{SS}
Leerlauf:	10V _{SS}
Spannungsteilung:	
gesamt	60 dB
2 Festteiler-Tasten:	je 20 dB ± 0,2 dB
Variabel:	0 bis 20 dB
Amplitudenfehler: (Sinus/Dreieck)	
0,05 Hz bis 0,5 MHz:	max. 0,2 dB
0,5 MHz bis 10 MHz:	max. 2,0 dB
DC-Offset: variabel (an- und abschaltbar)	
– außer Funktion Impuls –	
Offset-Bereich an 50 Ω Last:	max. ±2,5V
Offset-Bereich im Leerlauf:	max. ±5V
Triggerausgang:	
Zum Signalausgang	
synchrones Rechtecksignal	ca. +5V/TTL
FM-Eingang	
(VCF, BNC-Buchse auf Geräterückseite HM8001-2 u. Opt. H0801)	
Frequenzänderung:	ca. 1:100
Eingangsimpedanz:	6kΩ 25pF
Eingangsspannung:	max. ± 30V
Interne Wobbelung	
Wobbelgeschwindigkeit:	20ms bis 15s
Wobbelhub:	ca. 1:100
Verschiedenes	
Betriebsbedingungen:	+10 °C bis +40 °C
max. rel. Luftfeuchtigkeit:	80%
Versorgung (von HM8001-2):	
	+5V/200mA
	+16V/300mA
	-16V/250mA
	(Σ = 9,8 W).
Gehäusemaße (ohne 22pol. Flachstecker):	
(B x H x T)	135 x 68 x 228 mm
Gewicht:	ca. 0,80kg
Im Lieferumfang enthalten:	
HM8030-6, Betriebsanleitung	
Optionales Zubehör:	
BNC-Messkabel HZ33, HZ34	
50Ω Duchgangsabschluss HZ22	