

Implementace řízení asynchronního motoru za použití hardwarového akcelerátoru

Antonín Glac

Katedra elektromechaniky a výkonové elektroniky

Fakulta elektrotechnická

Západočeská univerzita v Plzni

glac@kev.zcu.cz

Implementing Induction Motor Control Using a Hardware Accelerator

Abstract – This paper presents the implementation of driving algorithm for induction motor using a voltage source inverter, driven by microcontroller TMS320F28377S. Microcontroller is a part of MLC Interface platform, which is used for driving applications at the faculty. The thesis compares the processing time of the computational calculation using a processor core, or a combination of processor and CLA coprocessor. The appropriate division of control computations between two independent computational blocks is solved.

Keywords – CLA; Coprocessor; FOC, Microcontroller; MLC Interface; Acceleration; Parallel computing.

I. ÚVOD

Práce se zabývá implementací řízení asynchronního motoru pomocí mikrokontroléru TMS320F28377S, který pro výpočty využívá nejen hlavní procesor C28x, ale také koprocessor CLA (Control Law Accelerator). Hlavním cílem je provést porovnání přínosu tohoto typu mikroprocesoru oproti staršímu, široce rozšířenému typu mikroprocesorů TMS320F28335 v oblasti řízení a regulace elektrických pohonů. Porovnání hlavních parametrů těchto mikroprocesorů je uvedeno v Tab. 1.

TABULKA I. POROVNÁNÍ PARAMETRŮ MIKROPROCESORŮ F28377S A F28335

	TMS320F28377S	TMS320F28335
CPU	C28x + CLA	C28x
Celkový výpočetní výkon (MIPS)	400	150
Frekvence (MHz)	200	150
Flash (KB)	1024	512
RAM (KB)	164	68
Počet kanálů 12-bit A/D převodníku	24	16
Počet kanálů 16-bit A/D převodníku	12	0
PWM (počet kanálů)	24	12
Viterbi Complex unit II	1	
Floating point unit	Ano	Ano
Trigonometric math unit	1	

Náplní praktické části práce bylo vyzkoušení práce se samotným mikroprocesorem, konfigurace a spuštění koprocesoru CLA a následný výběr a implementace vhodného algoritmu řízení asynchronního motoru [1].

II. CONTROL LAW ACCELERATOR (CLA)

CLA je nezávislý, plně programovatelný 32 bitový hardwarový akcelerační blok. Instrukční sada obsahuje matematické a logické operace s formátem single precision plovoucí řádové čárky [2].

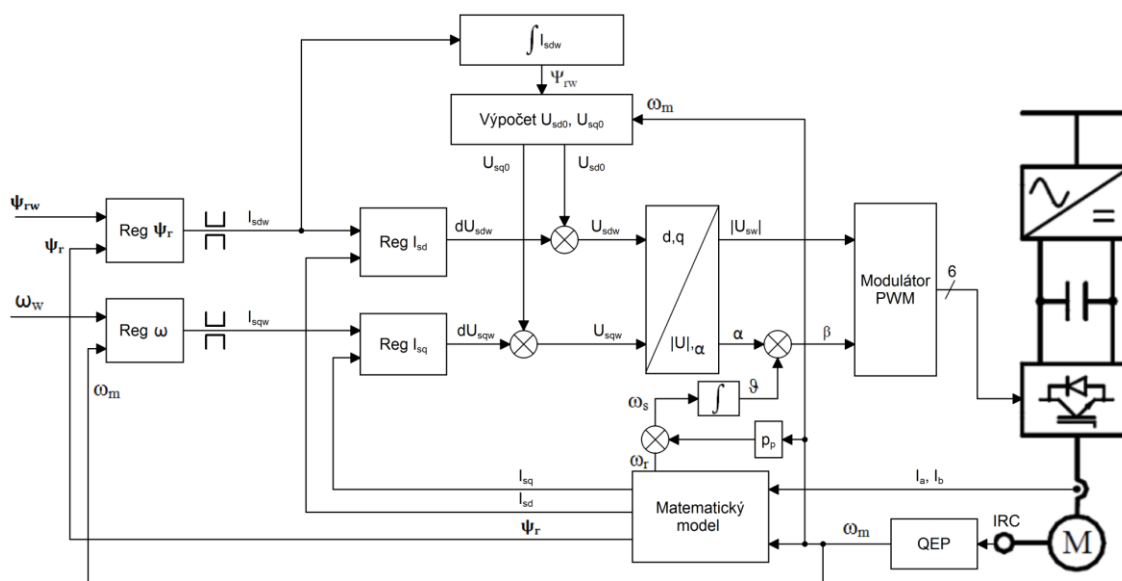
Program pro CLA sestává z inicializačního kódu a z určených rutin (tasků). Struktura kódu tasku je velmi podobná funkcím obsluhy přerušení (ISR). Každý task může být spuštěn buď softwarově, nebo událostí/přerušením od periferie.

Tasků může být nastaveno najednou celkem 8, zpracování probíhá sekvenčně. Priorita zpracování je dána číslem tasku (nižší číslo – vyšší priorita), zanořování tasků není možné. Při volání tasků není nutné ukládat kontext a návratovou adresu, jako je tomu u obsluhy přerušení. Tato skutečnost eliminuje latenci a doba zpracování se stává deterministickou.

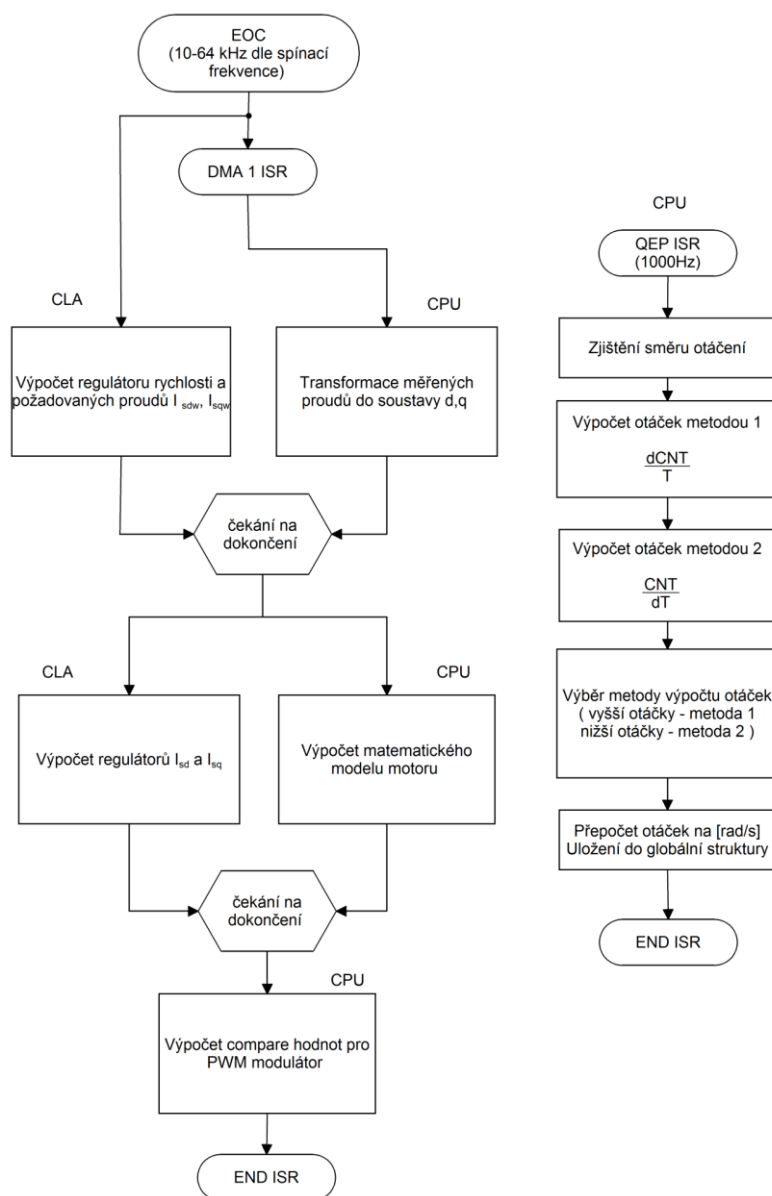
Pro komunikaci a předávání dat s procesorem jsou určeny 2 bloky Message RAM a bloky LSxRAM. Bloky Message RAM jsou určeny k jednosměrné komunikaci. Přístup k blokům LSxRAM je možné konfigurovat. Zápis i čtení je možný jak ze strany CPU, tak i CLA. Arbitrace je řešena pomocí algoritmu Round Robin.

III. VEKTOROVÉ ŘÍZENÍ

Porovnání doby výpočtu samotného mikroprocesorového jádra a kombinace hlavního jádra a CLA bylo provedeno na algoritmu vektorového řízení (FOC), které je popsáno na Obr. 1. Pro realizaci byl použit hardware z předmětu KEV/MRP – asynchronní motor 84V/250W, napěťový střídač s IGBT modulem a driverem Semikron a MLC Interface s upraveným mikroprocesorovým modulem 28377S. Rozdělení výpočtů mezi CPU a CLA je znázorněno vývojovým diagramem na Obr. 2.



Obrázek 1. Blokové schéma použitého vektorového řízení

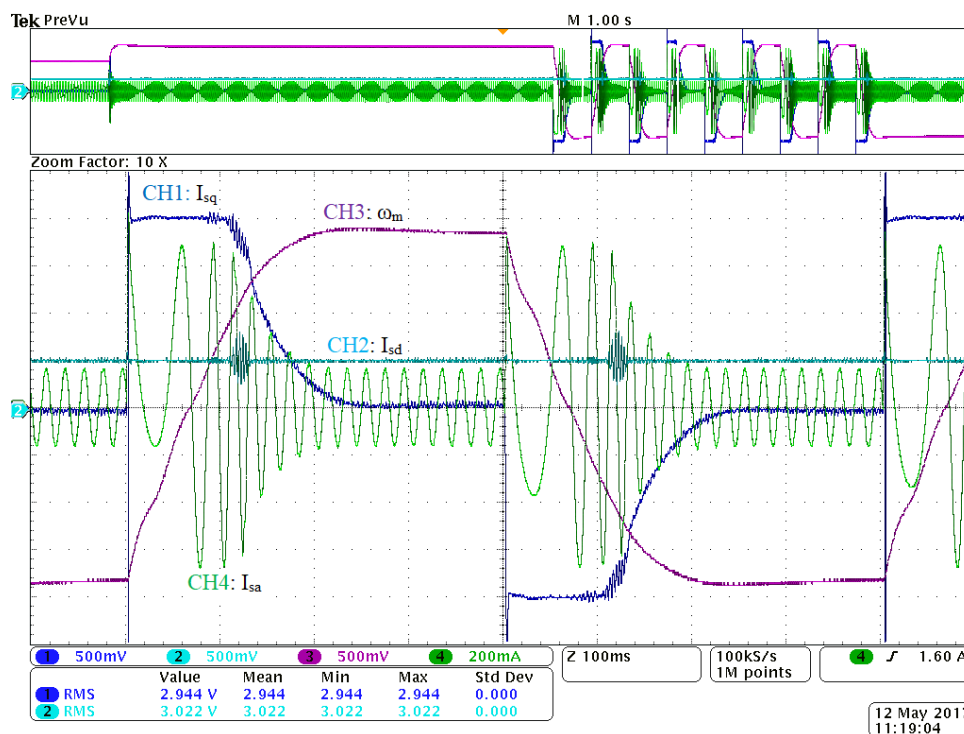


Obrázek II. Rozdělení výpočtů mezi CPU a CLA

IV. MĚŘENÍ

Doba výpočtu programu byla změřena pomocí osciloskopu – na začátku výpočtu byl pomocí makra `MLC_WRITE(WRITE_DBGLEDS, 0x03)`; nastaven GPIO výstup CPLD do logické 1 a po skončení výpočtu nastaven zpět do logické 0. Dle průběhu změřeného signálu lze určit dobu výpočtu a vytížení procesoru. Dále byla k měření použita funkce `Clock` v Code Composer Studio. Tato funkce měří počet taktů procesoru, které proběhly mezi dvěma breakpointy. Při znalosti taktovací frekvence procesoru je opět možné určit dobu výpočtu.

Jádro mikroprocesoru i CLA pracují s taktovací frekvencí 200 MHz. Doba výpočtu zvoleného algoritmu vektorového řízení trvá 5,76 μs (1150 taktů) při výpočtu pouze pomocí CPU (Obr. 26), případně 3,72 μs (745 taktů) při využití CPU i CLA (Obr. 27). Při spínací frekvenci polovodičových součástek 32 kHz, což odpovídá volání regulačního algoritmu s dvojnásobnou frekvencí 64 kHz (perioda 15,6 μs) je využití samotného mikroprocesoru 36,6%, případně 23,7% při použití CPU i CLA. Na Obr. 3 je uveden oscilogram z měření reverzace asynchronního motoru.



Obrázek III. Reverzace motoru ± 150 rad/s, CH1 (modrá): proud I_{sq} (1,6A/d) CH2 (světle modrá): proud I_{sd} (1,6 A/d), CH3 (fialová): mechanické otáčky motoru ω_m (41 rad/s /d), CH4 (zelená): fázový proud 1. fáze I_{sa} (2 A/d)

V. ZÁVĚR

Nový typ mikroprocesoru TMS320F28377S přináší oproti staršímu typu TMS320F28335 zvýšení výpočetního výkonu díky vyšší taktovací frekvenci a přítomnosti koprocesoru CLA. Vyšší výpočetní výkon lze využít ke zvýšení spínací frekvence nebo k využití složitějších algoritmů řízení, jako je například řízení bez čidla otáček nebo v dnešní době velmi moderní prediktivní řízení.

Použití CLA přineslo urychlení o 35% (3,72 μ s vs. 5,76 μ s). Teoreticky je možné při zvoleném algoritmu vektorového řízení využít spínací frekvenci polovodičových prvků až 66 kHz při zhruba 50% využití mikroprocesoru za použití CLA.

Použití novější řady TMS320F2837x se jeví jako perspektivní pro široké použití v rámci platformy MLC Interface – jak v testované verzi s jedním jádrem a CLA (TMS320F28377S), tak ve variantě s dvojicí CPU + CLA (TMS320F28377D).

PODĚKOVÁNÍ

Tento článek vznikl za podpory interního projektu na podporu studentských vědeckých konferencí SVK-2017-008 a projektu SGS-2015-038.

LITERATURA

- [1] GLAC, Antonín. Implementace řízení asynchronního motoru za použití hardwarového akceleratoru. Plzeň, 2017. Diplomová práce. Západočeská univerzita. Fakulta elektrotechnická. Katedra elektromechaniky a výkonové elektroniky. Vedoucí práce Tomáš KOŠAN.
- [2] Texas Instruments. TMS320F2837xS Delfino Microcontrollers - Technical Reference Manual. [online]. Poslední změna 19.4.2016. [Cit. 10.2.2017]. Dostupné z: <http://www.ti.com/lit/ug/spruhx5d/spruhx5d.pdf>