



Hodnocení diplomové práce oponentem

Název práce:	Implementace prediktivního řízení v obvodech programovatelné logiky		
Student:	Bc. Jakub JENÍČEK	Std. číslo:	E15N0101P
Oponent:	Ing. Pavel Broulím		

Kritéria hodnocení práce oponentem	Max. body	Přidělené body
Splnění zadání práce (posuzuje se i stupeň kvality splnění)	25	14
Odborná úroveň práce	50	28
Interpretace výsledků a jejich diskuze, příp. aplikace	15	8
Formální zpracování práce, dodržování norem	10	8

Hodnocení obsahu a kvality práce, připomínky:

Práce se zabývá implementací prediktivního řízení, které je stručně popsáno a rozděleno v první kapitole, ale bohužel chybí uvedení možného využití u řízení pohonů. Dále se práce zabývá jedním typem prediktivního řízení a jeho implementací v FPGA, kde jako základ pro porovnání slouží výpočetní skript z Matlabu. Implementace je provedena na úrovni simulace VHDL kódu, který dále slouží pro výslednou syntézu. Výsledky těchto simulací jsou porovnány s výpočtem v Matlabu. Následné porovnání reálného výpočtu běžícího v FPGA chybí a v práci je zmíněna pouze velikost výsledné logiky ve zvoleném FPGA, z čehož není patrné, jestli výpočet reálně pracuje správně. Dalším bodem zadání bylo zjištění časových parametrů navrženého výpočetního algoritmu v FPGA, tento bod je znázorněn pouze počtem taktů hodinového signálu, ale pro názornost by bylo vhodné uvést výsledný čas pro konkrétně zvolený kmitočet hodinového signálu, z kterého by bylo zřejmé, jestli výpočetní čas není moc dlouhý. Z formálního hlediska se v práci objevují překlepy či pravopisné chyby. S ohledem na výše zmíněné práci doporučuji k obhajobě a práci hodnotím klasifikací dobře.

Dotazy oponenta k práci:

Na Obr. 25 máte porovnání simulace v ModelSim a simulace algoritmu v prostředí Matlab. Čím si vysvětlujete, že při nastavených parametrech průběh a je při kladných hodnotách s malou odchylkou od simulace v Matlabu, ale při záporných hodnotách, průběh skoro neodpovídá? Řešil jste při porovnání simulací z prostředí Matlab a ModelSim použitý formát čísel, kde Matlab nativně využívá formát double? A případně tento formát změnit na stejné zobrazení jaké je použito pro implementaci v FPGA?

Diplomovou práci hodnotím klasifikací **dobře** (podle klasifikační stupnice dané směrnicí děkana FEL)

Dne: 31.5.2018


.....
podpis oponenta práce