

ZÁPADOČESKÁ UNIVERZITA V PLZNI
FAKULTA ELEKTROTECHNICKÁ

Katedra aplikované elektroniky a telekomunikací

DIPLOMOVÁ PRÁCE

Vývojový modul s
programovatelným logickým polem FPGA

Vedoucí práce: Ing. Zuzana Petránková, Ph.D.

Autor: Bc. Vít Kuthan

2012

ZADÁNÍ DIPLOMOVÉ PRÁCE
(PROJEKTU, UMĚLECKÉHO DÍLA, UMĚLECKÉHO VÝKONU)

Jméno a příjmení: **Bc. Vít KUTHAN**
Osobní číslo: **E11N0057P**
Studijní program: **N2612 Elektrotechnika a informatika**
Studijní obor: **Elektronika a aplikovaná informatika**
Název tématu: **Vývojový modul s programovatelným logickým polem FPGA**
Zadávající katedra: **Katedra aplikované elektroniky a telekomunikací**

Z á s a d y p r o v y p r a c o v á n í :

1. Prostudujte problematiku obvodů FPGA. Navrhněte univerzální vývojový modul, který umožní bližší seznámení s programovatelnými logickými poli.
2. Realizujte funční vzorek.
3. Výsledky v práci podrobně popište.


Rozsah grafických prací: **podle doporučení vedoucího**
Rozsah pracovní zprávy: **30 - 40 stran**
Forma zpracování diplomové práce: **tištěná/elektronická**
Seznam odborné literatury:

Student si vhodnou literaturu vyhledá v dostupných pramenech podle doporučení vedoucího práce.

Vedoucí diplomové práce: **Ing. Zuzana Petránková**
Katedra aplikované elektroniky a telekomunikací
Konzultant diplomové práce: **Ing. Zuzana Petránková**
Katedra aplikované elektroniky a telekomunikací
Datum zadání diplomové práce: **17. října 2011**
Termín odevzdání diplomové práce: **11. května 2012**


Doc. Ing. Jiří Hammerbauer, Ph.D.
děkan




Doc. Dr. Ing. Vjačeslav Georgiev
vedoucí katedry

V Plzni dne 17. října 2011

Anotace

Cílem práce je navrhnout vývojový modul s programovatelným logickým polem FPGA. Ukázat na výhody a nevýhody použití FPGA a s tím spojené problémy, které je nutné řešit při použití programovatelných polí. Práce se zabývá teorií kolem obvodů FPGA, představením modelové řady Altera Cyclone II a popisuje zvolené řešení při návrhu vývojového modulu.

Klíčová slova

Vývojový modul, programovatelné logické pole, FPGA, Altera, Cyclone II

Abstract

The aim of the master thesis is to create a design of a development kit with a field programmable gate array (FPGA). Point to advantages and disadvantages of using FPGAs and associated issues that must be resolved by using programmable arrays. This work deals with a theory about FPGA circuits, introduces Altera Cyclone II devices and describes the design solution of the development kit.

Key words

Development kit, programmable logic device, FPGA, Altera, Cyclone II

Prohlášení

Předkládám tímto k posouzení a obhajobě diplomovou práci, zpracovanou na závěr studia na Fakultě elektrotechnické Západočeské univerzity v Plzni.

Prohlašuji, že jsem tuto diplomovou práci vypracoval samostatně, s použitím odborné literatury a pramenů uvedených v seznamu, který je součástí této diplomové práce.

Dále prohlašuji, že veškerý software, použitý při řešení této diplomové práce, je legální.

V Plzni 11.5.2012

Kuthan Vít

Poděkování

Tímto děkuji Ing. Zuzaně Petránkové, Ph.D. za poskytnutí užitečných rad, informací souvisejících s tématem a objektivních postřehů během vypracování této diplomové práce.

OBSAH

1. ÚVOD.....	1
2. JÁDRO VÝVOJOVÉHO MODULU.....	2
Programovatelná logická pole FPGA	2
Altera	3
Řada obvodů Altera Cyclone II	4
Vlastnosti obvodů Altera Cyclone II	5
Altera Cyclone II EP2C8Q208	9
3. VÝVOJOVÝ MODUL	10
Komponenty	10
Layout	11
Informační LED	11
Testovací LED	12
Tlačítka	12
Zdroje hodinového signálu	12
Konfigurační paměť	13
Headry	13
USB rozhraní	14
Napájení	14
4. ZÁVĚR	16
POUŽITÁ LITERATURA	17

Seznam použitých zkratk

ASIC	Application-specific integrated circuit <i>obvod vyrobený podle požadavků zákazníka - tzv. zákaznický obvod</i>
CPLD	Complex programmable logic device <i>programovatelné logické obvody založené na makrobuňkách</i>
CRC	Cyclic redundancy check <i>Cyklický redundantní součet, detekce chyb během přenosu nebo ukládání dat</i>
DPS	Digital signal processing <i>zpracování signálu</i>
FFT	Fast Fourier transform <i>Rychlá Fourierova transformace</i>
FIFO	First In, First Out <i>typ paměti, doslova znamená - data, která byla uložena jako první, budou také jako první z paměti přečtena</i>
FIR	Finite impulse response <i>filtr s konečnou impulzní odezvou</i>
FPGA	Field-programmable gate array <i>programovatelné logické obvody založené na vyhledávacích tabulkách, tzv. Lookup Tables</i>
ISP	In-System Programming <i>obvod, který je možné konfigurovat až po sestavení systému</i>
LEs	Logic Elements <i>elektronické součástky, které vytváří elementární logické funkce</i>
LUT	Lookup Table <i>vyhledávací tabulka</i>

- PHY** physical layer, ISO/OSI model
označení pro fyzickou vrstvu modelu ISO/OSI
- PLD** Programmable logic device
programovatelný logický obvod
- PLL** Phase-locked loop
fázový závěs
- RAM** Random-access memory
paměť, obsah paměti je uchován jen po dobu přivedení napájení
- ROM** Read-Only Memory
paměť, obsah paměti je uchován i po přerušení napájení
- VHDL** VHSIC hardware description language
jazyk pro popis hardware používaný ve spojení s programovatelnými logickými obvody

LVDS, RSDS, mini-LVDS, LVPECL, SSTL a HSTL
standardy pro diferenční signály

LVTTTL, LVCMOS, SSTL, HSTL, PCI a PCI-X
standardy datových sběrnic

SDR, DDR, DDR2 SDRAM
typy paměťových čipů

1. ÚVOD

Zadáním této práce je vytvořit vývojový modul s programovatelným logickým polem FPGA. Hlavním požadavkem je použití modulu v již stávajících konstrukcích a navázat tak na předcházející verzi modulu Ing. Petránkové, Ph.D. Další a ne méně důležité požadavky byly snadná vyrobiteľnosť a nízka cena.

Na trhu je k dispozici nepřeberné množství vývojových modulů s programovatelnými logickými poli. Ty jsou ale převážně koncipované na vyzkoušení možností programovatelných polí a na seznámení s programovacím jazykem, popř. jsou stavěné pro testování speciálních funkcí. Komerční vývojové moduly proto obsahují mnoho periférií, které jsou při přímém nasazení nevyužité. Jsou často hodně složité a orientace v zapojení a při nastavení konfiguraci bývá nepřehledná. Vyvíjený modul jde opačným směrem. Základem je jednoduchost, přehlednost zapojení na desce plošných spojů a využití maximálního počtu vstupně/výstupních pinů pro nadstavbové systémy.

Volba programovatelného pole se orientovala podle předcházející verze modulu. Z důvodu zachování maximální kompatibility při vývoji bez nutnosti používat jiné vývojové nástroje byl zvolen obvod od stejného výrobce. Předchozí verze modulu byla osazena obvodem Cyclone I od firmy Altera. Výběr se soustředil na stejnou modelovou řadu. Výsledkem byl vylepšený obvod Cyclone II EP2C8Q208 a to hned z několika důvodů. Předně vyšší výkon, vylepšené vlastnosti, poté nízká cena, pouzdro s postraními vývody a počet vstupně výstupních pinů.

Velikost pouzdra odpovídá požadavku na malé rozměry desky plošných spojů a umožňuje jednoduše vyvést vstupně/výstupní piny na stanovené pozice headrů. Obvod Cyclone II EP2C8Q208 disponuje až 138 vstupně/výstupními piny, z nichž může být 100 vyvedeno na headry a zbylé mohou být použity na pro testování, popř. pro komunikaci s modulem. Postraní vyvedení pinů pouzdra dovoluje navrhnout desku plošných spojů s dvěma vrstvami a tím zjednodušit celý návrh i následnou výrobu a osazení.

2. JÁDRO VÝVOJOVÉHO MODULU

Hlavní součástí a jádro celého vývojového modulu je programovatelné logické pole. V této části práce bude ve zkratce vysvětlený termín programovatelné logické pole FPGA, představený výrobce programovatelných logických polí společnost Altera, následuje obecný přehled vlastností řady obvodů Cyclone II a výčet konkrétních vlastností obvodu Altera Cyclone II EP2C8Q208.

Programovatelná logická pole FPGA

Obvod FPGA je polovodičová součástka, kterou lze konfigurovat, měnit její funkci. Tato její vlastnost vychází už z názvu FPGA - Field Programmable Gate Array (programovatelné logické pole). Použije-li se pro návrhu systému programovatelné pole, není nutné používat obvody s definovanou funkcí z výroby a návrhář nemusí být tímto faktem nijak omezován. Vlastnosti programovatelných polí dovolují měnit a přidávat funkce, přizpůsobovat hardware novým standardům apod. Obvody FPGA se řadí mezi skupinu obvodů, která je označována jako ISP – In System Programming, tedy konfigurují se až po osazení na desku plošných spojů. V případě obvodů FPGA je tato vlastnost vyjádřena písmeny FP – Field Programmable. Obvodem FPGA lze realizovat jakákoliv logická funkce, podobně jako je tomu u zákaznických obvodů ASIC. Mimo to nabízejí možnost kdykoliv a jednoduše upravit konfiguraci, což může být v mnoha případech nesporná výhoda těchto obvodů.

Klasické programovatelné obvody jsou založené na vytvoření logické funkce pomocí matice propojení mezi elementárními logickými prvky. Obvody FPGA pracují na odlišném principu. Obsahují programovatelné logické buňky označované jako Logic Elements (LEs), což není nic jiného než přednastavené bloky paměti SRAM, ve kterých jsou uloženy výsledky logických funkcí. Mezi logické elementy je včleněná struktura

konfigurovatelných spojů, které je fyzicky propojují. Obvody FPGA dále tvoří vysokorychlostní transceivery, vstupně/výstupní obvody a bloky logických obvodů. Vzájemným propojením všech těchto částí je možné vytvořit široký rozsah funkcí od základních, reprezentovaných logickými hradly AND, OR a XOR, až po složité kombinační funkce. Většina obvodů FPGA obsahují paměťové buňky, které mohou být využité jako jednoduché klopné obvody, popř. jako celé paměťové bloky.

Altera

Společnost Altera se zabývá návrhem, výrobou a prodejem programovatelných logických polí (PLD, FPGA) a zákaznických obvodů (ASIC). Je jedním z hlavních hráčů na trhu programovatelných logických obvodů. Podíl Altery a největšího konkurenta společnosti Xilinx je přibližně 80% celosvětové výroby. Minoritními výrobci, jako je Lattice Semiconductor, SiliconBlue Technologies, Achronix, QuickLogic se zabývají především speciálními typy programovatelných logických obvodů.

I Přesto, že Altera i Xilinx nabízejí programovatelné logické obvody, jejich výrobky jsou naprosto odlišné. Nelze jednoduše obvod jednoho výrobce zaměnit za obvod druhého. Každý výrobce používá vlastní architekturu obvodů, kterou si chrání. Tím jsou do jisté míry limitováni vývojáři, protože jsou nuceni používat softwarové nástroje dodávané výrobcem.

V posledních letech hodně Altera těží z masovějšího používání programovatelných obvodů. Historicky většina vyrobených čipů byly zákaznické obvody ASIC, protože za předpokladu sériové výroby dosahovaly nejmenších jednotkových nákladů. Programovatelné logické obvody byly především využívány pro vývoj prototypů, kde bezesporu hlavní roli hraje možnost měnit jejich konfiguraci.

Růst popularity programovatelných logických obvodů na úkor zákaznických obvodů je způsobený jejich klesající cenou a kratšími životními cykly elektroniky vůbec. Na pokles cen programovatelných logických obvodů má vliv hlavně technologický vývoj

spojený s jejich výrobou. Kratší životní cyklus elektroniky vytlačuje zákaznické obvody ASIC, protože náklady na vývoj jsou vyšší než u programovatelných obvodů.

Řada obvodů Altera Cyclone II

Rodina programovatelných logických polí Altera Cyclone II navazuje na předchozí generaci Cyclone I. Byl navýšen počet logických elementů, podle výběru pouzdra je možné využít až 622 vstupně/výstupních pinů (O/I) a integrovanou paměť až o velikosti 1,1 Mbit. Při výrobě je využívána 90nm technologie. Použitím této technologie je možné na jednom čipu vytvářet složité číslicové systémy. Výrobní technologie má také vliv na snížení spotřeby. Při zvýšení výkonu o 60% oproti předchozí generaci je energetická náročnost téměř poloviční. Díky vylepšeným vlastnostem a nízké ceně programovatelných polí je řada obvodů Cyclone II ideální pro využití v mnoha oborech, pro příklad automobilový průmysl, komunikační systémy, zpracování videa, testování a měření a další.

Embedded procesorová řešení

Obvody Cyclone II podporují nasazení embedded procesoru Nios II, který dovoluje realizovat konkrétní řešení na míru. Pomocí obvodu Cyclone II je možné rozšířit sadu periférií, paměť, vstupně/výstupních portů. Pro zvýšení výkonu je možné integrovat do jednoho obvodu více než jeden embedded procesor nebo dokonce zcela nahradit obvodem Cyclone II již používaný procesor. Tato variabilita a možnost úprav může prodloužit životní cyklus zařízení a udržitelnost výrobku na trhu.

Embedded DSP řešení

Výběrem obvodů Cyclone II pro DPS systémy je možné dosáhnout lepšího poměru cena/výkon. Obvody Cyclone II je lze použít samostatně anebo využít programovatelné pole jako přidavnou výpočetní jednotku. Implementací obvodu je možné vyvinout

výkonný a zároveň stále ještě poměrně levný DSP systém. Základ pro návrh systému jsou následující vlastnosti:

- až 150 násobiček 150x150
- až 1,1 Mbit integrované paměti
- interface pro přístup k externím pamětem

Obvody Cyclone II disponují sadou vlastností pro nasazení v aplikacích, kde je kladený důraz na cenu. Mezi tyto vlastnosti patří integrovaná paměť a násobičky, variabilita a různé druhy pouzder. Obvody Cyclone II podporují velký rozsah běžně používaných externích pamětí a I/O standardů.

Vlastnosti obvodů Altera Cyclone II

Cenově optimalizovaná architektura

Architektura obvodů Cyclone II je navržena s ohledem na nízkou cenu. Řada obvodů Cyclone II nabízí varianty až s 68k logických elementů, což odpovídá více než 3x větší hustotě integrace ve srovnání s první řadou obvodů.

Vysoký výkon

Díky použití 90nm technologie při výrobě vzrostl výkon oproti předchozí řadě až o 60%. Ve své době byly obvody Cyclone II jedny z nejvýkonnějších na trhu v segmentu levných programovatelných obvodů.

Nízká spotřeba

Použití 90nm technologie nemá pozitivní vliv jen na nárůst výkonu, ale také na snížení spotřeby. Oproti předchozí řadě dosahuje až o polovinu nižší spotřeby. Výrazně byly sníženy jak statické tak i dynamické ztráty.

Výrobní technologie

Obvody řady Cyclone II jsou vyráběny na waferech o průměru 300mm a při výrobě je použita 90nm technologie.

Integrovaná paměť

Obvody Cyclone II disponují až 1,1 Mbit paměti uspořádaných do 4K paměťových bloků. Paměť může být nastavena do nejrůznějších pracovních režimů jako je RAM, ROM, FIFO a podporují režimy single-port i dual-port.

Integrované násobičky

Obvody Cyclone II mohou nabídnout až 150 18x18 násobiček, které jsou ideální pro vytváření aplikací s digitálním signálovým procesorem (DSP). Pomocí těchto násobiček je možné implementovat běžné funkce DPS jako jsou filtry FIR, rychlá Fourierova transformace FFT, korelace, kódování/dekódování, číslicově řízené oscilátory.

Rozhraní pro externí paměti

Součástí obvodů Cyclone II je rozhraní pro připojení externí paměti. Podporované typy pamětí jsou SDR, DDR a DDR2 SDRAM.

Diferenciální vstupy/výstupy (IO)

Řada Cyclone II podporuje řadu standardů pro diferenční signály. Mezi podporované patří LVDS, RSDS, mini-LVDS, LVPECL, SSTL a HSTL. U LVDS je podporovaná přenosová rychlost až 805 Mbps při příjmu a až 622 Mbps při vysílání.

Podpora sběrnic

Vstupně/výstupní piny lze jednoduše využít pro připojení na nejrůznější sběrnice, které se dnes běžně využívají. Patří mezi ně standardy LVTTL, LVCMOS, SSTL, HSTL, PCI a PCI-X.

Rozhraní a podpora protokolů

Cyclone II FPGA podporuje řadu různých rozhraní a protokolů, včetně celé řady komunikačních protokolů jako je Ethernet, PCI Express s externím PHY a další univerzální rozhraní.

Obvody pro řízení hodinového signálu

Obvody Cyclone II jsou vybaveny až 4 programovatelnými fázovými závěsy (PLLs) a až 16 globálními rozvody hodin. Tyto fázové závěsy nabízejí pokročilé funkce jako je např. frekvenční syntéza, programovatelný fázový posun, externí hodinové výstupy, programovatelná střída signálu, programovatelná šířka pásma, rozklad spektra, zavěšení hodinového signálu a podpora pro rozdílové hodinové signály na straně vstupu i výstupu.

Nios II Embedded processor

Kombinací procesoru Nios II a obvodu Cyclone II je možné v navrhovaném systému nahradit levnější typy procesorů.

Zakončení na čipu

Obvody Cyclone II podporují impedanční přizpůsobení na čipu. Není tedy nutné používat externí odpory a tím je možné zjednodušit návrh desky plošných spojů. Cyclone II také podporuje paralelní a rozdílové zakončení pomocí externích rezistorů.

Připojení/odpojení za běhu

Programovatelná pole společnosti Altera jsou vyvíjena s podporou připojení a odpojení obvodu za běhu systému. Tato vlastnost zaručuje správnou funkčnost obvodu během náběhu napájení a také chrání obvod, aby nedošlo k jeho zničení. Obvody Cyclone II jsou proto také vhodné pro použití v aplikacích s různými napěťovými standardy.

Automatická kontrola pomocí CRC

Součástí obvodů Cyclone II je také ochrana proti náhodnému překlopení stavu paměťových buněk, které může být způsobené nežádoucím vyzařováním. Nastavením konfiguračního softwaru Quartus II se aktivuje vestavěná jednotka pro kontrolu CRC. Jedná se o nejefektivnější ochranu proti nežádoucím vlivům.

Výhody oproti předchozí řadě obvodů Cyclone

Oproti předchozí řadě obvodů mají obvody Cyclone II několik nových funkcí a rozšíření. Mezi tyto vlastnosti patří integrované násobičky, rozhraní pro externí paměti DDR2, zakončení sběrnice na čipu a podpora více I/O standardů.

Sériová konfigurační paměť

Obvody Cyclone II mohou pro nastavení funkce používat sériové konfigurační paměti, které jsou nabízeny až do velikosti 64 Mbit. Kromě konfiguračního vektoru je možné zbylou prázdnou oblast paměti využít pro ukládání dat. Originál paměti dodávané společností Altera jsou typu Flash.

Altera Cyclone II EP2C8Q208

Vlastnosti obvodu Altera Cyclone II EP2C8Q208

Logické elementy (Les)	8 256
M4K RAM paměťové bloky	36
RAM celkově [bity]	165 888
Násobičky (18x18)	18
Fázové závěsy	2
I/O piny	138

Násobičky 18x18 lze rozdělit na dvě násobičky 9x9. Z toho vyplývá, že počet násobiček může být dvojnásobný.

3. VÝVOJOVÝ MODUL

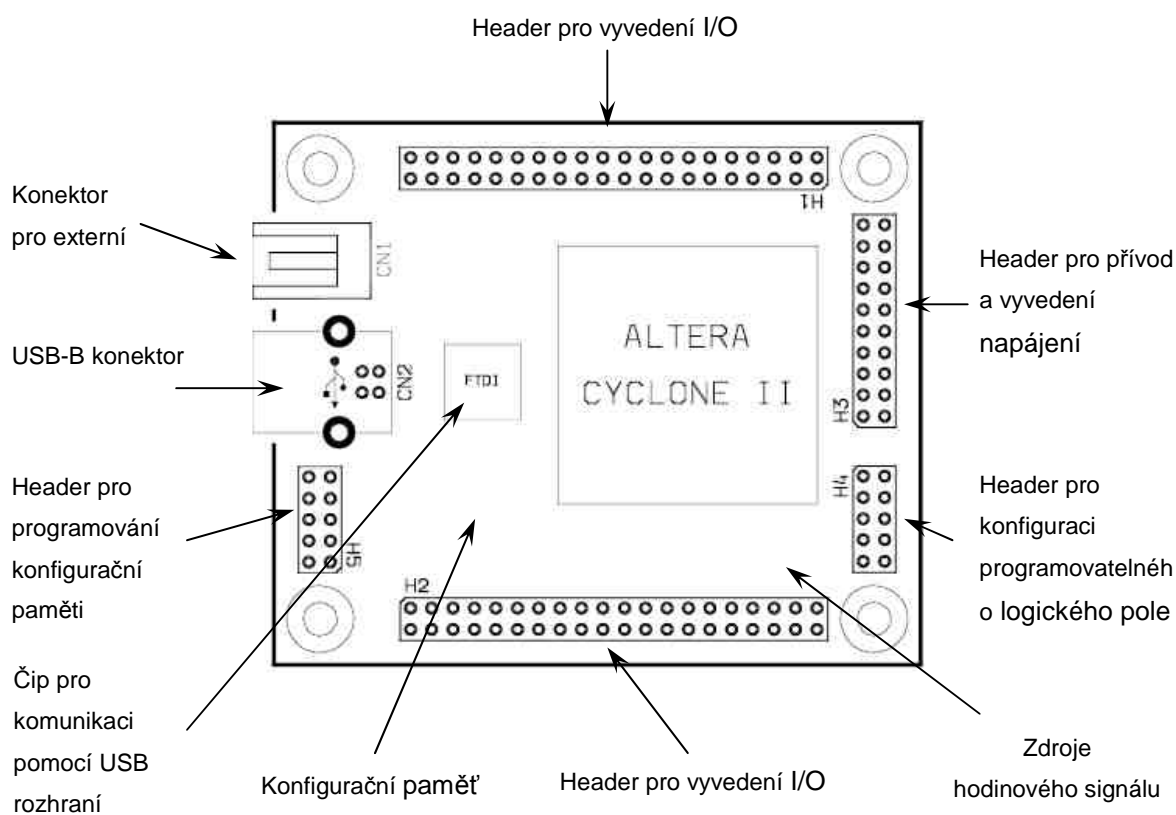
Vývojový modul je jednoduchý a navržený tak, aby byl lehce vyrobitebný. Deska plošných spojů je navržena ve dvou vrstvách. Jádro vývojového modulu tvoří programovatelný logické pole Altera Cyclone II. Programovatelné logické pole má pouzdro s postranními vývody, aby jej bylo možné jednoduše zapájet na desku plošných spojů. Na vývojovém modulu kromě obvodu Cyclone II už moc elektroniky není. K programovatelnému logickému poli je připojena konfigurační paměť, z které se po náběhu napájení stahuje konfigurace programovatelného pole, a čip pro komunikaci přes USB rozhraní. Obvod Cyclone II disponuje několika rozvody hodinového signálu. Jako zdroj hodinového signálu mohou být na desce osazené jeden nebo dva krystaly. Vývojový modul by měl především sloužit jako zásuvná deska, proto je naprostá většina I/O pinů vyvedená na postranní headery. Kromě headerů pro vyvedení I/O pinů jsou na modulu ještě dva headery, které slouží pro připojení programátoru USB Blaster. Jeden header je určený pro konfiguraci programovatelného logického pole, druhý pro nahrání konfiguračního vektoru do konfigurační paměti. Poslední header slouží pro přivedení a vyvedení napájení. Modul může být napájený také externě.

Komponenty

Hlavní komponenty na desce jsou:

- Altera Cyclone II EP2C8Q208C7N
- Konfigurační paměť EPCS16SI8N
- 24 MHz krystalový oscilátor
- dva headery 2x25 pro vyvedení I/O pinů
- dva konfigurační headery 2x5
- jeden header pro přivedení a vyvedení napájení

Layout



Informační LED

Na vývojovém modulu je umístěna trojice informačních LED, které slouží pro monitoring stavu.

D1 (zelená)	připojené napájení
D2 (žlutá)	programovatelné logické pole bylo správně nakonfigurováno
D3 (modrá)	komunikace přes USB rozhraní

Barvy v závorce, jsou barvy LED na prototypu vývojového modulu.

Testovací LED

Na vývojovém modulu je umístěno 8 LED, které je možné použít pro ladění nebo indikaci aktuálních stavů. Diody jsou řízeny přímo programovatelným polem. Když je na pinu logická “1“, dioda svítí. V opačném případě, když je na pinu logická “0“, dioda je zhasnutá.

D4 – D11 (zelená)	testovací LED (“1“ svítí / “0“ zhasnutá)
-------------------	--

Barva v závorce, je barva testovacích LED na prototypu vývojového modulu.

Tlačítka

Na vývojovém modulu jsou umístěná dvě tlačítka. Lze je využít jako zdroj hodinového signálu při ladění nebo pro funkci resetu. Při stisknutém tlačítku je na vstupu programovatelného pole logická “0“, při uvolnění logická “1“.

Pozor: Na vývojovém modulu nejsou řešené překmity, které vznikají při stisku nebo při uvolnění tlačítka. Nutné řešit návrhem redundantní logiky v programovatelném poli.

Zdroje hodinového signálu

Na vývojovém modulu jsou připravené dvě pozice pro osazení krystalových oscilátorů SMD 7x5 mm / 3,3 V. Krystalové oscilátory není možné zastavit, generují hodinový signál po celou dobu připojení modulu k napájení.

S využitím integrovaných fázových závěsů programovatelného pole je možné hodinový kmitočet upravit.

Na prototypu je osazený krystalový oscilátor o frekvenci 24 MHz. Druhá pozice zůstala neosazená.

Konfigurační paměť

Součástí vývojového modulu je konfigurační paměť EPCS16SI8N. Ta slouží pro uložení konfigurace programovatelného pole. Při náběhu napájení si z konfigurační paměti programovatelné pole automaticky stáhne konfiguraci. Paměť je dostatečně velká, proto zbytek volné paměti lze použít i pro ukládání uživatelských dat.

Headry

Na desce vývojového modulu je několik headrů. Funkce jednotlivých headrů je vysvětlená v následující tabulce.

H1	vyvedené I/O piny programovatelného pole
H2	vyvedené I/O piny programovatelného pole
H3	přívod a vedení napájení (5V in, 5V out, 3,3V out, GND)
H4	konfigurace programovatelného pole
H5	programování konfigurační paměti

USB rozhraní

Pro komunikaci s deskou slouží USB rozhraní. Komunikace je řízena obvodem FTDI FT2232D. Obvod je dvoukanálový. Oba dva kanály jsou k programovatelnému logickému obvodu vyvedeny paralelně po 8 bitech.

Na PC je komunikace možná pomocí virtuálních COM portů, popř. pomocí API. Ovladače a dokumentace je k dispozici na stránkách výrobce.

Napájení

Vývojový modul může být napájen z externího zdroje nebo z desky nadstavbového systému. Pro přepnutí přívody napájení slouží jumper J1.

J1 (piny 1-2)	externí zdroj
J1 (piny 2-3)	napájení z desky nadstavbového systému

Pro přivedení napájení z externího zdroje je na okraji desky standardní souosý konektor 2,1 mm (střed VCC, vnější strana GND). Přivedené napětí musí být stejnosměrné a v rozsahu 7 – 15 V. Přivedené napětí je pomocí spínaného zdroje sníženo na 5V. Toto napětí slouží jako základní pro lineární regulátory, které vytváří napětí pro napájení jádra programovatelného logického obvodu, fázových závěsů a vstupně/výstupních obvodů.

Je možné také přivést napájení z desky nadstavbového systému. Pro tento účel jsou na headru H3 vyhrazeny 4 piny. Přivedené napětí musí být o velikosti 5V s maximální tolerancí 0,2 V. Napětí není nijak filtrováno. Kvalita napětí je plně na návrhářovy nadstavbového systému.

Vývojový modul lze také použít pro napájení nadstavbového systému. Z desky modulu jsou vyvedená napětí 5V (základní napětí) a 3,3V (napětí pro napájení vstupně výstupních obvodů). Výstupy nejsou nijak chráněny proti přepětí, proudovému přetížení ani proti rušení. Návrhář nadstavbového systému s tím musí počítat, aby nedošlo k ovlivnění funkce programovatelného logického pole.

4. ZÁVĚR

Vývojový modul byl navržen, aby nahradil podobný modul Ing. Petránková, Ph.D. Nový modul je s původním plně kompatibilní. Ale na rozdíl od původního modulu je osazený výkonnějším programovatelným polem Altera Cyclone II. Modul je dále doplněn o komunikační USB rozhraní.

Společnost Altera v dnešní době vyrábí už pátou řadu obvodů Cyclone. Nicméně od třetí řady upouští od výroby programovatelných polí s velkým počtem postranních vývodů a nahrazuje je pouzdry BGA. Od páté řady už ani není v nabídce programovatelné logické pole, které by mělo postranní vývody. Pro nový vývojový modul byl zvolen starší programovatelné obvod, ale v pouzdru s dostatečným počtem pinů a hlavně s postranními vývody, aby bylo možné obvod jednoduše zaletovat na desku plošných spojů.

Vývoj aplikací pro starší modul je stejný jako pro nový. Je akorát nutné myslet na to, že se v nastavení projektu musí zvolit nové programovatelné pole a znova I/O signálům přiřadit piny.

POUŽITÁ LITERATURA

- [1] Pinker, J.; Poupa, M.: Číslicové systémy a jazyk VHDL;
BEN - technická literatura, Praha 2006
- [2] Šťastný, J.: FPGA prakticky; BEN - technická literatura, Praha 2010
- [3] Salcic, Z.; Smailagic, A: Digital systems design and prototyping;
Kluwer Academic Publishers, 2002
- [4] Grout, I.: Digital Systems Design with FPGAs and CPLDs; Elsevier, 2008
- [5] <http://www.altera.com/devices/fpga/cyclone2/cy2-index.jsp>
- [6] <http://de0.terasic.com/>
- [7] http://en.wikipedia.org/wiki/Field-programmable_gate_array